

一种适用于 $\text{MoS}_2\text{-BP-MoS}_2$ 探测器的红外斩波读出电路设计

孔大林^{1,3}, 代福兴^{2,3}, 李梧莹¹, 匡华^{1,3}, 欧阳学龙^{1,3}, 李滨倬^{1,3}, 姜睿琪^{2,3},
王芳², 袁红辉^{1*}

(1. 中国科学院上海技术物理研究所 红外探测全国重点实验室, 上海 200083
2. 中国科学院上海技术物理研究所 红外科学与技术全国重点实验室, 上海 200083
3. 中国科学院大学, 北京 100049)

摘要:为解决 $\text{MoS}_2\text{-BP-MoS}_2$ 范德瓦尔斯光伏探测器对超低噪声与零偏置的需求, 设计了一款基于斩波稳定与相关双采样(CDS)技术的电容跨阻放大器(CTIA)读出电路。电路采用多节点斩波架构(斩波频率 40 kHz)抑制 $1/f$ 噪声, 结合 CDS 消除 KTC 噪声与纹波, 并通过单位增益缓冲器实现动态偏置(偏置误差 $< 200 \mu\text{V}$)。测试结果表明, 在 $0.35 \mu\text{m}$ CMOS 工艺下, 电路等效输入噪声电流为 119.35 fA , 总积分噪声降低 32.83%, 功耗为 $990 \mu\text{W}$ 。与探测器互连后红外信号正常读出, 该设计为二维材料光电探测器提供了高精度、低噪声的读出解决方案。

关键词: n-p-n 型范德瓦尔斯异质结探测器; 低噪声读出电路; 斩波技术; 零偏置电路; 电容跨阻放大器
中图分类号: TN36; TN432 **文献标识码:** A

引言

当前, 读出集成电路的性能已成为与探测器材料本身同样制约红外探测系统性能的关键因素。近年来, 二维层状材料(如黑磷、二硫化钼等)因其独特的能带结构与卓越的光电特性, 为发展新一代室温高性能红外探测器开辟了新路径^[1-4]。由这些材料构筑的范德瓦尔斯异质结光伏型探测器可在零偏置条件下工作, 从物理机制上显著抑制了暗电流与散粒噪声, 从而获得极高的室温比探测率(D^*)^[5]。然而, 此类探测器输出的纳安级微弱光电流对读出电路的噪声性能提出了极高要求; 此外, 其零偏置工作模式还要求电路具备特殊的偏置接口能力。

电容跨阻放大器(CTIA)结构因其优良的电荷累积能力与低噪声潜力, 被公认为读取微弱光电流的最优前端架构之一^[6-8]。然而, 传统 CTIA 面临两个关键挑战: 其一, 核心放大器的 $1/f$ 噪声在低频区域占主导地位, 严重限制了系统的探测灵敏度; 其二, 其单一虚地节点的偏置架构无法满足光伏型探测器对真零偏置的需求。斩波(Chopper)稳定技术

通过调制-解调将信号频谱搬离 $1/f$ 噪声主导区, 能从根本上抑制低频噪声与失调。但将该技术引入 CTIA 会带来开关电荷注入(Charge Injection)和时钟馈通(Clock Feedthrough)及输出纹波等新问题^[9], 需与相关双采样(CDS)^[10-12]等技术协同设计以消除其副作用。更为严峻的挑战在于系统级的接口偏置: 传统 CTIA 的偏置方案会不可避免地在探测器两端引入偏压, 破坏其最佳工作状态, 这一结构性矛盾尚未得到充分研究与解决。

针对上述挑战, 本文开展了一项面向范德瓦尔斯光伏型探测器的低噪声读出集成电路设计研究, 提出并实现了一种斩波调制与 CDS 技术相结合的级联噪声抑制 CTIA 架构, 系统性地分析了其噪声抑制机理; 创新性地设计了一种基于单位增益缓冲器的动态偏置网络, 完美解决了读出电路与光伏型探测器的接口匹配问题, 实现了精确稳定的零偏置工作条件; 基于 $0.35 \mu\text{m}$ CMOS 工艺平台完成了流片验证, 通过详实的测试数据证明了该方案能显著降低读出噪声(32.83%), 为范德瓦尔斯探测器的实用化提供了关键的电路支撑。

收稿日期: 2025-10-21, 录用日期: 2026-01-08

Received date: 2025-10-21, accepted date: 2026-01-08

基金项目: 中国科学院基础与交叉前沿科研先导专项(XDB0980000)

Foundation items: Supported by the Strategic Priority Research Program (B) of the Chinese Academy of Sciences (XDB0980000)

作者简介(Biography): 孔大林(1999-), 男, 河南商丘人, 博士研究生, 主要从事光电探测器及读出电路研究. E-mail: kongdalin21@mails.ucas.edu.cn

*通讯作者(Corresponding author): E-mail: yuanhonghui@163.com

1 MoS₂-BP-MoS₂异质结结构与电路模型建立

MoS₂-BP-MoS₂范德瓦尔斯异质结采用不同维度的低维材料通过范德瓦尔斯力堆叠构建,形成具有Type-II型能带对齐特性的异质结构。该结构的本征吸收区呈现全耗尽特性,通过精确的能带调控可在界面处形成强内建电场^[13-15]。在制备工艺方面,采用单步光刻技术同步定义金属电极和光敏区域,实现了电极与光活性区的自对准结构。这种结构设计在降低暗电流方面具有显著优势:全耗尽特性使耗尽区覆盖整个光敏区域,有效抑制了载流子复合通道,大幅降低了产生-复合暗电流;自对准工艺避免了光刻偏差导致的电极错位问题,抑制了边缘电场集中和缺陷辅助隧穿效应,从而减小了边缘泄漏电流。此外,范德瓦尔斯集成方式形成的原子级平整界面具有低态密度特性,有助于降低界面缺陷相关的隧穿电流和产生-复合电流。在光电性能方面,该异质结通过组合不同带隙材料(MoS₂负责可见光吸收,黑磷负责短波红外吸收)^[16],实现了从可见光到中波红外的宽光谱探测。基于Type-II能带结构产生的内建电场,可实现光生载流子的高效分离与收集,而极低的暗电流则使其具备高探测率特性,能够实现对微弱光信号的高灵敏度探测。

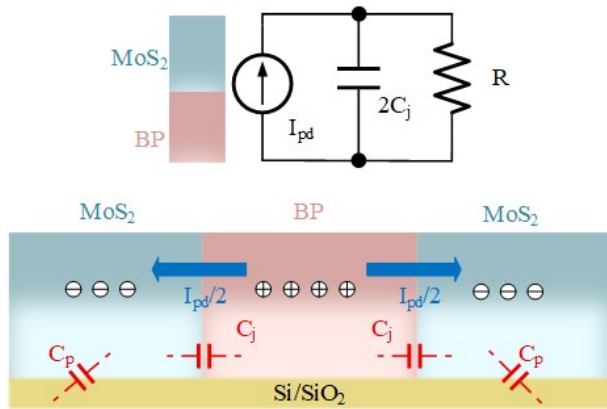


图1 MoS₂-BP-MoS₂工作原理及电路模型图

Fig. 1 Operational Principle and Equivalent Circuit Model of the MoS₂-BP-MoS₂ Heterostructure

MoS₂-BP-MoS₂异质结的等效电路模型如图1所示,该结构具有n-p-n型掺杂特点。在电路模型中,BP层作为金属阳极,而两侧的MoS₂层共同作为电路正极。在BP、MoS₂以及Si/SiO₂衬底之间的接触界面处均会引入寄生电容。然而,由于器件工作时衬底处于浮空状态,无电流通路,因此衬底相关寄

生电容(C_p)在电路模型中可忽略不计。器件的主要电容成分来源于MoS₂与BP之间形成的结电容 C_j 。在等效电路中,总寄生电容可表示为两个结电容 C_j 的并联。电路中的电阻 R 代表n-p-n异质结的总电阻,包括接触电阻、材料本征电阻以及互连电阻和扩散电阻等组成部分。

MoS₂-BP-MoS₂异质结探测器优选光伏模式工作。当入射光子能量高于材料带隙时,激发出的光生载流子在内建电场作用下迅速分离并流向相应电极(电子至n区,空穴至p区),在外电路产生光电压或光电流,整个过程无需外偏压驱动。

零偏置工作模式对抑制器件噪声具有关键作用。施加偏压会引发载流子漂移、隧穿及产生-复合等效效应,导致暗电流急剧增大;而零偏置可从物理机制上抑制上述噪声来源,使暗电流接近理论极限。如图2(a)所示,散粒噪声与总电流的平方根成正比,由于零偏压下暗电流极低,散粒噪声亦被显著抑制。图中蓝色曲线为线性坐标下暗电流随偏压(V_d)的变化趋势,黄色曲线则为对数坐标下的对应数值的绝对值。可以看出,在零偏置条件下,器件的暗电流仅为0.76 nA;而当偏压增至约1 V时,暗电流可升高至数十微安,致使有用信号被完全淹没。因此,零偏置工作模式对保障MoS₂-BP-MoS₂异质结的正常工作及电流读出能力至关重要。此外,零偏置工作意味着器件无静态功耗,有助于避免自加热效应、抑制热噪声,从而提升整体稳定性。

为了电路建模的准确性,我们对MoS₂-BP-MoS₂的寄生电容进行扫描测试,结果如图2(b)所示。在零偏工作状态下,器件的总寄生电容约为6.1 pF,该寄生电容与读出电路输入节点直接并联。导纳 G (s)约为60 μ S,对应约16.7 k Ω 阻抗。

此外,我们对MoS₂-BP-MoS₂的响应速度和信号建立时间进行了测试,将输出的光电流信号归一化处理,结果如图3所示。把信号从10%到90%的建立时间看作器件的响应速度,上升沿 τ_r 为74.2 μ s,下降沿 τ_d 为74.2 μ s。

2 斩波技术和相关双采样技术降噪原理

读出电路的核心噪声源包括运算放大器的 $1/f$ 噪声、KTC噪声、散粒噪声以及斩波调制引入的附加噪声^[17-20]。通过在多节点(输入级、共源共栅电流源及输出级)引入斩波调制,电路将信号基带频谱搬移至斩波频率(如40 kHz)附近,从而有效规避了放大器在低频区域显著的 $1/f$ 噪声贡献。

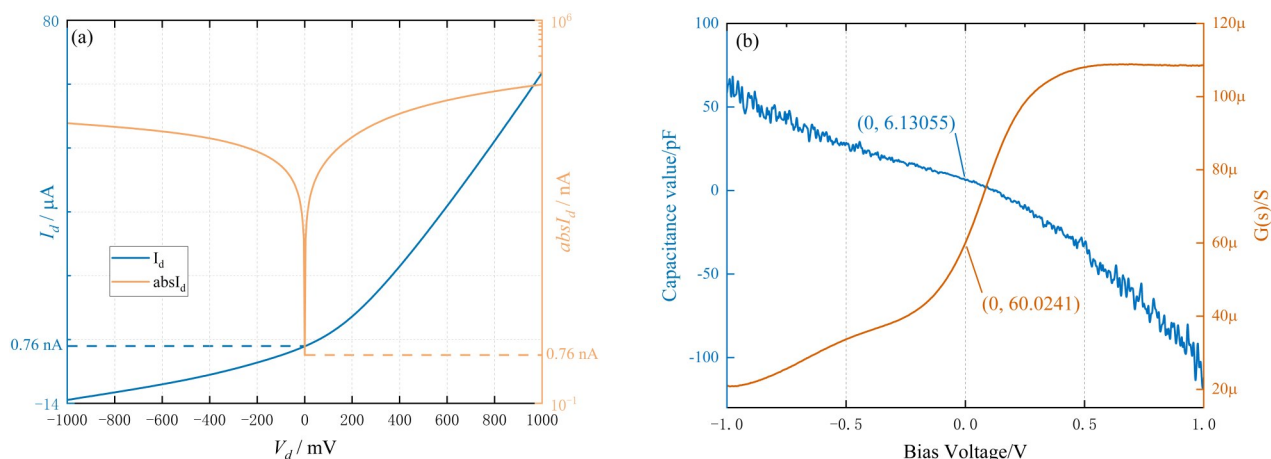


图2 偏压对 MoS₂-BP-MoS₂电路建模参数的影响:(a) MoS₂-BP-MoS₂暗电流随偏压的变化 (b) MoS₂-BP-MoS₂寄生电容随偏压的变化
Fig.2 Influence of Bias Voltage on the Circuit Modeling Parameters of the MoS₂-BP-MoS₂ Heterostructure. : (a) Evolution of the dark current in the MoS₂-BP-MoS₂ heterostructure with the applied bias voltage. (b) Evolution of the parasitic capacitance with the applied bias voltage.

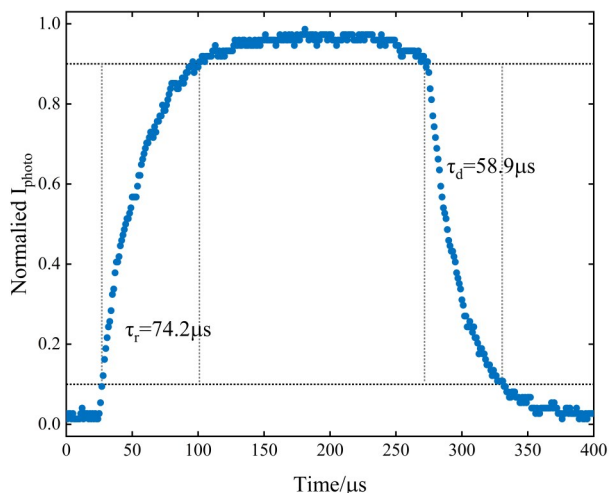


图3 MoS₂-BP-MoS₂响应速度测试结果
Fig. 3 Response Time Characterization of the MoS₂-BP-MoS₂ Heterostructure

斩波运算放大器的工作原理^[21]是通过调制和解调过程,将基带信号先调制到高频区域再解调回基带,从而变换噪声的频谱特性。设输入信号为 $x(t)$,载波信号 $c(t)$ 是一个占空比为50%的方波,其傅里叶级数展开为:

$$c(t) = \frac{4}{\pi} \sum_{k=0}^{\infty} \frac{1}{(2k+1)} \sin(2\pi(2k+1)f_{ch}t), \quad (1)$$

其中, f_{ch} 为斩波频率。

输入信号 $x(t)$ 首先被调制器乘以 $c(t)$ 。在频域中,这相当于将信号 $X(f)$ 的频谱搬移到载波频率 f_{ch} 的奇次谐波附近,产生边带信号。调制后的信号 $x_m(t) = x(t) \cdot c(t)$,然后通过放大器。放大器会引入

自身的噪声 $n(t)$,其功率谱密度(PSD)通常包含白噪声 N_{ω} 和 $1/f$ 噪声 $N_{1/f}(f) = N_0/f$ 。因此,放大器输出为: $y_m(t) = A \cdot x_m(t) + n(t)$ 。输出解调器再次将信号乘以 $c(t)$,实现解调:

$$y_{out}(t) = y_m(t) \cdot c(t) = A \cdot x(t) \cdot c^2(t) + n(t) \cdot c(t), \quad (2)$$

由于方波 $c(t) = \pm 1$,因此 $c^2(t) = 1$ 。理想情况下,信号被完美地恢复。而噪声项 $n(t)$ 则被调制了一次,其频谱被搬移。对于占空比为50%、幅值为 ± 1 的方波 $c(t)$,其功率谱密度为离散的冲激函数序列,位于斩波频率 f_{ch} 的奇次谐波上。

噪声的功率谱密度是自相关函数的傅里叶变换。因此,在频域上有:

$$S_{n,out}(f) = S_c(f) * S_{n,in}(f), \quad (3)$$

其中 $S_{n,out}(f)$ 是输出噪声谱密度, $S_c(f)$ 是载波信号 $c(t)$ 的功率谱密度, $S_{n,in}(f)$ 是输入噪声谱密度。

因此,输出噪声的功率谱为:

$$S_{n,out}(f) = \left[\sum_k \frac{4}{\pi^2(2k+1)^2} \delta(f - (2k+1)f_{ch}) \right] * S_{n,in}(f) = \sum_k \frac{4}{\pi^2(2k+1)^2} S_{n,in}(f - (2k+1)f_{ch}), \quad (4)$$

$1/f$ 噪声和失调(DC)集中在接近0Hz的频率附近。根据上述推导,这些低频噪声分量被搬移到了 f_{ch} 等高次谐波附近。

最终,只有基带(DC附近)的噪声会影响到输出信号。而基带区域的噪声由高阶谐波的边带叠加而成,其幅度已极大地衰减。一个低通滤波器(LF)可以滤除这些高频噪声分量,从而在输出端几乎完

全消除原始的 $1/f$ 噪声和失调。斩波技术从机理上实现了对 $1/f$ 噪声的抑制。由于调制后的噪声频谱是输入白噪声频谱的多重复制叠加,理想斩波会使总输出白噪声功率保持不变。但因为信号通带仅限基带,而噪声分布在整個频谱,基带内的信号功率没有损失。因此,从噪声密度的角度看,基带内的等效输入噪声密度会增加(通常约为倍),但 $1/f$ 噪声被彻底消除,整体信噪比在低频区域得到巨大提升。

在实际电路应用中,斩波开关会引入非理想效应,主要表现为时钟馈通和电荷注入,在输出信号中引入与斩波频率同频的电压尖峰。尽管这些尖峰可通过滤波手段有效抑制,从而提取目标信号,但在实际电路设计中,还需结合源阻抗在时域中分析斩波技术所引入的输入尖峰电流与输入电流噪声。为此,本电路在低通滤波器后级联了相关双采样结构有效抑制了 KTC 噪声以及斩波引入的固定模式噪声和低频纹波,从而显著改善了输出的信噪比。

相关双采样^[22]是一种通过两次采样并求差来显著抑制低频噪声和固定模式噪声的技术。其基本操作流程如下:

第1次采样(在复位相位):在积分周期开始时,对复位后的复位电平和固有的失调电压、低频噪声进行采样,得到采样值 $V_{sample1} = V_{reset} + V_{offset} + V_{n1}(f)$, (5)

第2次采样(在信号相位):在积分周期结束时,对信号电压、同样的失调电压和低频噪声进行采样,得

到采样值 $V_{sample2} = V_{signal} + V_{offset} + V_{n2}(f)$, (6)

求差输出:最终的输出为两次采样值之差:

$V_{out} = V_{sample2} - V_{sample1} = V_{signal} + (V_{n2}(f) - V_{n1}(f))$, (7)

CDS 有效的核心假设是:在两次采样间隔的时间 T_d 内,低频噪声和失调电压是高度相关的(变化缓慢),而宽带噪声(如热噪声)是不相关的。因此,求差操作可以抵消相关的噪声分量,同时保留信号,而不相关的噪声则会叠加。

CDS 的噪声传递函数为:

$$|H_{CDS}(f)|^2 = 4\sin^2(\pi f T_d) \quad , \quad (8)$$

$1/f$ 噪声和失调在频域上集中于极低频段($f \rightarrow 0$)。当 $f T_d \ll 1$ (即频率远小于采样频率 $1/T_d$) 时,

$$|H_{CDS}(f)|^2 \approx 4\pi^2 f^2 T_d^2 \quad , \quad (9)$$

这意味着在低频区域,CDS 的噪声传递函数表现出高通特性,其增益正比于频率。因此,极低频的 $1/f$ 噪声和直流失调电压被极大地抑制。这就是

CDS 能够有效消除失调和大幅降低 $1/f$ 噪声的根本原因。

KTC 噪声是开关电容电路在复位时,由开关导通电阻的热噪声在积分电容上产生的噪声,其均方值为 $\bar{V}_n^2 = kT/C$,该噪声在复位瞬间被采样保持,是一个固定的随机电压。CDS 理论上可以完全消除 KTC 噪声

3 CTIA 读出电路架构设计

基于 $\text{MoS}_2\text{-BP-MoS}_2$ 范德瓦尔斯探测器独特的工作机制与输出特性,其读出电路需具备低噪声与零偏置适配能力。该探测器在零偏置下暗电流极低(约 0.76 nA),输出信号为微安级电流且呈现高阻抗特性。因此,读出电路的等效输入噪声电流必须低于探测器的本底噪声,否则电路噪声将淹没微弱光信号,使探测器的低噪声优势无法发挥。此外,读出电路需为探测器提供严格的零偏置工作条件。任何微小偏压都会破坏光伏工作模式,导致暗电流和噪声急剧增加。为此,电路应为探测器的两个电极提供电位精确相等的偏置点,确保器件始终处于零偏置状态。

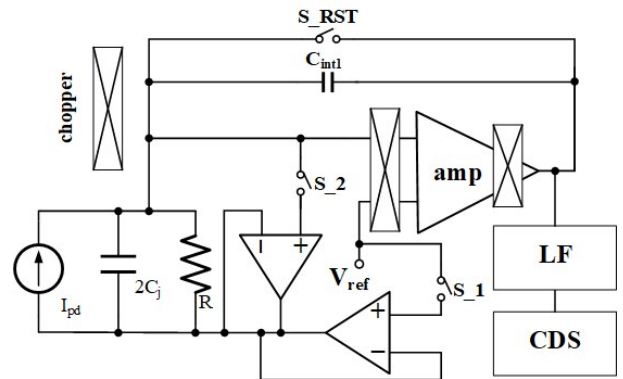


图4 低噪声CTIA读出电路整体系统架构示意图

Fig. 4 Schematic Diagram of the Low-Noise CTIA Readout Circuit System Architecture

读出电路的整体系统架构如图4所示。电路结构由CTIA、低通滤波器(LF)和CDS三个部分组成。与传统CTIA电路相比,本文在其输入端和核心运放内部引入了斩波结构。同时,在CTIA的 V_{ref} 端增设单位增益缓冲器。在复位阶段,开关 S_{RST} 和 S_1 闭合, S_2 断开,BP端通过单位增益缓冲器稳定在 V_{ref} 电位;根据运算放大器的虚短-虚断原理,核心运放 amp 的正、负输入端电位相等, MoS_2 端电位也被维持在 V_{ref} ,从而确保 $\text{MoS}_2\text{-BP-MoS}_2$ 异质结在复位

阶段处于零偏置状态。当 S_RST 断开后,电路进入积分阶段。随着 amp 输出端电压的上升,其输入端将产生差分电压 $\Delta V = V_{out}/A_v$ 。尽管运放具有高增益,为最大限度抑制 MoS₂-BP-MoS₂两端的电压偏差,此时将 S_1 断开、S_2 闭合,通过新增的单位增益缓冲器使 BP 端电位实时跟随 MoS₂端电位,从而在积分阶段继续保持异质结的零偏置工作条件。探测器导纳 G(s) 约为 60 μ S, 对应约 16.7 k Ω 阻抗。该导纳将与增益缓冲器输入阻抗、核心运放形成分流,需确保输入级电路具有足够低的输出阻抗以稳定工作点。

为尽可能提升单位增益缓冲器的电压跟随精度、减小稳态误差,本文设计了一款基于带隙基准源的两级运算放大器。该带隙基准源为运放提供稳定的电流偏置,并在级间引入补偿电阻以提升输出电流源的稳定性,其完整结构如图 5 所示。在电路架构方面,在级间引入电阻与电容,旨在通过频率补偿确保环路稳定性,是保证缓冲器正常工作的重要基础。输入级采用 PMOS 差分对管作为输入对,利用 PMOS 器件固有的低 1/f 噪声特性,有效抑制前端调制器的低频噪声。第一级放大器采用经典的五管 OTA 结构,第二级采用共源极结构,并以 PMOS 管作为主动负载,该设计使得放大器的非线性失真主要出现在高电平区域。通过将静态工作点设置在 1 V,使其远离非线性区,从而显著改善缓冲器在工作点附近的线性度,确保电压跟随精度。

斩波器结构由 4 个开关构成,通过周期性地控制两个完全反相的时钟信号 clk 与 clkb,使输入信号 INP 和 INN 交替导通至输出节点 OP 与 ON,其结构如图 6 所示。

在零偏工作状态下,器件的总寄生电容约为

6.1 pF,该寄生电容与核心运放输入节点直接并联,在电路设计时需考虑采用共源共栅或电流镜负载结构降低密勒效应放大来减少寄生电容对系统带宽的影响。斩波 CTIA 核心运放的结构如图 7 所示,其在输入端通过斩波器 Ch1 对信号进行调制,在输出端通过斩波器 Ch2 进行解调。Ch1 与 Ch2 保持同步操作,可确保输出管始终对应相同的负载管,有效抑制 Cascode 电路左右支路因负载管失配的影响。

为了最小化电路噪声并适应输入电压范围,我们选择 PMOS 晶体管作为输入对来降低噪声。遵循经典的折叠级联结构,主电流源也使用了 PMOS,而输出对使用了 NMOS 晶体管。为了减轻工艺误差对偏置电压的影响,偏置电路中 MOS 晶体管的 W/L 比与斩波放大器中相应晶体管的 W/L 比相匹配。

该相关双采样模块的结构如图 8 所示,由三个开关(S1-S3)和两个电容(C1、C2)组成。

其工作流程如下:在采样周期起始阶段,S2 与 S3 导通,S1 断开,电容 C2 的右极板(B 点)电压被钳位至 Vref,左极板(A 点)电位为 0 V,同时 C1 完成电荷清零。随后,S1 与 S3 导通,S2 断开,C2 的 B 点电压仍保持为 Vref,A 点电压则由 CTIA 输出决定。

$$V_A = V_{signal}(t_1) + V_{offset} + V_n(f) \quad , \quad (10)$$

接下来,S2 与 S3 断开,S1 保持导通。基于电容的电荷守恒特性,C2 两极板 A、B 之间的电压差维持不变:

$$\Delta V = V_{signal}(T_d) + V_{offset} + V_n(f) \quad , \quad (11)$$

借助 S1 与 S3 切换时存在的时间差 T_d ,B 点电压反映了一个采样周期内两次采样信号的差值,而 A 点电压则对应 CTIA 在 T_d 时间内的积分电压。

$$V_B = V_{signal}(t_1 - T_d) \quad , \quad (12)$$

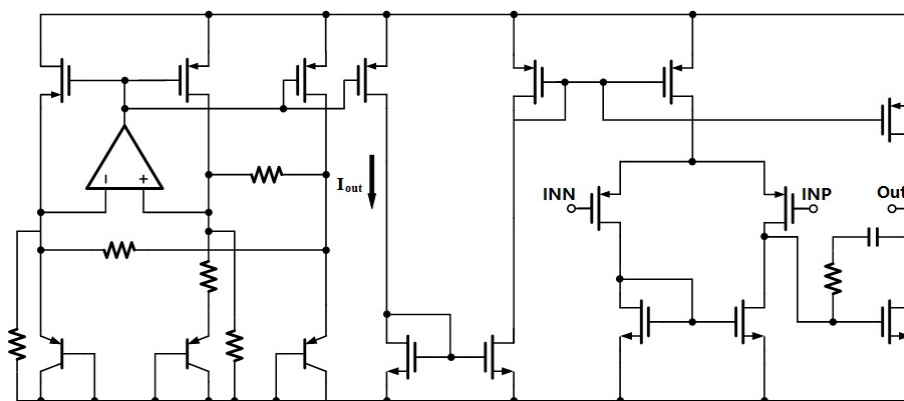


图 5 带有基准电流源的单位增益缓冲器结构示意图

Fig. 5 Schematic Diagram of a Unit-Gain Buffer with a Reference Current Source

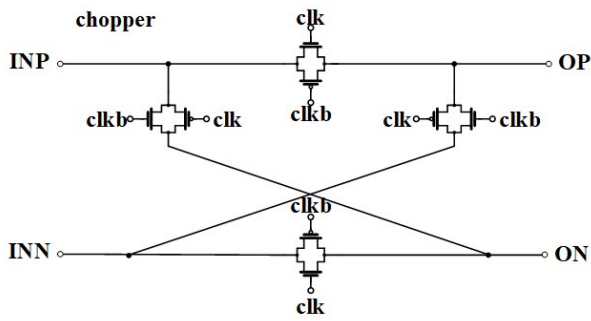


图6 斩波器结构示意图

Fig. 6 Schematic Diagram of the Chopper Circuit.

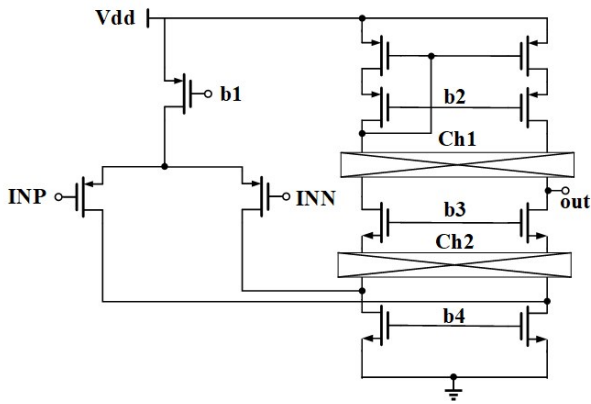


图7 内置斩波的运算放大器结构示意图。

Fig. 7 Schematic Diagram of a Chopper-Stabilized Operational Amplifier

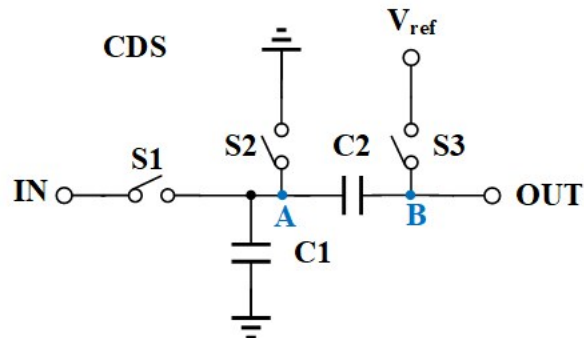


图8 相关双采样结构示意图。

Fig. 8 Schematic Diagram of the Correlated Double Sampling Technique

该过程由 OUT 端输出一个采样周期内电路的双采样电压差,采样过程中存在 C1 与 C2 之间的电荷重分配,因此 C1/C2 容值不宜过小。

4 核心电路仿真结果

在静态工作点电压为 1 V、交流小信号摆幅 1 μV 的条件下,我们对单位增益缓冲器所使用的运算放大器进行了 ac 仿真。仿真结果包括增益和-3

dB 带宽,如图 9 所示。该运算放大器增益为 80.2 dB,增益带宽积高达 285 MHz。在低频端输出电压为 10.2 mV,-3 dB 带宽约为 30.72 kHz。满足器件对电路的带宽要求($\tau_r=74.2 \mu\text{s}$, $\tau_d=74.2 \mu\text{s}$)。

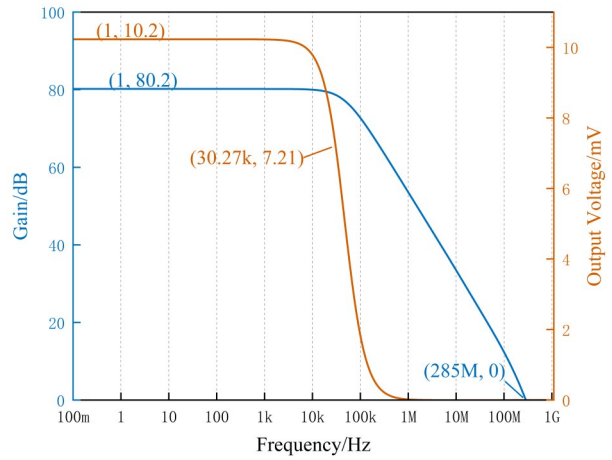


图9 单位增益缓冲器的增益和-3dB 带宽仿真结果

Fig. 9 Gain and Bandwidth (-3 dB) Performance Characterization of the Unit-Gain Buffer

为验证前述单位增益缓冲器的设计功能,在 27 $^{\circ}\text{C}$ AMS 5V-0.35 μm CMOS 工艺下,对其进行了基本的性能仿真。如图 10 所示,输入扫描电压范围为 0-5V,输出电压在 4.6V 之前都表现出较好的跟随性。在输入电压超过 4.6V 之后,由于单位增益缓冲器的二级共源极运算放大器是 PMOS 电流源负载,根据饱和条件 $|V_{DS}| \geq |V_{GS}| - |V_{thp}|$,当 $|V_{DS}| < |V_{GS}| - |V_{thp}|$,PMOS 从饱和区变为线性区,导致增益急剧下降,失去跟随能力,输出电压很快被上拉到 VDD (5 V)。此失去跟随能力的情况仅在极端输入时发生,对正常工作的探测器(正常工作点 1 V)没有影响。

为了进一步验证此单位增益缓冲器的性能指标和稳定性,我们在 tt 工艺角下对其在静态工作点 (1 V) 附近进行了蒙特卡洛仿真,结果如图 11(a) 所示,200 次蒙特卡洛仿真结果表明,在输入电压为 1 V 时,输出直流失调电压的均值为 48.85 μV ,标准差为 24.12 μV 。其箱型图如图 11(b) 所示,在 1.5 IQR、99.3% 置信区间内,输出直流失调电压在 -128.96 μV 到 29.41 μV 之间,满足 MoS₂-BP-MoS₂ 对零偏置所要求的电压误差(200 μV)范围。

蒙特卡洛仿真结果表明,所设计的单位增益缓冲器在工艺波动下仍具备稳定的性能,为整个读出系统的可靠性提供了重要保障。在此基础上,本文进一步对集成斩波技术的完整读出电路前端进行

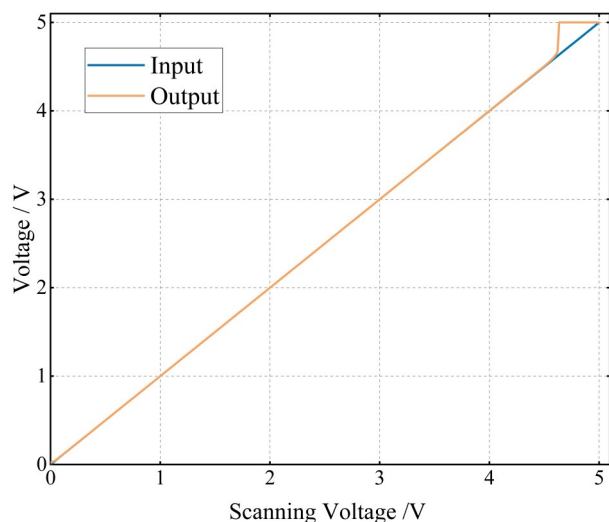


图10 单位增益缓冲器的功能性仿真结果

Fig. 10 Functional Verification Simulation of the Unit-Gain Buffer

了噪声性能仿真。为验证斩波结构对噪声的抑制效果,在斩波频率 40 kHz、频率范围 0.1 Hz~100 MHz 的条件下,对比了斩波器开启与关闭两种状态下 CTIA 电路(均包含滤波电路与 CDS 模块)的噪声特性。仿真结果如图 12 所示,斩波开启后,电路在 1 kHz 以下的低频噪声被显著抑制,1 kHz 以上则以热噪声为主。噪声测试结果显示,斩波关闭时电路的总积分噪声为 $142.16 \mu\text{V}_{\text{rms}}$;斩波开启后总积分噪声降至 $95.48 \mu\text{V}_{\text{rms}}$,降幅达 32.83%。根据等效输入噪声 $I_{n, \text{in}, \text{rms}} \approx V_{n, \text{out}, \text{rms}} \cdot C_{\text{int}} / t_{\text{int}}$ 推算,斩波开启后 CTIA 的等效输入噪声电流为 119.35 fA,满足 MoS₂-BP-

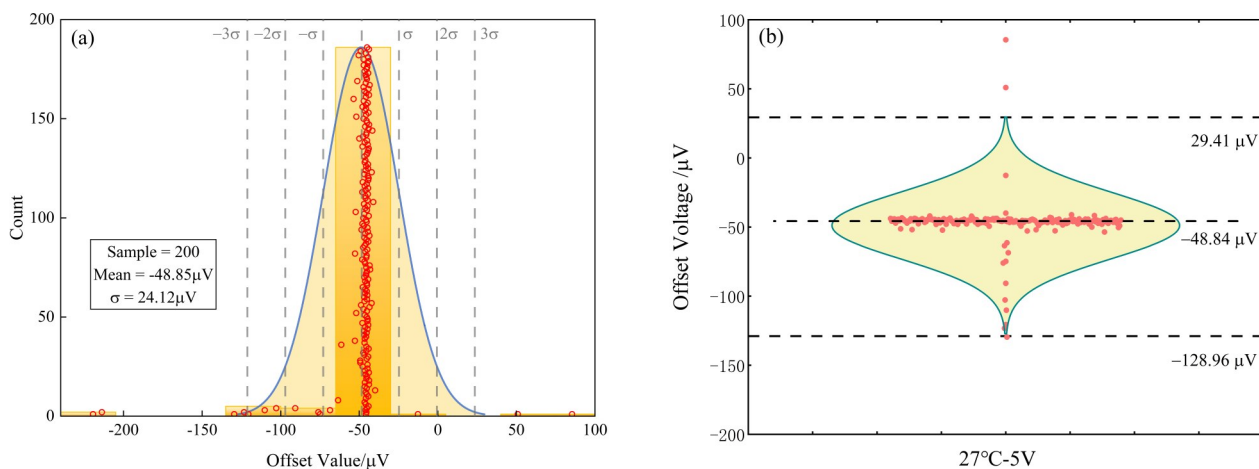
MoS₂探测器对读出电路低噪声电流的要求(暗电流约 0.76 nA)。

5 器件测试和结果分析

仿真结果从理论层面预测了读出电路的优良噪声性能。为检验实际芯片性能与设计预期的一致性,我们对流片后的芯片进行了与探测器互连测试。封装后的探测器与芯片整体结构如图 13 所示。芯片采用 28 引脚管壳封装, MoS₂-BP-MoS₂探测器贴装于管壳上,其衬底与金属外壳相连, BP 端与 MoS₂端分别连接至芯片相应引脚,全程未引入额外偏置电压。

测试在 20 °C 恒温环境下进行,芯片工作电压为 5 V,工作电流为 198 μA ,积分电容为 1 pF,积分时间设置为 800 μs 。使用两种不同光强对探测器进行照射,所得输出波形如图 14 所示。测试结果显示,CTIA 积分输出在 1 V 至 4.1 V 范围内具有良好的线性度,超出 4.1 V 后逐渐出现饱和和非线性失真,因此探测器的有效输出摆幅为 1.0 V 至 4.1 V。在积分至 800 μs 时波形中出现小幅电压毛刺,该现象为 CDS 电路在采样-保持切换过程中开关动作所引起,属正常瞬态响应,不影响电路的整体读出性能。

测试与仿真结果表明,斩波结合相关双采样的电容跨阻放大器在 0.35 μm CMOS 工艺下,电路等效输入噪声电流低至 119.35 fA,较传统非斩波结构降低 32.83%。这体现了多节点斩波调制在抑制 1/f 噪声方面的优势。CDS 技术的引入进一步消除了 KTC 噪声与调制纹波,使输出信噪比得到全面提升。传

图11 tt工艺角 27°C AMS 5V-0.35 μm CMOS 工艺单位增益缓冲器蒙特卡洛仿真结果:(a) 分布图 (b) 箱型图Fig. 11 Monte Carlo Simulation Results of the Unit-Gain Buffer under tt Corner, 27°C, in a 0.35- μm CMOS Process (5V): (a) Statistical distribution plot. (b) Box plot.

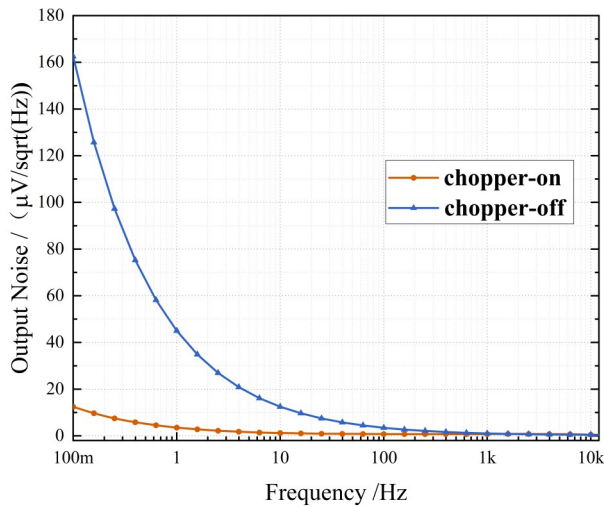


图 12 CTIA 电路噪声仿真结果

Fig. 12 Noise Simulation Results of the CTIA Circuit

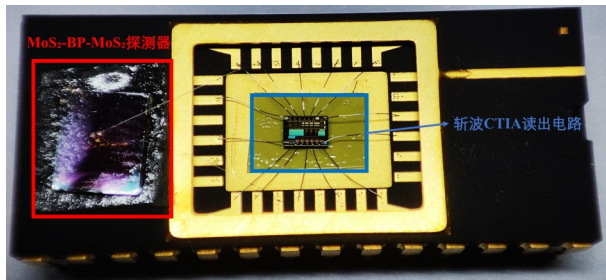
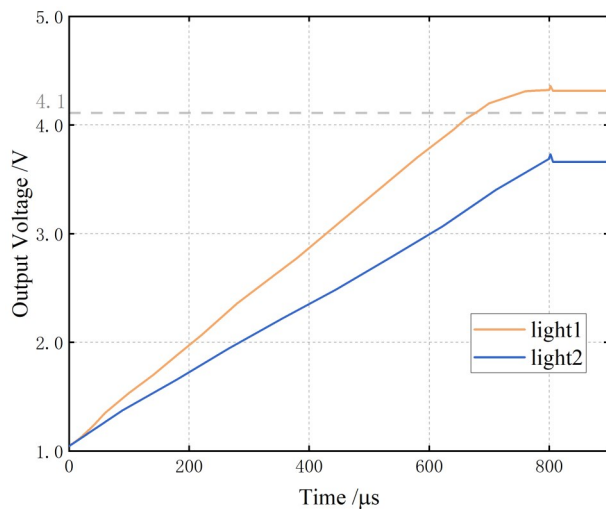


图 13 探测器与芯片整体结构示意图

Fig. 13 Schematic of the Overall Architecture Integrating the Detector and the Readout Chip

图 14 MoS₂-BP-MoS₂读出电路测试结果Fig. 14 Performance Characterization of the Readout System Incorporating the MoS₂-BP-MoS₂ Detector

统方法依赖外部正负电源或额外偏置来实现器件零偏,不仅易引入噪声与失调,且难以确保电位的精确匹配。本设计通过片上集成单位增益缓冲器,

无需复杂的外部供电网络,可为探测器两极提供实时、动态的电位跟踪,从而确保了苛刻的真零偏置工作条件。该方法避免了外部偏置源可能带来的阻抗失配、噪声耦合和稳定性问题,偏置误差控制在 $200 \mu\text{V}$ 以内,有效抑制了因偏压引起的暗电流和噪声增加。蒙特卡洛仿真表明,该缓冲器在工艺波动下仍保持稳定的性能,输出电压失调均值仅为 $48.85 \mu\text{V}$,标准差 $24.12 \mu\text{V}$,表现出良好的工艺鲁棒性和可靠性。此外,与 MoS₂-BP-MoS₂探测器互连后,电路在 1 V 至 4.1 V 的输出范围内呈现出良好的线性特性,仅在 4.1 V 以上出现饱和和非线性,满足绝大多数弱光探测场景的动态范围需求。尽管在采样切换瞬间存在小幅电压毛刺,但属正常瞬态响应,不影响系统整体性能。该设计实现了与 MoS₂-BP-MoS₂探测器的高度协同,为其高探测率特性的发挥提供了关键的电路支撑。

4 总结

针对 MoS₂-BP-MoS₂范德瓦尔斯异质结探测器对超低噪声和零偏置的要求,提出并实现了一种集成斩波稳定与相关双采样技术的电容跨阻放大器读出电路。通过多节点斩波调制架构抑制 $1/f$ 噪声,利用 CDS 技术消除 KTC 噪声与调制纹波,采用单位增益缓冲器实现动态精准偏置,相较于依赖外部正负电源或分立偏置电路的传统方法,具有更高集成度、更优噪声性能和更好稳定性,避免了外部引入的复杂性和不精确性。测试结果表明,该电路在 $0.35 \mu\text{m}$ CMOS 工艺下等效输入噪声电流低至 119.35 fA ,噪声性能提升显著,为零偏置工作的二维材料光电探测器提供了高性能、高可靠性的读出解决方案。芯片整体功耗为 $990 \mu\text{W}$,与 MoS₂-BP-MoS₂探测器互连后线性摆幅可达 3.1 V 。该电路为高性能范德瓦尔斯光电探测系统的实际应用奠定了坚实的电路基础,对推动室温、低功耗红外探测技术的发展具有重要的参考价值。

References

- [1] Zeng Long-Hui, Wu Di, Jie Jian-Sheng, et al. Van der Waals Epitaxial Growth of Mosaic-Like 2D Platinum Ditungsten Layers for Room-Temperature Mid-Infrared Photodetection up to $10.6 \mu\text{m}$ [J]. Adv. Mater., 2020, 32: 2004412.
- [2] Dai Ming-Jin, Wang Chong Wu, Ye Ming, et al. High-Performance, Polarization-Sensitive, Long-Wave Infrared Photodetection via Photothermoelectric Effect with Asymmetric van der Waals Contacts [J]. ACS Nano, 2022, 16 (1) : 295-305.

- [3] Zhang Hong-Kai, Wei Yi-Lin, Shi Dong-Chang, et al. Rapid digital spray coating of interface passivation layer under ambient conditions for enhancing Voc of carbon-based perovskite solar cells [J/OL]. *J. Mater. Sci. Technol.*, 2025, 260:106-112.
- [4] Ma Yi-Ming, Dong Bo-Wei, Wei Jing-Xuan, et al. High-Responsivity Mid-Infrared Black Phosphorus Slow Light Waveguide Photodetector [J]. *Adv. Opt. Mater.*, 2020, 8(5): 2000337.
- [5] Long Ming-Sheng, Gao An-Yuan, Wang Peng, et al. Room temperature high-detectivity mid-infrared photodetectors based on black arsenic phosphorus [J]. *Sci. Adv.*, 2017, 3: e1700589.
- [6] Xie Sheng, Zhang Shao-Ying, Zhang Fan, et al. A high linearity and wide dynamic range readout circuit with saturation monitoring for position sensitive detection [J]. *IEICE Electron. Express*, 2024, 21: 20240392.
- [7] He Ying, Kim Ji-Hoon, Park Sung Min. A CMOS Read-Out IC for Cyanobacteria Detection With 40 nApp Sensitivity and 45-dB Dynamic Range [J]. *IEEE Sens. J.*, 2020, 20: 4283-4289.
- [8] Ngo Trong-Hieu, Ukaegbu Ikechi Augustine, Kim Min-Gug, et al. A Low-Noise Image Sensor Readout Circuit With Internal Timing Generator [J]. *Sensors*, 2018, 2: 5500804.
- [9] KUSUDA Y. Techniques of Reducing Switching Artifacts in Chopper Amplifiers [J]. *IEICE TRANS. ELECTRON.*, 2020, E103-C(10): 458-465.
- [10] Yuan Hong-Hui., Chen Yong-Ping. Development of a high-performance readout circuit for photoelectric detectors. *AIP Adv.*, 2020, 10(10):105026.
- [11] Tian Hui, B. Fowler, A. E. Gamal. Analysis of temporal noise in CMOS photodiode active pixel sensors [J]. *IEEE J. Solid-State Circuits*, 2001, 36(1): 92-101.
- [12] Kim Y. S., Park J. H., Lee S. J., et al. Low-Noise and Wide-Dynamic-Range ROIC with a Self-Selected Capacitor for SWIR Focal Plane Arrays [J]. *IEEE Sens. J.*, 2017, 17(5): 1272-1281.
- [13] Huang Li, Dong Bo-Wei, Yu Zhi-Gen, et al. Mid-infrared modulators integrating silicon and black phosphorus photonics [J]. *Mater. Today Adv.*, 2021, 12: 100170.
- [14] Prabhu K. Venuthurumilli, Peide D. Ye, Xu Xian-Fan. Plasmonic Resonance Enhanced Polarization-Sensitive Photodetection by Black Phosphorus in Near Infrared [J]. *ACS Nano*, 2018, 12(5): 4861-4867.
- [15] Peng Meng, Xie Run-Zhang, Wang Zhen, et al. Blackbody-sensitive room-temperature infrared photodetectors based on low-dimensional tellurium grown by chemical vapor deposition [J]. *Sci. Adv.*, 2021, 7(16): eabf7358.
- [16] Wang Fang, Liu Zhi-Yi, Zhang Tao, et al. Fully Depleted Self-Aligned Heterosandwiched Van Der Waals Photodetectors [J]. *Adv. Mater.* 2022, 34: 2203283.
- [17] Javed A., Vutale G., Livreri P. Design of a High-Performance Low-1/f-Noise Low-Dropout for Power Management Units [J]. *Electronics*, 2025, 14(7): 1309.
- [18] Mars K., Kawahito S. A single-ended CMOS chopper amplifier for 1/f noise reduction of n-channel MOS transistors [J]. *IEICE Electron. Express*, 2012, 9(7): 98-103.
- [19] Li Jie-Fei, Ni Qi-Liang, Wang Fu-Xin, et al. Low Noise Instrumentation Amplifier for Small Signal Detection [J]. *J. Jilin Univ. (Inf. Sci. Ed.)*, 2019, 37(3): 341-345.
- [20] WANG Z, JIANG H, ZHANG C, et al. A chopper current feedback instrument amplifier with bandpass amplification stage [J]. *Analog Integr. Circuits Signal Process.*, 2024, 81: 763-775
- [21] Yang Yin-Tang, He Bin, Zhu Zhang-Ming. Analysis and Research of CMOS Chopper Stabilized Amplifiers [J]. *Journal of Electron Devices*, 2005, 1: 167-171.
- [22] Yuan Hong-Hui, Chen Yong-Ping, Zhong Yan-Ping Self-adaptive ROIC for long-wave length photoconductive infrared detector [J]. *Optik*, 2020, 220: 165166.

An infrared chopper-stabilized readout circuit designed for MoS₂-BP-MoS₂ detectors

Kong Da-Lin^{1,3}, Dai Fu-Xing^{2,3}, Li Wu-Ying¹, Kuang Hua^{1,3}, Ouyang Xue-Long^{1,3}, Li Bin-Liang^{1,3}, Jiang Rui-Qi^{2,3}, Wang Fang², Yuan Hong-Hui^{1*}

(1. National Key Laboratory of Infrared Detection, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China

2. State Key Laboratory of Infrared Physics, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China

3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To address the requirements for ultra-low noise and zero-bias operation in MoS₂-BP-MoS₂ van der Waals photovoltaic detectors, a readout circuit was designed based on a capacitive transimpedance amplifier (CTIA) incorporating chopper stabilization (CS) and correlated double sampling (CDS) techniques. The design employed a multi-node chopper architecture operating at 40 kHz to suppress 1/f noise, while CDS was utilized to eliminate KTC noise and ripple. A unity-gain buffer provided dynamic bias control, achieving a bias error below 200 μV. Experimental results demonstrated an equivalent input noise current of 119.35 fA, a total integrated noise reduction of 32.83%, and a power consumption of 990 μW in a 0.35 μm CMOS process. This work presents a high-precision, low-noise readout solution for two-dimensional material photodetectors.

Key words: van der Waals heterojunction detector, low-noise readout, chopper technique, zero-bias circuit, capacitive transimpedance amplifier