

基于多模式增量型 Sigma-Delta ADC 的红外焦平面数字化研究

朱迅毅^{1,2}, 汪鸿祎¹, 杜爱博^{1,2}, 景松¹, 张永康^{1,2}, 付佳凯^{1,2}, 黄松奎^{1*}, 邵秀梅^{1*}

(1. 中国科学院上海技术物理研究所 红外探测全国重点实验室, 上海 200083

2. 中国科学院大学, 北京 100049)

摘要: 红外焦平面数字化读出电路是红外焦平面探测技术目前发展的重要方向之一, 针对红外焦平面高速高精度多应用场景的需求, 设计了一种 3-bit 量化器的多模式增量型 Sigma-Delta 模数转换器(ADC)新架构。通过将数据加权平均算法集成在 3-bit 量化器中, 减小反馈回路中电容失配的影响、提高 ADC 的转换速度和精度; 采用将多路选择器嵌入在 CIC 数字抽取滤波器中, 实现支持不同转换速度和输出位数的 ADC。基于 180 nm CMOS 工艺设计, 完成了多模式增量型 Sigma-Delta ADC 的设计。仿真结果表明: 在多模式工作下可以实现转换速度和输出位数之间的转换, ADC 转换速度从 12.5 ksp/s 达到 100 ksp/s, 输出位数从 15 bits 达到 24 bits; 在 50 ksp/s 转换速度下, 后仿真 ADC 有效位数达到了 13.1 bits, 每列 ADC 消耗电流仅为 90 μ A。

关键词: 红外焦平面; 数字化; 读出电路; 增量型 Sigma-Delta ADC; 多模式

中图分类号: TN215

文献标识码: A

引言

红外焦平面因其高灵敏度、均匀性和稳定性, 广泛应用于智慧城市、安防监控、医疗及航天等领域, 它由红外光敏芯片阵列和红外读出电路组成, 其中红外读出电路负责信号放大、采样和输出, 是决定焦平面性能的关键因素^[1-2]。随着集成电路技术的发展, 红外读出电路正从模拟向数字化转变。数字化读出电路直接输出数字信号, 具有抗干扰性强、接口简单、帧频高、集成度高和可靠性好等优势^[3]。将模数转换器(ADC)集成在读出电路内可缩短模拟信号路径, 减少噪声和非线性, 提升系统性能, 为第三代红外焦平面阵列的实现奠定基础, 因此发展数字化红外读出电路至关重要。

国际上红外焦平面数字化发展较早, 美国洛克希德·马丁公司是全球领先的红外焦平面产商, 面阵规模从 320×256 到 2560×2048, 读出电路输出位数从 12 到 18 bits, 面阵帧频从 57 到 430 Hz^[4], 以色列 SCD 公司和法国 Lynred 公司也分别在 2025 年推出规模 1280×1024 13 bits^[5] 和 640×512 VGA 14 bits

数字化红外焦平面产品^[6]; 国内方面, 北京大学^[7]、昆明物理研究所^[8]和中国科学院上海技术物理研究所等科研机构^[9-10]都在近些年报导过红外焦平面数字化的进展情况, 综合来看国内发展迅速, 但是在兼顾转换速度、精度、功耗等综合指标上与国外存在一定差距。对于红外焦平面高速和高精度的需求, 本文提出一种适用于红外焦平面的多模式增量型 Sigma-Delta ADC 架构。

1 增量型 Sigma-Delta ADC

Sigma-Delta ADC 是一种通过过采样和噪声整形技术实现高分辨率的转换器, 其核心结构包含调制器和数字抽取滤波器。传统 Sigma-Delta ADC 主要是持续性地处理输入信号, 同时输出连续的采样结果, 大多应用于音频处理等需要实时处理的场景。在红外阵列焦平面、生物传感器等多通道系统中主要关注的是直流信号本身, 在一个转换周期内输入信号基本不变, 不同转换周期互不影响。增量型 Sigma-Delta ADC 作为传统 Sigma-Delta ADC 的改进型非常适合于直流信号的检测。如图 1 所示,

收稿日期: 2025-07-30, 录用日期: 2025-10-10

Received date: 2025-07-30, accepted date: 2025-10-10

基金项目: 科技部重点研发(2022YFB3904803); 国家自然科学基金(62175250); 东方英才拔尖项目优秀学术带头人专题(BJKJ2024033); 红外探测国家重点实验室开放课题(IRDT-ZGKXY-25-08)

Foundation items: Supported by the National Key R&D Program of China (2022YFB3904803); the National Natural Science Foundation of China (62175250); Shanghai Oriental Talent Program (BJKJ2024033); National Key Laboratory of Infrared Detection Technologies (IRDT-ZGKXY-25-08)

作者简介(Biography): 朱迅毅(2000-), 男, 湖南郴州人, 博士研究生, 主要研究领域为数字化红外读出电路。E-mail: zhuxunyi22@mails.ucas.ac.cn

*通讯作者(Corresponding author): E-mail: huangsl@mail.sitp.ac.cn; shaoxm@mail.sitp.ac.cn

增量型 Sigma-Delta ADC 中复位开关每隔 N 个采样周期打开一次,使 ADC 中的记忆单元如调制器中的电容和滤波器的寄存器等清零。传统 Sigma-Delta ADC 只会在一开始工作时重制清零,同时所需要的数字抽取滤波器在设计上更加复杂,而增量型 Sigma-Delta ADC 所需的数字抽取滤波器结构简单,面积功耗也显著降低,因此可以在红外焦平面数字化应用中采用增量型 Sigma-Delta ADC。

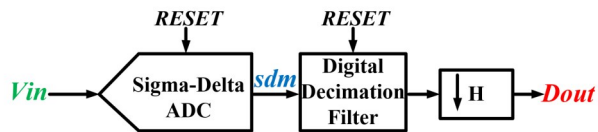


图1 增量型 Sigma-Delta ADC 架构图

Fig. 1 Incremental Sigma-Delta ADC diagram

对于增量型 Sigma-Delta ADC 来说,有效位数 (ENOB) 与调制器阶数 L 、量化周期数 N 、量化器位数 B 和调制器内部第一级积分器系数 b 、第二级积分器系数 c 等有关,具体关系有:

$$\text{ENOB} \approx L \cdot \log_2 N + B + \log_2 bc - \log_2 L! \quad (1)$$

一阶增量型 Sigma-Delta ADC 调制器和其所需数字抽取滤波器虽然结构简单,但是对于 ENOB 需要达到 14 bits 而言,ADC 需要至少转换 16384 次。这对于 45 ksp/s 转换速度来说 ADC 的时钟频率至少要达到 737 MHz。在 ADC 中高频时钟信号会消耗大量的功耗和面积,系统难以稳定工作。二阶 1bit 增量型 Sigma-Delta ADC 转换大约 250 次 ENOB 就可以达到 14 bits,大大减少了所需时钟信号频率。如果在二阶架构下使用如图 2 所示的 3-bit 量化器,转换次数可以进一步减小,只需大约 125 次就能达到,所需时钟信号频率减小到 6 MHz 左右。这对整个 ADC 系统来说简化了调制器内部电路设计,内部运放的单位增益带宽和摆率等要求降低,而且多量化器的电路设计主要在数字电路部分,所需功耗较少。同时根据红外焦平面应用中多应用场景的需求设计了带有多模式数字抽取滤波器的多模式可调 ADC。

本文提出一种适用于红外焦平面的多模式可调二阶 3bit 增量型 Sigma-Delta ADC,内部使用 3-bit 量化器,减小了 ADC 对时钟信号频率和带宽的要求,提高转换速度和精度,减少电流损耗。为了减小反馈回路 3-bit 数模转换电容阵列 (DAC) 中电容失配对 ADC 整体精度的影响,3-bit 量化器使用了数

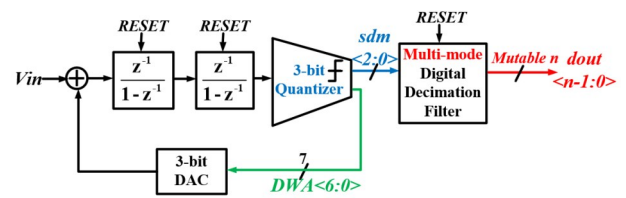


图2 设计的二阶 3bit 增量型 Sigma-Delta ADC 架构图

Fig. 2 Designed second-order 3-bit incremental Sigma-Delta ADC architecture diagram

据加权平均 (DWA) 算法,将电容失配产生的静态误差转换成宽带噪声,再利用噪声整形和数字抽取滤波器将其滤除。同时,在数字抽取滤波器中内嵌多路选择器,提供 ADC 多模式高速高精度的选择,根据具体应用需求可以进行适合的操作。

2 多模式 DWA 算法的 Sigma-Delta ADC 电路设计

2.1 增量型 Sigma-Delta 调制器电路级实现

由于电路级仿真消耗时间过长,为节约时间,首先使用数学仿真软件进行行为级建模确定结果。综合考虑设计和实际电路中各种非理想因素,包括时钟抖动 Jitter、开关非线性、KTC 噪声、运放的非理想性、多量化器和比较器的非线性等,将这些非理想因素考虑到理想模型中,完成带有非理想因素的调制器数学建模,如图 3 所示。进行仿真并不断迭代,为后续电路实现提供方案。

输入 6.144 MHz 采样频率的正弦激励,仿真 65536 个周期后,对调制器输出进行快速傅里叶变换 (FFT) 分析可以得到如图 4 所示的调制器功率谱密度,由图可以看到调制器的信噪失真比 (SNDR) 为 90.6 dB,ENOB 为 14.8 bits。

二阶 3bit 增量型 Sigma-Delta 调制器的电路图如图 5 所示, Sigma-Delta 调制器由两级积分器、3-bit 量化器、无源加法器及 3-bit DAC 反馈回路组成。为了减小奇次谐波对有效位数的影响,电路采用差分结构,抑制了谐波的干扰,提高了 ADC 精度。

3-bit 量化器虽然可以使调制器利用更少的转换周期实现更高的精度,同时改善系统的稳定性并降低时钟抖动敏感性,但是由于量化器输出的 3-bit 数字码需要一个 3-bit DAC 转换回模拟信号进行反馈,而 3-bit DAC 需要 7 个精确匹配的电容单元,电容元件之间的失配会导致显著的静态非线性误差直接叠加到 ADC 的输出端,不受噪声整形的影响,从而限制系统的整体线性度和精度。为了克服

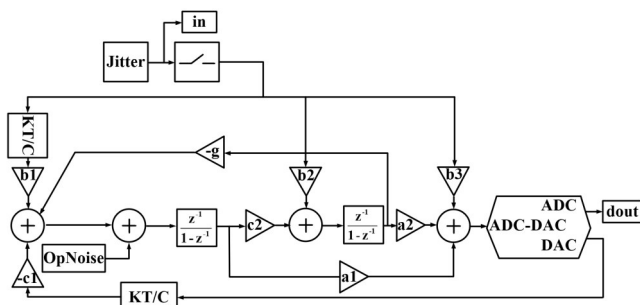


图3 包含非理想因素的 Sigma-Delta 调制器数学建模

Fig. 3 Mathematical modeling of Sigma-Delta modulator including non-ideal factors

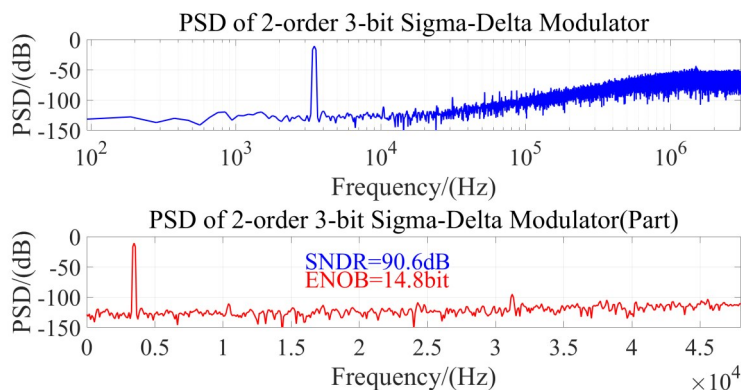


图4 考虑所有非理想因素后调制器的功率谱密度

Fig. 4 Power spectral density of the modulator after taking all non-ideal factors into account

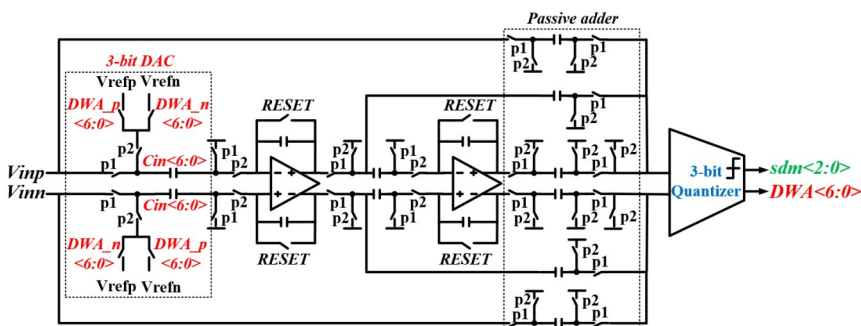


图5 二阶3bit增量型 Sigma-Delta 调制器电路图

Fig. 5 Second-order 3-bit incremental Sigma-Delta modulator circuit diagram

DAC 的非线性问题,可以使用图6的 DWA 算法。DWA 算法主要是在数字域实现,首先对前端模拟域完成噪声整形后的输出使用一个7级 flash ADC 并行进行7次比较输出7级温度计码 $temp<6:0>$,再使用温度计转二进制编码电路使其转换成二进制调制器输出 $sdm<2:0>$ 。 $sdm<2:0>$ 再通过全加器和指针寄存器后形成指针寄存器输出,将其和 $temp<6:0>$ 一同输入到对数移位电路后形成平移轮转 DWA 码 $DWA<6:0>$ 。DWA 码可以在每个工作周期动态轮换选择不同的 DAC 电容单元进行反馈,而其他的

DAC 电容单元则被关闭,经过足够多的工作周期每个电容单元被使用的总次数趋于相等。通过动态轮换使用 DAC 中的电容单元,将电容单元的失配误差转换成一种在时间上平均后趋于零的、类似噪声的扰动,再利用调制器噪声整形技术和数字抽取滤波器将其推出信号带,进而提高 ADC 精度。

2.2 数字抽取滤波器电路级实现

增量型 Sigma-Delta ADC 的数字抽取滤波器可以使用级联积分梳状(CIC)结构来实现。这种滤波器结构相对简单,由级联的数字积分器和数字差分

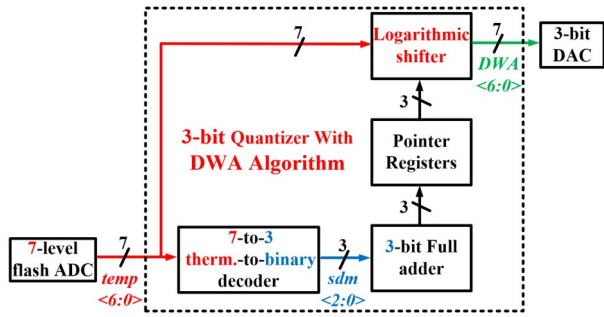


图6 使用DWA算法的3-bit量化器
Fig. 6 3-bit quantizer using the DWA algorithm

器组成,没有乘法器等复杂的操作,只需要进行累加和延迟等操作,其实现成本低、运算速度快。为了能更好地抑制带内噪声,对于本文设计的二阶调制器,CIC滤波器应设计成三阶形式。

同时为了适用于红外焦平面多模式精度要求,本文设计了如图7所示的可调多模式CIC滤波器。在滤波器内部设计了一个分频器和4选1多路选择器MUX。分频器可以实现降采样功能,对积分器工作频率 f_{s1} 进行分频,由于分频器每隔一级D触发器都能对前一级D触发器的输出实现二分频,所以分频器内部不同D触发器的输出其实是代表着不同降采样率(H)的降采样频率 f_{s2} 。将分频器不同D触发器的输出接入4选1多路选择器MUX,输入选择信号 S_1 、 S_0 可以决定分频器的最终输出 f_{s2} ,实现H的控

制。差分器工作在被选择后的降采样频率 f_{s2} 下,输出低速高位数字码值,实现了三阶多模式CIC数字抽取滤波器。

3 仿真结果

对使用DWA算法的3-bit量化器模块进行仿真,可以得到量化器内部各类型码值随采样时钟 clk_in 变化的仿真图。如图8所示,temp<6:0>由前端输入决定一直为0000011,所以量化器输出 $sdm <2:0>$ 也恒为010,而由二者转换得到的DWA<6:0>从0000110变为0011000再变为1100000,得到DWA码正在随着 clk_in 进行周期性的动态轮换。最后将DWA<6:0>反馈回3-bit DAC电路中,使不同的DAC电容单元随着采样周期轮换着被选择,经过足够多采样周期后,能够大大减少DAC电容单元失配对调制器精度的影响。

对整体调制器电路进行仿真,本设计中电源电压为3.3V,时钟采样频率 f_{s1} 为6.144MHz,过采样率(OSR)设为128,对输出选取8192个点进行FFT,调制器输入差分信号共模电平1.65V,幅度为 ± 1 V,频率为5.25kHz。为了对比DWA算法对调制器性能的提高效果,设置内部3-bit DAC模块存在3%失配误差,对未使用和使用DWA算法的调制器进行了同条件的仿真。二者调制器输出如图9所示,由于都使用了3-bit量化器,所以输出范围都为0-7

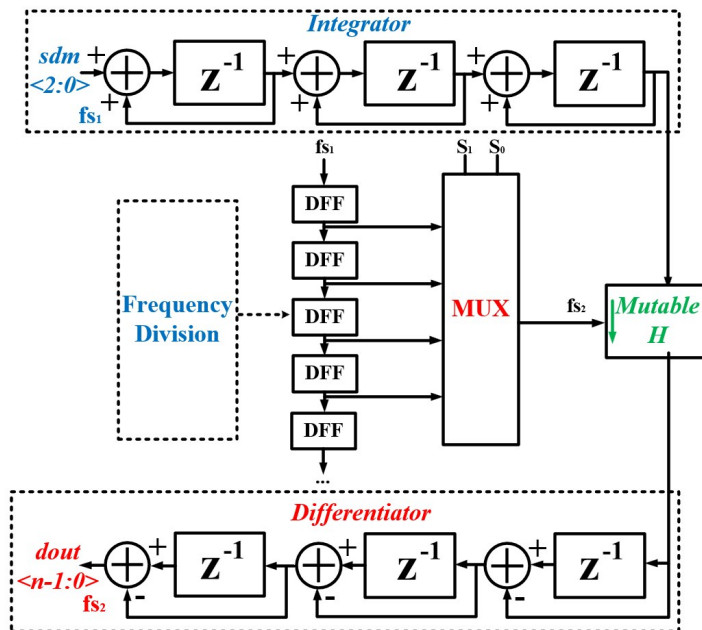


图7 三阶多模式CIC数字抽取滤波器
Fig. 7 Third-order multi-mode CIC digital extraction filter

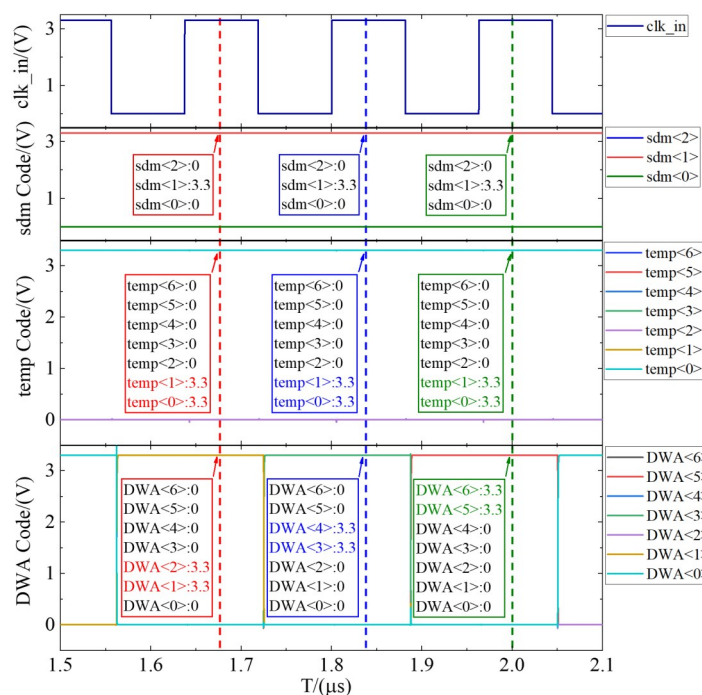


图8 3-bit量化器内各类型码值随采样时钟的变化

Fig. 8 The change of each type of code value in the 3-bit quantizer with the sampling clock

bit。进行FFT后得到二者调制器的功率谱密度,可以看到未使用DWA算法时3-bit DAC的电容失配误差使得调制器SNDR仅为70.5 dB,使用DWA算法后SNDR提升到88.1 dB,ENOB达到14.4 bits,这是因为使用DWA算法后减小了3-bit DAC中电容失配对调制器整体精度的影响,提高了ADC整体精度。

CIC数字抽取滤波器由3级积分器、3级差分器和分频器组成,积分器由全加器和寄存器构成,对调制器输出的3-bit高速码流进行积分累加,工作频率和前端调制器采样频率一样都为 f_{s1} 。经过分频器降采样之后,由全减器和寄存器构成的差分器工作在降采样频率 f_{s2} 下,并对前端积分器的输出进行差分相减。将增量型Sigma-Delta调制器和CIC数字抽取滤波器一同仿真,如图10所示,差分输入范围为 1.65 ± 1 V,进行拟合可以得到1 LSB约为 $0.22478 \mu\text{V}$,输出码值范围可以从 1.29×10^6 LSB到

5.24×10^7 LSB,表明ADC分辨率可实现24 bits。

对集成在CIC数字抽取滤波器内部的4选1多路选择器MUX输入 S_1 、 S_0 赋予不同值,进行如表1所示的多模式操作。所设计的ADC可以在功耗相当的情况下由控制信号 S_1 、 S_0 进行转换速度和输出位数上的折中,实现不同场景下的应用和可调整。

所设计的增量型Sigma-Delta ADC版图包含了3-bit DAC、运放、无源加法器、带DWA算法的3-bit量化器和多模式CIC数字抽取滤波器等于模块,如图11(a)所示,绘制成阵列形式,单列ADC宽度为 $30 \mu\text{m}$ 。为了减少数字部分时钟以及反馈走线逻辑变化导致的电压波动对模拟部分衬底和信号准确性的影响,ADC版图注重了对称性和匹配性以及数字和模拟部分进行了金属层接地隔离等措施。对ADC阵列进行寄生参数的提取和后仿真,结果如图11(b)所示,后仿真的SNDR为80.8 dB,ENOB为13.1 bits。

表1 不同模式下的ADC性能

Table 1 ADC performance in different modes

$S_1 S_0$	H	Digital Output Code			Conversion speed(ksp/s)	Resolution(bits)
		Input = -1 V	Input = 0 V	Input = 1 V		
00	16	5641	14336	23031	100	15
01	32	45178	114688	184198	50	18
10	64	361418	917504	1473586	25	21
11	128	2891387	7340032	11788684	12.5	24

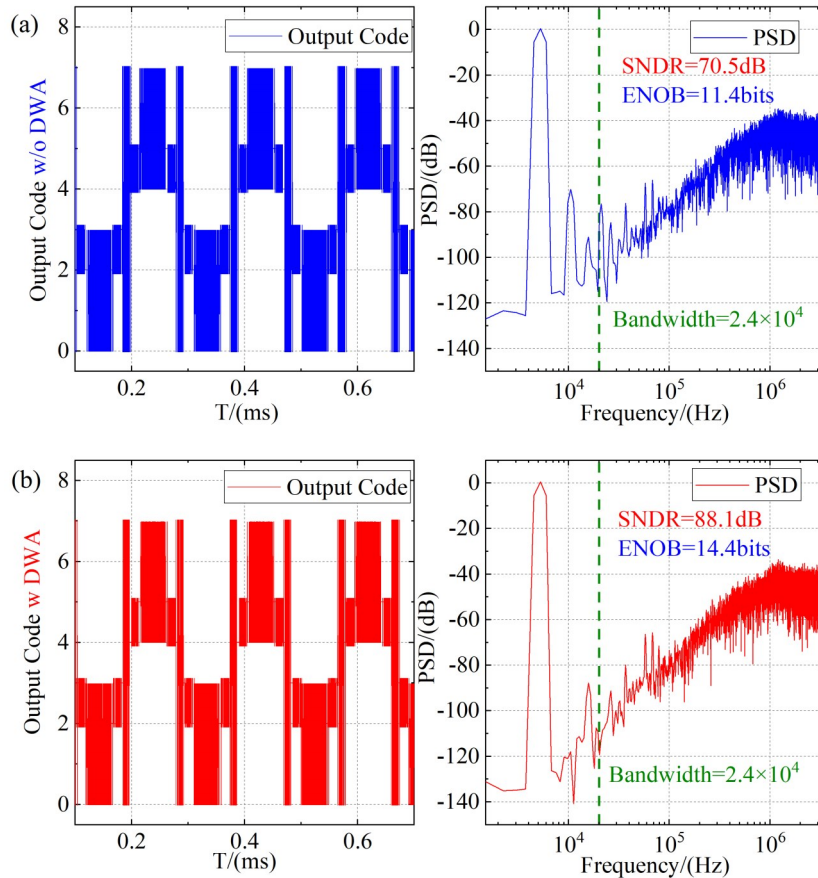


图9 调制器输出及功率谱密度:(a)未使用DWA算法;(b)使用DWA算法

Fig. 9 Modulator output and power spectral density: (a) without DWA algorithm; (b) with DWA algorithm

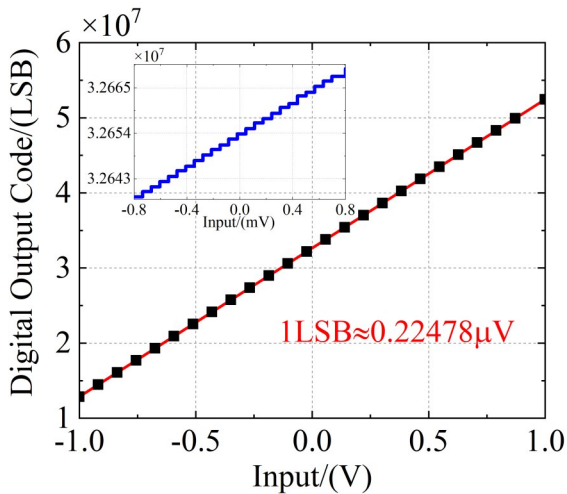


图10 整体ADC输出输入曲线

Fig. 10 Overall ADC output-input curve

本文与其他文献ADC性能对比如表2所示。

4 结论

针对红外焦平面数字化高速高精度的需求,相

较于传统增量型Sigma-Delta调制器内部使用1-bit量化器,本文使用3-bit量化器进行量化,提高了转换速度和精度,减小了时钟信号对整体ADC的影响,进而减少所需功耗。对于调制器反馈回路使用3-bit DAC后存在的电容失配影响,在3-bit量化器内部集成DWA算法,将电容失配产生的静态误差转换成宽带噪声后再使用调制器噪声整形和数字抽取滤波器进行消除。进行仿真得到使用DWA算法后可以大幅减少失配误差对调制器的影响,进而提高SNDR,在转换速度为50 ksp/s时ENOB达到13.1 bits。同时,基于红外焦平面多应用场景,适用性强的要求,在数字抽取滤波器内部集成多路选择器形成多模式数字抽取滤波器,根据具体应用需求可以更换不同模式,ADC最快转换速度可以达到100 ksp/s,最高输出位数达到24 bits。关于应用于红外焦平面数字化读出电路的增量型Sigma-Delta ADC,可以研究在维持高速高精度的条件下进一步减小功耗,拓展应用场景,为后续多功能、高速、高分辨率的低功耗红外焦平面提供数字化技术基础。

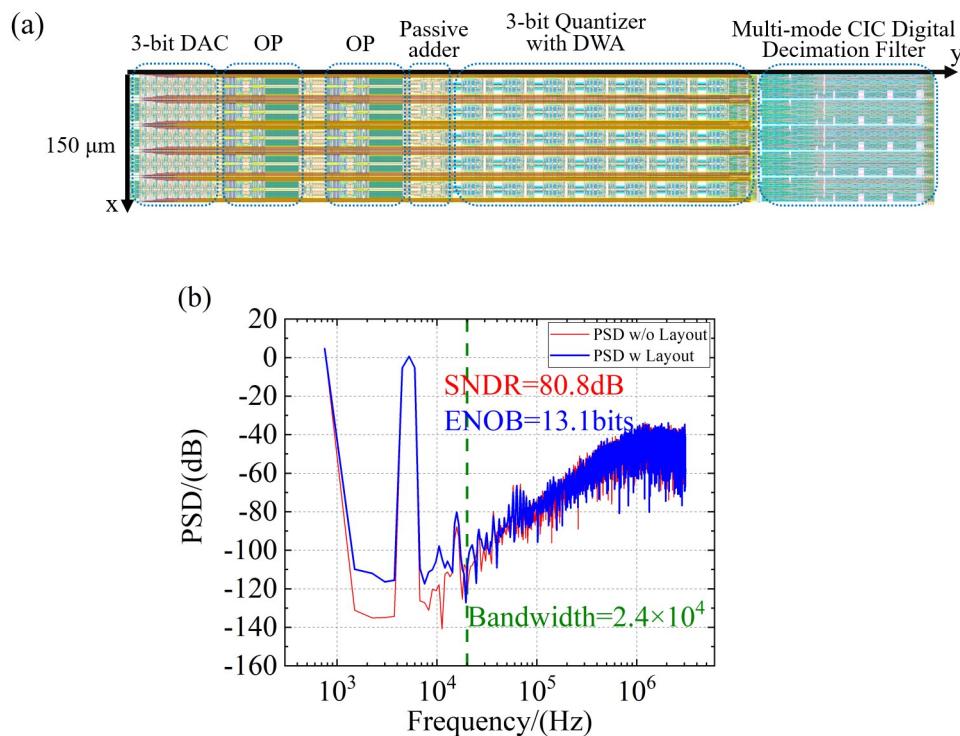


图 11 (a)ADC 列阵版图;(b)调制器前后仿结果图

Fig. 11 (a) ADC array layout; (b) Modulator pre-simulation and post-simulation results

表 2 本文与其他文献设计性能对比

Table 2 Comparison of the design performance of this paper and other literatures

Parameter	[11]	[12]	[13]	[14]	This work (post-simulation)
Technology (nm)	180	180	180	180	180
Quantizer bit width	6	1	1	1	3
Supply voltage (V)	1.8	3.3	3	3	3.3/1.8
Sample frequency (MHz)	16	6.25	32	5.43	6.14
Conversion speed (ksp/s)	576	17.6	200	40.8	50
I_{total} (μ A)	4000	89	423	220	90
Full-scale (V)	1.35	2	1.6	2.1	2
Resolution (bits)	-	-	14	15	18
SNDR (dB)	94.5	80.0	83	85.8	80.8
FoM (pJ/conv)	0.58	2.05	1.10	2.10	1.38

References

- [1] LI Xue, GONG Hai-Mei, SHAO Xiu-Mei, et al. Recent advances in short wavelength infrared InGaAs focal plane arrays [J]. Journal of Infrared and Millimeter Waves, 2022, 41(1): 129-138.
李雪, 龚海梅, 邵秀梅, 等. 短波红外 InGaAs 焦平面研究进展[J]. 红外与毫米波学报, 2022, 41(1): 129-138.
- [2] GONG Hai-Mei, LI Xue, ZHANG Yong-Gang. InGaAs photodetectors and focal plane arrays [M]. Beijing: Science Press, 2022:294.
- 龚海梅, 李雪, 张永刚. 锑铟光电探测器及其焦平面阵列 [M]. 北京: 科学出版社, 2022:294.
- [3] YAO Li-Bin, CHEN Nan, HU Dou-Ming, et al. Digital infrared focal plane detector (invited) [J]. Infrared and Laser Engineering, 2022(1):98-108.
姚立斌, 陈楠, 胡窦明, 等. 数字红外焦平面探测器(特邀) [J]. 红外与激光技术, 2022(1):98-108.
- [4] Focal plane arrays [EB/OL]. [2025-7-26]. <https://www.lockheedmartin.com/en-us/products/focal-plane-arrays.html>.
- [5] Zadok M, Zalevsky Z, Milgrom B. AI-Based Enhancing of xBn MWIR Thermal Camera Performance at 180 Kelvin[J]. Sensors, 2025, 25(10):3200.

- [6] Schweitzer M, Coursaget F, Vuillermet M. SWIR product lines using small pixel pitch high-resolution focal plane arrays and advanced functionalities [C]//Infrared Technology and Applications LI. SPIE, 2025, 13469:30-40.
- [7] YU Shan-Zhe, ZHANG Ya-Cong, NIU Yu-Ze, et al. 48 mW digital readout circuit for 640×512 medium-wave infrared imaging based on 15-bit pixel-level analog-to-digital converter[J]. Journal of Infrared and Millimeter Waves, 2022, 41(4): 786-792.
于善哲, 张雅聪, 牛育泽, 等. 基于 15 位像素级模数转换器的 640×512 规格中波红外成像用 48 mW 数字读出电路[J]. 红外与毫米波学报, 2022, 41(4): 786-792.
- [8] HU Dou-Ming, YAO Li-Bin, CHEN Nan, et al. 1920×1536 , $5 \mu\text{m}$ mid-wave infrared focal plane digital readout circuit [J]. Acta Optica Sinica, 2025, 45(16): 1636001-1636001-7.
胡窦明, 姚立斌, 陈楠, 等. 1920×1536 , $5 \mu\text{m}$ 中波红外焦平面阵列数字读出集成电路[J]. 光学学报, 2025, 45(16): 1636001-1636001-7.
- [9] WEI Yang, WANG Xu-Quan, HUANG Zhang-Cheng, et al. Digital output for short-wave infrared InGaAs linear FPA [J]. Journal of Infrared and Millimeter Waves, 2018, 37(3): 257-260.
- [10] TAO Wen-Gang, WANG Hong-Yi, LU Yi-Fan, et al. Research on short-wave infrared focal plane digital readout circuit based on SAR ADC [J]. Semiconductor Optoelectronics, 2023, 44(1): 39-43.
陶文刚, 汪鸿祎, 陆逸凡, 等. 基于 SAR ADC 的短波红外焦平面数字化读出电路研究 [J]. 半导体光电, 2023, 44(1): 39-43.
- [11] Qureshi W A, Salimath A, Botti F B E. An Incremental- $\Delta\Sigma$ ADC With 106-dB DR for Reconfigurable Class-D Audio Amplifiers[J]. IEEE Transactions on Circuits and Systems, II. Express briefs, 2022, 69(3):929-933.
- [12] Liu Y, Wang S, Tang Z, et al. A fully dynamic 4-channel 13b simultaneous sampling incremental $\Delta\Sigma$ ADC using cascode floating-inverter-amplifier and code division multiplexing technique [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(10):3737-3741.
- [13] Mokhtar M A, Vogelmann P, Haas M, et al. A 94.3-dB SFDR, 91.5-dB DR, and 200-kS/s CT incremental delta - sigma modulator with differentially reset FIR feedback [J]. IEEE Solid-State Circuits Letters, 2019, 2(9): 87-90.
- [14] Elsobky M, Mohamed A, Deuble T, et al. A 12-to-15 b, 100-to-25 kS/s Resolution Reconfigurable, Power Scalable Incremental ADC Using Ultrathin Chips [J]. IEEE Sensors Letters, 2021, 5(2):1-4.

Research on digitization of infrared focal plane based on multi-mode incremental Sigma-Delta ADC

Zhu Xun-Yi^{1,2}, Wang Hong-Yi¹, Du Ai-Bo^{1,2}, Jing Song¹, Zhang Yong-Kang^{1,2}, Fu Jia-Kai^{1,2}, Huang Song-Lei^{1*}, Shao Xiu-Mei^{1*}

(1. National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Infrared focal plane digital readout circuit is one of the important development directions of infrared focal plane detection technology. Aiming at the requirements of high-speed, high-precision and multi-application scenarios of infrared focal plane, a new architecture of multi-mode incremental Sigma-Delta analog-to-digital converter (ADC) with 3-bit quantizer is designed. By integrating the data weighted average algorithm into the 3-bit quantizer, the influence of capacitor mismatch in the feedback loop is reduced, and the conversion speed and accuracy of ADC are improved; the multiplexer was embedded in the CIC digital extraction filter to realize ADC supporting different conversion speeds and output bits. Based on 180 nm CMOS process design, the design of multi-mode incremental Sigma-Delta ADC is completed. The simulation results show that the conversion between conversion speed and output bits can be realized under multi-mode operation, and the ADC conversion speed increases from 12.5 ksps to 100 ksps, and the output bits increase from 15 bits to 24 bits; at a conversion speed of 50 ksps, the effective number of bits of the post-simulation ADC reaches 13.1 bits, and the current consumption of each column of ADC is only 90 μA .

Key words: infrared focal plane, digitization, readout circuit, incremental Sigma-Delta ADC, multi-mode