

替代衬底上的碲镉汞长波器件暗电流机理研究

赵真典^{1,2}, 陈路¹, 傅祥良¹, 王伟强¹, 沈川¹, 张彬¹, 卜顺栋¹, 王高¹, 杨凤¹, 何力¹

1- 中国科学院上海技术物理研究所 材料与器件中心, 上海 200083

2- 中国科学院大学, 北京 100049

摘要: 本文基于暗电流模型, 通过变温 I-V 分析长波器件 (截止波长为 9-10 μm) 的暗电流机理和主导机制。实验对比了不同衬底、不同成结方式、不同掺杂异质结构与暗电流成分的相关性。结果表明, 对于 B⁺离子注入的平面结汞空位 n⁺-on-p 结构, 替代衬底上的碲镉汞 (HgCdTe) 器件零偏阻抗 (R_0) 在 80K 以上与碲锌镉 (CdZnTe) 基碲镉汞器件结阻抗性能相当。但替代衬底上的 HgCdTe 因结区内较高的位错, 使得从 80K 开始缺陷辅助隧穿电流 (I_{tat}) 超过产生复合电流 ($I_{\text{g-r}}$), 成为暗电流的主要成分。与平面 n⁺-on-p 器件相比, 采用原位掺杂组分异质结结构 (DLHJ) 的 p⁺-on-n 台面器件, 因吸收层为 n 型, 少子迁移率较低, 能够有效抑制器件的扩散电流。80K 下截止波长 9.6 μm , 中心距 30 μm , 替代衬底上的 p⁺-on-n 台面器件品质参数 (R_0A) 为 38 $\Omega\cdot\text{cm}^2$, 零偏阻抗较 n-on-p 结构的 CdZnTe 基碲镉汞器件高约 15 倍。但替代衬底上的 p⁺-on-n 台面器件仍受体内缺陷影响, 在 60K 以下较高的 I_{tat} 成为暗电流主导成分, 其 R_0A 相比 CdZnTe 基 n⁺-on-p 的 HgCdTe 差了一个数量级。

关键词: 碲镉汞, 红外焦平面, 长波, 替代衬底, 暗电流

Research on Dark Current Mechanism of Long-Wavelength HgCdTe Infrared Detectors on Alternative Substrates

Zhendian Zhao^{1,2}, Lu Chen¹, Xiangliang Fu¹, Chuan Shen¹, Bin Zhang¹, Shundong Bu¹, Gao Wang¹, Feng Yang¹, Li He¹

1- Center of Materials and Devices, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China

2- University of Chinese Academy of Sciences, Beijing 100049, China

Abstract: The dark current characteristics of long-wavelength HgCdTe were analyzed, compared upon three types of devices. By I-V measurement under

different temperatures and dark current mechanisms, the dominant currents of each device were clarified at different temperatures. It is demonstrated that the B⁺-implanted n⁺-on-p planar junction on silicon substrate is comparable to that on bulk cadmium zinc telluride (CdZnTe) substrate above 80K. However, the trap-assisted tunneling current becomes dominant under 80K due to the high density of dislocations. Compared with n⁺-on-p junctions, the p⁺-on-n double-layer heterojunction inhibits the diffusion current effectively, which is good matched with the calculation result upon the parameter, derived from I-V curve fitting. This p⁺-on-n diode has a R₀A value of 38 Ω·cm² at 80K, for the cut-off wavelength of 9.6 μm, while that of the n⁺-on-p diode on bulk CdZnTe is 2.5 Ω·cm². Below 60K, the dislocations make the R₀A value of the p⁺-on-n diode an order of magnitude lower than that of the n⁺-on-p diode on CdZnTe.

Key Words: HgCdTe, infrared focal plane arrays, long wavelength, alternative substrate, dark current

1. 引言

替代衬底上的碲镉汞红外焦平面技术，在面阵规模不断扩大的中、短波凝视型探测器上得到了充分的应用，也是三代焦平面技术发展的主要方向之一，将该技术应用于长波探测器制备得到了广泛关注^{[1]-[3]}。替代衬底（Si、GaAs）由于与碲镉汞之间的晶格不匹配（15%~19%），会在材料中引入较高的位错密度，而这些失配位错对中波和短波碲镉汞器件的影响并不明显^[8]。但长波器件的禁带宽度很小，过高的缺陷密度会带来很大的缺陷辅助隧穿电流，影响长波器件的性能。据报道^[9]，Raytheon Vision Systems（RVS）在 Si 衬底上生长的长波碲镉汞（截止波长 9.6μm~12μm），位错密度约为 5×10⁶cm⁻²，以此制备的 p⁺-on-n 器件在 77K 下 R₀A 比 CdZnTe 基碲镉汞（位错密度 10⁴cm⁻²~5×10⁶cm⁻²）器件低了约 1 个数量级。之后 Teledyne 也做了相关研究^[10]，它们同样是在 Si 衬底上制备长波碲镉汞（9μm~11μm）p⁺-on-n 器件，其 78K 下的 R₀A 已经能达到与 CdZnTe 基器件相似的水平。在这方面做的最好的是 2007 年 RVS 公司报道^[3]的截止波长 10μm 的碲镉汞长波 p⁺-on-n 焦平面器件，在液氮温度下 R₀A 达到了 1000Ω·cm²。

国外报道的替代衬底上长波碲镉汞多是 p⁺-on-n 平面结器件，目前较少见到 n⁺-on-p 器件的报道。利用 B⁺离子注入形成 n⁺-on-p 平面结的技术拥有工艺简单可靠、成品率高的优点。但同时，离子注入会带来注入损伤，而长波器件的禁带宽度很窄，损伤会导致缺陷的增加，引入肖克莱-里德-霍尔（SRH）复

合中心，降低材料的少子寿命^{[11][12]}。而采用 MBE 原位掺杂形成的 p⁺-on-n 器件，除了可以避免离子注入带来的损伤，还由于其吸收层为 n 型，可以得到更低的载流子浓度^[13]，是相比于 n⁺-on-p 结构的一大优势。

本文从 Si 基 HgCdTe 长波 n⁺-on-p 器件出发，通过对比不同衬底（Si、CdZnTe、GaAs）、不同成结方式（n⁺-on-p 和 p⁺-on-n），对长波器件暗电流的机理和主导机制进行了拟合分析，澄清限制器件性能的暗电流机制，讨论降低器件暗电流的可能途径。

实验采用无光照下暗电流测试，分析对比在不同衬底上制备的不同结构的碲镉汞长波器件性能，对它们分别进行变温 I-V 测试，再通过 R-V 数据进行拟合，获得器件在不同温度、偏压下的主导电流机制。建立暗电流模型，提取对比材料和器件参数，指导外延材料结构优化。

2. 实验

实验分别对比了 3 种长波 HgCdTe ($x=0.23\sim 0.235$, 80K 下截止波长 $9\mu\text{m}\sim 9.6\mu\text{m}$) 器件样品，材料器件基本参数见表 1。样品分别是：

1.采用分子束外延（MBE）方法生长的 Si 基 Hg 空位 P 型 HgCdTe，材料位错密度典型值为 $8\times 10^{15}\text{cm}^{-3}$ ，采用 B⁺注入成结的平面 n⁺-on-p 芯片加工工艺，结构如图 1（a）所示；

2.采用液相外延（LPE）方法生长的 CdZnTe 基 Hg 空位 P 型 HgCdTe，成结方式与样品 1 相同；

3.在 GaAs 衬底上 MBE 生长的 p⁺-on-n 双层组分异质结，吸收层采用原位 In 掺杂形成 n 型 HgCdTe，再原位生长中波 As 掺杂的 p 型 HgCdTe，通过湿法腐蚀台面加工成结，芯片结构如图 1（b）。

材料生长结束后，在器件制备之前进行 As 激活退火。采用两步退火法，先进行 As 的激活退火，再进行 Hg 饱和蒸气压下的退火以去除 Hg 空位。

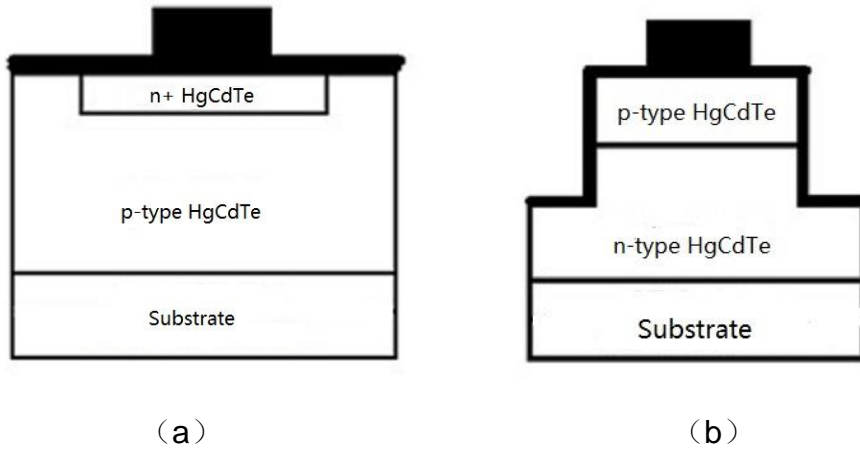


图 1 HgCdTe 长波器件结构

(a) n-on-p 平面结 (b) p-on-n 台面结

成结后的芯片通过钢柱倒焊于宝石片上，置于真空深低温测试平台中进行变温 I-V 测试。三个器件的基本参数如下表 1：

表 1 器件的基本参数

编号	衬底	组分 x	结构	吸收层载流子浓度/cm ⁻³	吸收层载流子迁移率/cm ² V ⁻¹ s ⁻¹	中心距/μm
1	Si	0.2349	n ⁺ -on-p	1.40×10^{16}	626	30
2	CdZnTe	0.2302	n ⁺ -on-p	1.06×10^{16}	530	30
3	GaAs	0.2304	p ⁺ -on-n	-1.00×10^{15}	3×10^4	30

深低温测试平台使用的制冷机型号是 JANIS CCS-100/204N，温度测量使用定标后的 Pt 电阻，用导热硅脂将其贴在制冷机的冷头上。温度的实际误差不超过 1K。I-V 测试使用 Keithley 236，电流精度为 10fA，用电压触发测试。测试时冷头外罩上冷屏，确保器件因背景辐射产生的暗电流可忽略不计，变温的范围为 15K~120K。

通过对实验获得的 R-V 曲线拟合提取暗电流分量，将分析结果与材料器件的参数联系起来，从而确定制约器件性能的漏电机理。对于 HgCdTe 的五种主要暗电流^{[4]-[7]}，所对应的动态电阻分别为 R_{diff} ， R_{g-r} ， R_{lat} ， R_{bbt} 和 R_{sh} 。本文对于表面漏电，仅将其作为一个与偏压无关的分流电阻参与拟合计算。则此时总的动态电阻可用下式表示：

$$R_{fit} = \left(\frac{1}{R_{diff}} + \frac{1}{R_{g-r}} + \frac{1}{R_{TAT}} + \frac{1}{R_{BBT}} + \frac{1}{R_{sh}} \right)^{-1} + R_s \quad (1)$$

其中 R_s 为器件的串联电阻。

3. 结果与讨论

由于扩散电流和产生复合电流是与温度有关的热电流机制，其对应动态电阻与温度成倒指数关系^{[4]-[7]}，故可以通过对器件的 R_0-1000/T 特性曲线（如下图 2 所示）进行线性拟合，在热电流主导的温度区域内，得到器件的理想因子 n ，如下表 2 所示：

表 2 三个器件的理想因子

编号	衬底	器件结构	温度区间	n
1	Si	n-on-p	120K~75K	1.00
			75K~65K	2.27
2	CdZnTe	n-on-p	120K~55K	1.01
			55K~45K	2.05
3	GaAs	p-on-n	120K~60K	1.03
			60K~50K	2.30

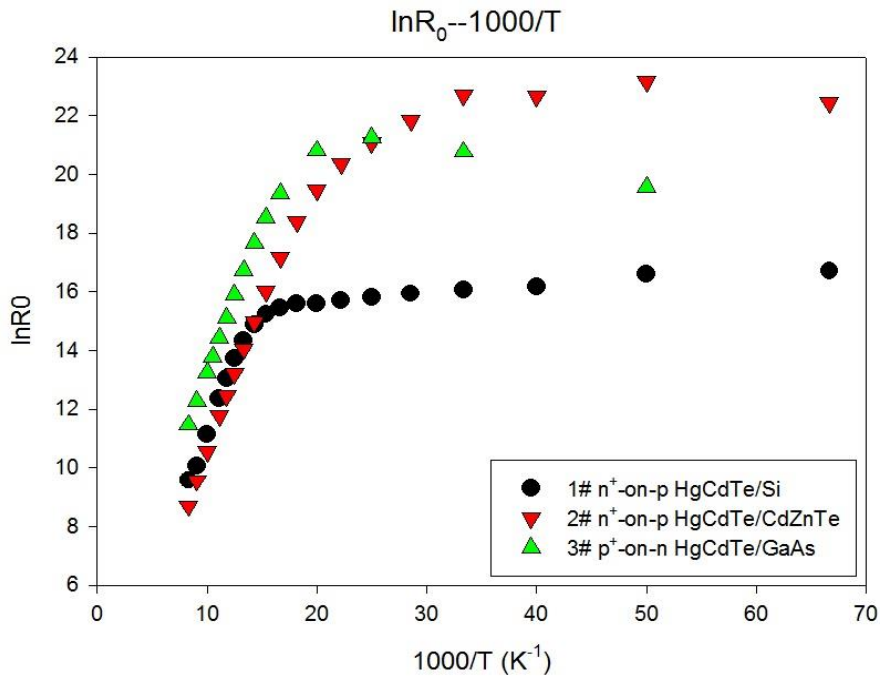
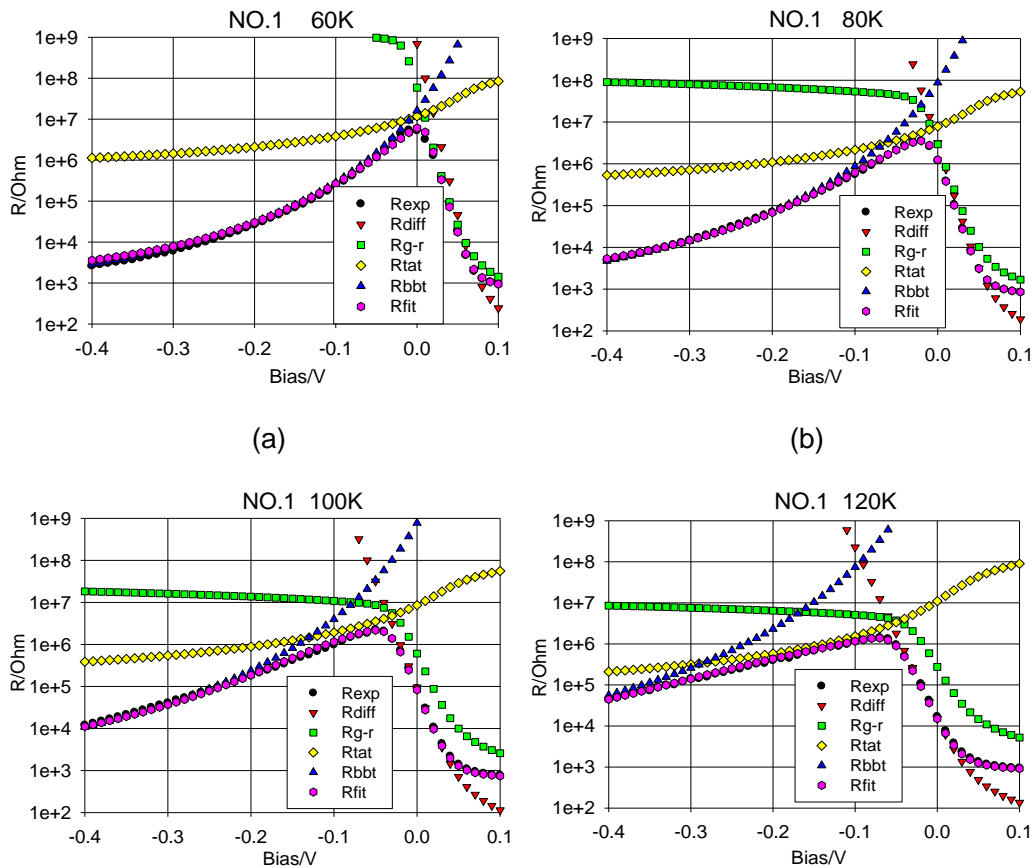


图 2 三个器件的 R_0-1000/T 特性曲线

除此之外，我们也对三个器件在不同温度下的 $R-V$ 曲线利用公式(1)~(5)进行了暗电流拟合分析和参数提取，结果如图 3 和表 3:



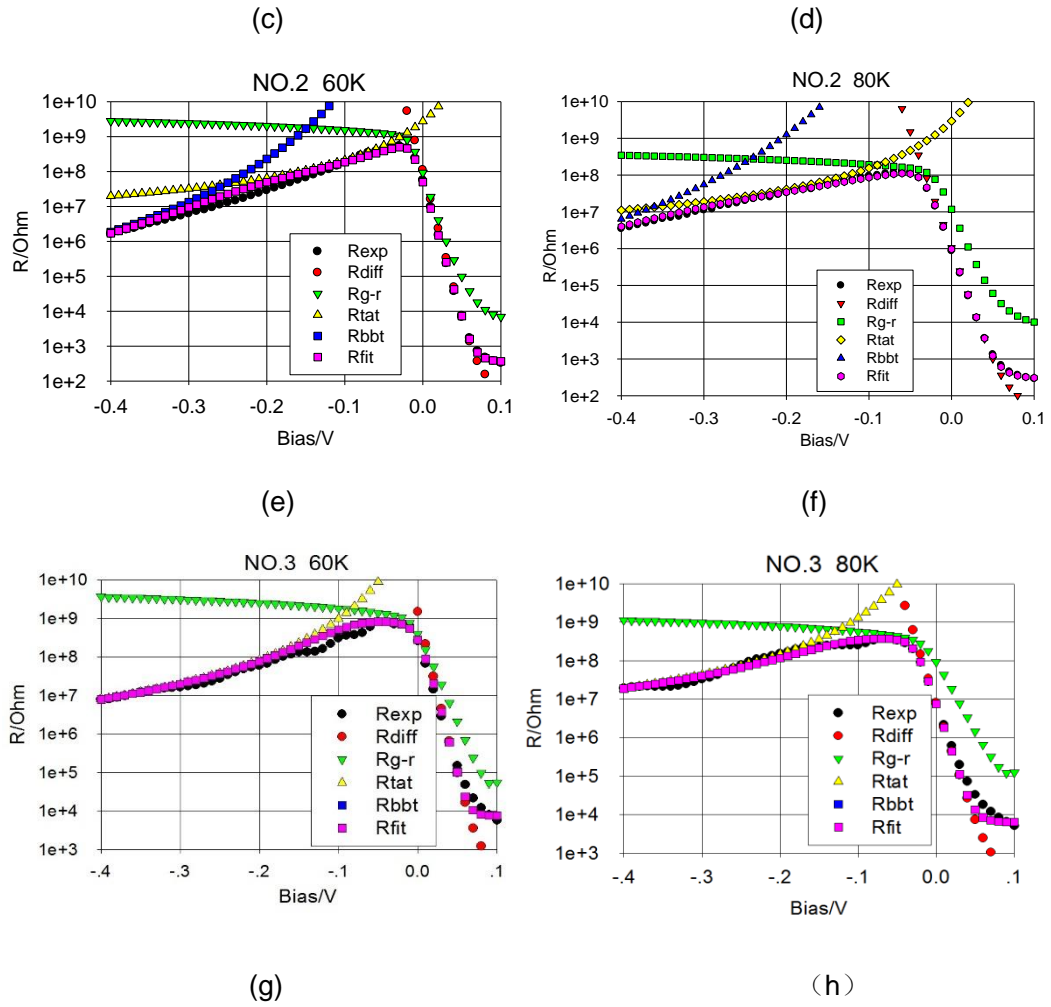


图 3 三个器件在不同温度下的 R-V 拟合曲线

表 3 不同温度下的拟合参数

器件	T/K	Nd (Na) /cm ⁻³	$\tau_n(\tau_p)/\mu s$	τ_0/ns	Et/Eg	Nt/cm ⁻³
1	60	1.1×10^{17}	0.016	0.025	0.40	1.3×10^{12}
	80	9.2×10^{16}	0.105	0.056	0.40	3.4×10^{12}
	100	8.2×10^{16}	0.286	0.125	0.40	6.3×10^{12}
	120	5.1×10^{16}	1.81	0.325	0.40	1.9×10^{13}
2	60	6.3×10^{15}	0.015	0.56	0.45	2.1×10^{11}
	80	6.5×10^{15}	0.205	1.96	0.45	5.3×10^{11}
3	60	--	1.00	41	0.60	8.0×10^{12}
	80	--	1.50	146	0.60	1.0×10^{12}

3.1 不同衬底的 n⁺-on-p 器件对比

对于器件工艺同为 n⁺-on-p 平面结的 Si 基和 CdZnTe 基碲镉汞器件，分析如下：

由图 2 及表 2，在 75K 以上时，两个器件的理想因子都接近 1，由扩散电流主导。对于 n⁺-on-p 器件，扩散电流密度 $J_{\text{diff}} \propto n_i^2 \left(\sqrt{\frac{\mu_n}{\tau_n}} \cdot \frac{1}{N_a} + \sqrt{\frac{\mu_p}{\tau_p}} \cdot \frac{1}{N_d} \right)$ 。通过计算可知， $\sqrt{\frac{\mu_p}{\tau_p}} \cdot \frac{1}{N_d}$ 很小，可忽略不计。 n_i^2 是组分 x 与温度 T 的函数，可见二者的组分 x、 N_a 都相同，又由表 3 可知其少子寿命 τ_n 也很接近，因此 R_0 处于相同水平。

在 75K~65K 时，Si 基器件变为由产生复合电流主导，理想因子 $n=2.27$ ，而 CdZnTe 基器件直到 55K 仍由扩散电流主导。从表 3 的拟合参数也可看出，在不同温度下，Si 基 HgCdTe 器件的耗尽区有效寿命 τ_0 比 CdZnTe 基 HgCdTe 器件低了 1 个量级。从材料少子寿命与 3 种复合机制的关系可以看出，较高密度位错引入的 S-R 复合中心很大程度上降低了器件的少子寿命，是导致该温度下 Si 基器件暗电流大的主要原因。

在 65K 以下，Si 基器件开始由与温度关系不大的隧穿电流主导，随着温度的降低 R_0 变化很小，而 CdZnTe 基器件到 45K 以下时才由隧穿电流主导。可以看出 CdZnTe 基器件的 R_0 比 Si 基器件高 2~3 个数量级，对比表 3 的拟合参数，Si 基器件的陷阱浓度 N_t 也比 CdZnTe 器件高一个数量级。可见在温度低于 75K 时，材料体内的位错成为制约长波器件性能的主要因素。

3.2 替代衬底上的 p⁺-on-n 和 n⁺-on-p 器件结果对比

本文还重点分析了在替代衬底上外延长波 HgCdTe（位错密度为 $8 \times 10^5 \text{cm}^{-2} \sim 2 \times 10^6 \text{cm}^{-2}$ ），分别采用 p⁺-on-n 和 n⁺-on-p 成结工艺的两种器件（器件 1 和器件 3）的暗电流主导机制：

在 75K 以上时，两个器件的理想因子也都接近 1，由扩散电流主导。对于单边强掺杂器件，扩散电流密度有：

$$J_{\text{diff}} \propto \frac{n_i^2}{N_a} \sqrt{\frac{\mu_n}{\tau_n}} \quad (\text{n}^+\text{-on-p 器件})$$

$$J_{\text{diff}} \propto \frac{n_i^2}{N_d} \sqrt{\frac{\mu_p}{\tau_p}} \quad (\text{p}^+\text{-on-n 器件})$$

由于 p⁺-on-n 器件吸收层为 n 型 HgCdTe，n 区少子为空穴，其迁移率 μ_p 比 n⁺-on-p 器件的 p 区电子的迁移率 μ_n 低 2~3 个数量级，且依据表 3 可知 τ_p 也

比 τ_n 高一个数量级，所以即使在吸收层载流子浓度低一个数量级的情况下， R_0 仍比 n⁺-on-p 器件高 8 倍。

在 75K~65K，n⁺-on-p 器件由产生复合电流主导，而 p⁺-on-n 器件直到 60K 仍由扩散电流主导。从表 3 的拟合参数也可看出，n⁺-on-p 器件的耗尽区有效寿命比 p⁺-on-n 器件低了 3 个数量级。两个器件较高密度的失配位错会引入 S-R 复合中心，采用 p⁺-on-n 原位掺杂的成结工艺可以避免离子注入损伤，提高器件的少子寿命。

在 65K 以下，n⁺-on-p 器件由隧穿主导，而 p⁺-on-n 器件在 60K~50K 由产生复合电流主导，50K 以下才由隧穿主导。由文献[4]~[7]，对于单边强掺杂器件，陷阱辅助隧穿电流 $I_{\text{tat}} \propto N_t \cdot \exp\left(-\frac{1}{E}\right)$ ，其中 E 为耗尽区电场。从图 2 可以看出 65K 以下 p⁺-on-n 器件的 R_0 比 n⁺-on-p 器件高了 2 个数量级，对比表 3 可知二者的陷阱浓度 N_t 在同一个数量级。所以在材料体内位错较高时，较低吸收层载流子浓度能增加耗尽区的宽度，降低耗尽区电场强度，进而抑制器件的暗电流。

需要指出的是，拟合结果表明，台面结的表面漏电并未成为主导机制，所以在本文中排除表面漏电带来的影响。

除此之外，由图 2 也可看出，在温度低于 40K 时，GaAs 基础镉汞 p⁺-on-n 器件的 R_0 比 CdZnTe 基础镉汞 n⁺-on-p 器件低约一个数量级。对比二者的吸收层载流子浓度和表 3 的陷阱浓度，前者的 R_0 本应比后者高。但由表 3 可知 CdZnTe 基 n⁺-on-p 器件的 n 区浓度较低，所以最终前者的 R_0 仍低于后者一个数量级。

4. 结论

本文基于暗电流模型，通过变温 I-V 分析长波器件（截止波长为 9-10 μm ）的暗电流机理和主导机制。实验对比了不同衬底、不同成结方式、不同掺杂杂质结构与暗电流成分的相关性。

在同为 n⁺-on-p 平面结、吸收层浓度相近的情况下，Si 基础镉汞器件在 75K 以上时，零偏动态阻抗能达到与 CdZnTe 基础镉汞相同水平；但因其较高密度的失配位错，引入的 S-R 复合中心降低了器件的少子寿命，带来较高的陷阱浓度也增大了器件的隧穿电流，因此低温时零偏动态阻抗比 CdZnTe 基础镉汞器件低了 2~3 个数量级。

对于同为替代衬底上生长的碲镉汞器件，GaAs 基 p⁺-on-n 碲镉汞器件在 75K 以上时，因其吸收层为 n 型碲镉汞，少子迁移率低，零偏动态阻抗比 Si 基 n⁺-on-p 碲镉汞器件高一个数量级；p⁺-on-n 器件由于原位生长，能避免离子注入带来的损伤，提高器件的少子寿命，较低的吸收层载流子浓度也能降低器件的耗尽区电场，有效抑制陷阱辅助隧穿电流，因此在低温下零偏动态阻抗比 n⁺-on-p 器件高 2~3 个数量级。

因此，要降低器件的暗电流、提高器件性能，一方面是要降低在失配衬底上生长的碲镉汞材料的缺陷密度，以免引入过多 S-R 复合中心和过高的陷阱浓度。另外，利用 p⁺-on-n 台面结吸收层 n 型碲镉汞较低的载流子浓度和少子迁移率，以及能避免注入损伤的原位生长和掺杂技术，可以有效地抑制器件的暗电流，提高器件性能。

致谢：

感谢物理室胡伟达老师和许娇师妹在暗电流拟合方面给予的帮助，感谢王溪在变温暗电流测试方面的支持，感谢何恣、张健怡在芯片键压上的帮助。

参考文献：

- [1] He L, Chen L, Wu Y, et al. MBE HgCdTe on Si and GaAs substrates[J]. Journal of Crystal Growth, 2007, 301: 268-272.
- [2] Carmody M, Pasko J G, Edwall D, et al. Molecular beam epitaxy grown long wavelength infrared HgCdTe on Si detector performance[J]. Journal of electronic materials, 2005, 34(6): 832-838.
- [3] Bornfreund R, Rosbeck J P, Thai Y N, et al. High-performance LWIR MBE-grown HgCdTe/Si focal plane arrays[J]. Journal of Electronic Materials, 2007, 36(8): 1085-1091.
- [4] W. D. Hu, X. S. Chen, F. Yin, Z. J. Quan, Z. H. Ye, X. N. Hu, Z. F. Li, W. Lu. Analysis of temperature dependence of dark current mechanisms for long-wavelength HgCdTe photovoltaic infrared detectors [J]. J. Appl. Phys., 2009, 105:104502.
- [5] T. Nguyen, C. A. Musca, J. M. Dell, J. Antoszewski, L. Faraone. Dark currents in long wavelength infrared HgCdTe gated photodiodes[J]. Journal of Electronic Materials . 2004 (6).
- [6] A. Ajsawa and N. Oda, J. Electron. Mater. 24, 1105 (1995).
- [7] D.K. Blanks, J.D. Beck, M.A. Kinch, and L. Colombi, J.Vac.Sci.Technol.A6, 2790 (1988).

- [8] Johnson S M, Buell A A, Vilela M F, et al. HgCdTe/Si materials for long wavelength infrared detectors[J]. Journal of electronic materials, 2004, 33(6): 526-530.
- [9] Carmody M, Pasko J G, Edwall D, et al. Long wavelength infrared, molecular beam epitaxy, HgCdTe-on-Si diode performance[J]. Journal of electronic materials, 2004, 33(6): 531-537.
- [10] Carmody M, Pasko J G, Edwall D, et al. Status of LWIR HgCdTe-on-silicon FPA technology[J]. Journal of Electronic Materials, 2008, 37(9): 1184-1188.
- [11] Glenn T. Hess and Thomas J. Sanders. HgCdTe double-layer heterojunction[J] . SPIE, 2000, 4028:353-364.
- [12] Jakub Wenus, Jaroslaw Rutkowski, Antoni Rogalski. Two-dimensional analysis of double-layer heterojunction HgCdTe photodiodes[J]. SPIE, 2001, 4288: 335-344.
- [13] Arias J M, Pasko J G, Zandian M, et al. MBE HgCdTe heterostructure p-on-n planar infrared photodiodes[J]. Journal of electronic materials, 1993, 22(8): 1049-1053.