

基于平面肖特基二极管的 75 ~ 110 GHz 宽带三倍频器芯片

陈艳¹, 孟范忠¹, 薛昊东¹, 张傲^{2*}, 高建军³

(1. 中国电子科技集团公司第十三研究所, 河北石家庄 050051;

2. 南通大学微电子学院(集成电路学院), 江苏南通 226019;

3. 华东师范大学物理与电子科学学院, 上海 200241)

摘要: 基于 GaAs 平面肖特基二极管工艺, 采用反向并联二极管对的平衡结构, 实现了 W 波段宽带三倍频器芯片。采用有限元法和等效电路法联合的方式, 建立 10~280 GHz 频率范围的平面肖特基二极管的精确等效电路模型。采用非线性谐波平衡联合仿真方法, 实现了 W 波段倍频器的最优化设计。在片测试结果表明, 在 17 dBm 的驱动功率下, 倍频损耗小于 15 dB, 最大倍频效率 6.7%, 芯片尺寸 0.80 mm×0.65 mm×0.05 mm。

关键词: 平面肖特基二极管; 反向并联二极管对; 倍频器设计

中图分类号: TN315.3

文献标识码: A

75-110 GHz wideband frequency tripler chip based on planar schottky diode

CHEN Yan¹, MENG Fan-Zhong¹, XUE Hao-Dong¹, ZHANG Ao^{2*}, GAO Jian-Jun³

(1. The 13th Research Institute, China Electronics Technology Group Corporation, Shijiazhuang 050051, China;

2. School of Microelectronics (School of Integrated Circuits), Nantong University, Nantong 226019, China;

3. School of Physics and Electronic Science, East China Normal University, Shanghai 200241, China)

Abstract: Based on the GaAs planar Schottky diode process, a W band wideband frequency tripler MMIC is designed with a reverse parallel diode pair. By combining the finite element method and equivalent circuit method, an accurate equivalent circuit model of the planar Schottky diode is built in the frequency range of 10-280 GHz. The nonlinear harmonic balance tool is utilized to achieve the optimal frequency tripler design in the W band. The measurement results show that the frequency multiplication loss is less than 15 dB under 17 dBm driving power, and the efficiency up to 6.7%. The chip size is 0.80 mm×0.65 mm×0.05 mm.

Key words: planar Schottky diode, reverse parallel diode pair, frequency multiplier design

引言

由于频率太高, 以基波形式产生太赫兹毫米波信号无法达到系统所需的输出功率和稳定度, 利用非线性器件实现高效、宽带的倍频源成为获取高性能太赫兹毫米波信号的重要途径。毫米波倍频器主要分为基于分立肖特基二极管结构的混合集成

模块^[1-5]和基于 HEMT 器件的倍频单片^[6-10]。一种经典且广泛使用的倍频器设计是安装肖特基二极管到石英/氮化铝 (AlN) 电路上, 其中包括匹配网络, 衬底可以夹在中间在分开的波导块之间。文献 [1] 中, 东南大学采用基于分立的肖特基二极管实现了 W 波段全波段三倍频器模块, 在 20 dBm 功率激励下, 在 75~110 GHz 内输出功率典型值为 5 dBm;

收稿日期: 2024-03-03, 修回日期: 2024-04-15

Received date: 2024-03-03, Revised date: 2024-04-15

基金项目: 国家自然科学基金重点项目 (62034003)

Foundation items: Supported by the National Natural Science Foundation of China (62034003)

作者简介 (Biography): 陈艳 (1987-), 女, 河北石家庄人, 工程师。主要研究方向为毫米波及亚毫米波单片微波集成电路设计开发。E-mail: 18392406093@163.com

* 通讯作者 (Corresponding author): E-mail: aozhang@ntu.edu.cn

文献[2]中,提出了一种宽带同轴D波段混合倍频器,包括反并联肖特基二极管芯片和输出阻抗匹配网络。文献[8]中,采用 $0.1\ \mu\text{m}$ GaAs pHEMT工艺实现的平衡式三倍频单片,在83.5~96 GHz范围内,饱和输出功率-3.5 dBm,芯片尺寸 $2\ \text{mm}\times 1.5\ \text{mm}\times 0.7\ \text{mm}$;文献[10]中,采用 $0.15\ \mu\text{m}$ GaAs pHEMT工艺实现了93~99 GHz的无源三倍频单片,测试结果显示带内倍频损耗为19 dB,芯片尺寸 $2.5\ \text{mm}\times 1.5\ \text{mm}$ 。对于高频混合集成倍频器模块,工艺加工直接决定了模块整体性能,在二极管安装工艺中,二极管管芯和焊盘靠得非常近,安装困难,且对于三倍频二极管装配位置的离散型、导电胶的厚度等会直接影响倍频器的功率输出特性,因此混合集成倍频器模块对工艺依赖太高,成品率低且性能离散型大;而对于基于HEMT工艺的倍频单片,由于HEMT为平面结构,非线性效应弱,因此倍频损耗大,虽然可与放大器集成,但是其带宽窄、芯片尺寸大。针对混合集成倍频模块和HEMT倍频单片存在的问题,本文基于GaAs肖特基二极管工艺,设计实现了W波段宽带低损耗三倍频单片,在75~110 GHz整个频带内在17 dBm功率驱动下,最大倍频效率6.7%,芯片尺寸 $0.80\ \text{mm}\times 0.65\ \text{mm}\times 0.05\ \text{mm}$ 。

1 基于三维电磁仿真法构建二极管等效电路模型

随着频率的升高,器件外围电路的寄生参数对电路性能影响逐渐明显,为了更精确地提取二极管寄生参数、建立等效电路模型通常有两种手段:基于测试数据的建模方法和基于三维电磁场仿真的建模方法。对于高频段的测试要求相对较高,商用校准片存在衬底失配和模式失配的问题,去嵌入可以在一定程度上修正这两种失配,且可将待测件(DUT)的Pad移除,测量端面移动到器件边缘,但是传统去嵌方式(open-short)为集总参数去嵌,在太赫兹频段,波长与器件尺寸可比拟,分布效应越来越明显,open-short的去嵌方式将不再适用于太赫兹频段。为避免测试误差带来的影响,本文采用三维电磁场仿真与等效电路法相结合的方式,提取二极管寄生参数,与本征参数共同建立完整的等效电路模型。由于肖特基二极管等效电路模型的参数较多,为精确提取各个参数,分析了各个等效参数与对应的肖特基二极管的物理结构的变化关系,将平面肖特基二极管EM模型分为三个区域,如图1所示,包括了二极管阳极焊盘到微带线的连接区域、

二极管的阳极区域和欧姆焊盘到微带线的连接区域三个部分。

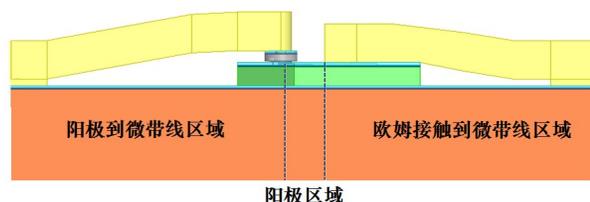


图1 平面肖特基二极管EM模型

Fig. 1 EM model of planar Schottky diode

首先在三维电磁仿真软件中建立三种情况(去除空气桥的二极管、开路的二极管和短路的二极管结构)下的二极管EM模型,同时在电路仿真软件中建立相对应的集总等效电路模型,通过拟合上述每种情况下的S参数矩阵,可以得到对应的集总等效参数值,每一步都是独立的模型,然后把几部分联合起来构成一个完整模型,这样通过将复杂问题分解为几个简单部分,可以避免多个参数值出现较大的随意性。图2给出了去除空气桥的二极管EM模型以及等效电路模型,从图2(a)中可以看到,该三维模型去除了器件左侧空气桥。图3给出了去除空气桥的二极管结构等效电路模型与EM模型仿真结果。图4给出了二极管短路结构的EM模型和等效电路模型,建立短路的二极管的EM模型,如图4(a)所示,将阳极通过理想导体直接与缓冲层连接,短路掉肖特基结。图5给出了短路的二极管结构等效电路模型与EM模型仿真结果。图6(a)给出了建立开路的二极管EM模型,将肖特基结用空气挖空,实现开路结构。图7给出了短路的二极管结构等效电路模型与EM模型仿真结果。

通过测试I-V曲线和C-V曲线,提取 $2\ \mu\text{m}$ 阳极柱尺寸下肖特基二极管的典型本征参数,如表1所示。

图8给出了肖特基二极管立体结构和等效电路模型。平面肖特基二极管的物理结构及由其结构所引起的寄生参量: L_f 与 L_{sp} 分别为极管阳极和阴极空气桥电感、 C_{fp} 是空气桥和欧姆焊盘间的电容,等效空气桥和欧姆焊盘间的边缘场效应, C_{pp} 为二极管阳极焊盘和欧姆焊盘间的电容,等效阳极焊盘和欧姆焊盘间的边缘场效应 C_{sf} 为焊盘电容。具体数值分别为: $L_f = 20\ \text{pH}$, $L_{sp} = 10\ \text{pH}$, $C_{fp} = 1.0\ \text{fF}$, $C_{pp} = 0.5\ \text{fF}$, $C_{sf} = 10\ \text{fF}$ 。

在去嵌寄生元件后,本征电容 C_j 可以由以下式

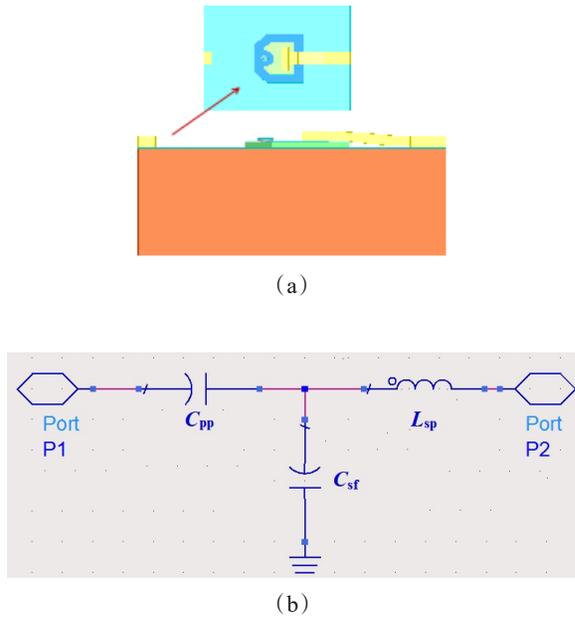


图2 去除空气桥的二极管模型: (a) EM模型; (b) 等效电路模型

Fig. 2 Model of diode without air bridge: (a) EM model; (b) equivalent circuit model

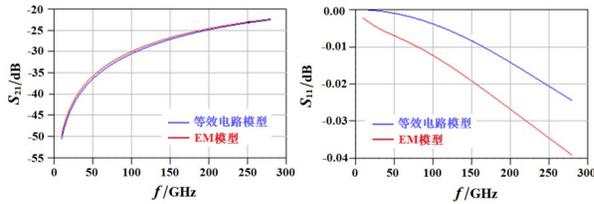


图3 去除空气桥的二极管结构等效电路模型与EM模型仿真结果

Fig. 3 Equivalent circuit model and EM model simulation results of diode structure without air bridge

获得:

$$C_j = -\frac{\text{Im}(Y_{12})}{\omega} \quad (1)$$

Y_{12} 为器件的二口Y参数,根据不同偏置下提取得到的结电容画出C-V曲线。

图9给出了肖特基二极管直流和电容模拟和测试比较曲线,模拟结果和测试结果吻合很好。

2 无源三倍频设计

本文采用反向并联二极管对的平衡结构实现三倍频器的设计,基本结构框图相应的版图设计如图10所示。输入和输出匹配网络实现 $50\ \Omega$ 阻抗匹配,将输入驻波和输出驻波达到最优效果。输入低通滤波器将基波信号输入到反向并联二极管对进

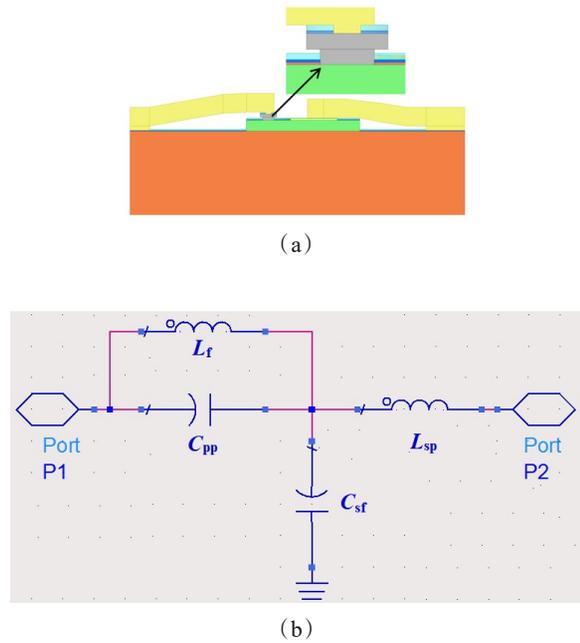


图4 短路结构二极管模型: (a) EM模型; (b)等效电路模型

Fig. 4 Model of diode with short circuit structure: (a) EM model; (b) equivalent circuit model

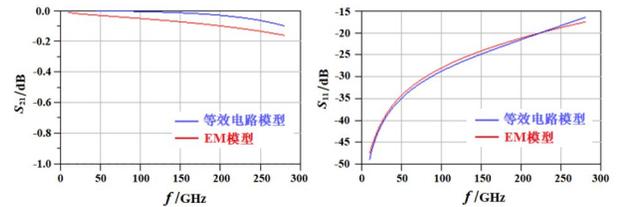


图5 二极管短路结构等效电路模型与EM模型仿真结果

Fig. 5 Equivalent circuit model and EM model simulation results of diode with short circuit structure

行倍频,且阻止生成的三倍谐波返回到输入端,而输出高通滤波器不仅选择所需的三次谐波通过,而且将一部分泄漏的基波信号反射回反向并联二极管对再进行倍频以提高倍频效率。

反向并联二极管对常用于奇次倍频电路设计,利用二极管的非线性特性和其结构特性,使产生的耦合谐波反向相消,仅输出奇次谐波,因此可有效简化电路结构,降低设计难度,减小芯片尺寸。利用所建立的二极管等效电路模型,在电路仿真软件中采用非线性谐波平衡联合仿真方法,实现三倍频器优化,最终仿真结果如图11所示,驻波比在1.5以下,转换增益在-12 dB左右。

3 电路测试与分析

该三倍频由单个平面肖特基二极管进行反向并

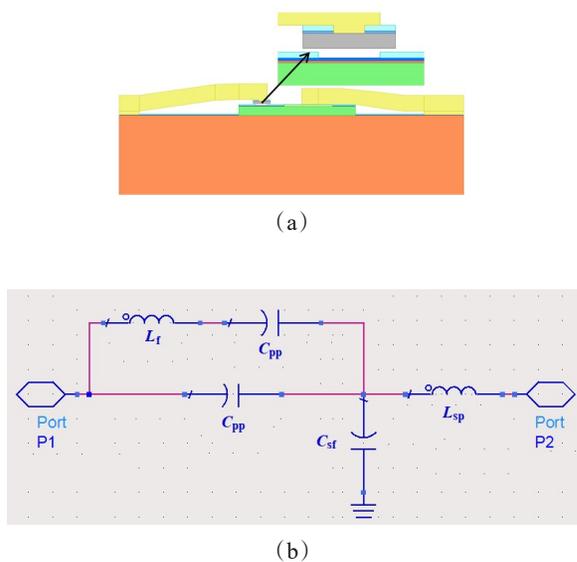


图6 开路结构二极管模型: (a) EM模型; (b)等效电路模型
Fig. 6 Model of diode with open circuit structure: (a) EM model; (b) equivalent circuit model

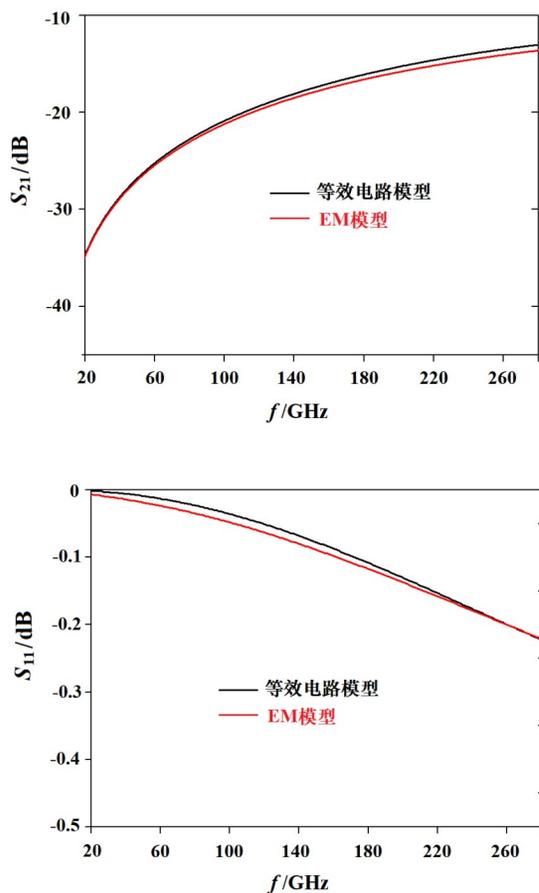


图7 二极管开路结构等效电路模型与EM模型仿真结果
Fig. 7 Equivalent circuit model and EM model simulation results of diode with open circuit structure

表1 肖特基二极管典型本征参数(阳极柱直径为2 μm)
Table 1 Typical intrinsic parameters of Schottky diodes (anode diameter of 2 μm)

参数	典型值
零偏结电容 C_{jo}	8 fF
级联电阻 R_s	4.5 Ω
理想因子 η	1.18
开启电压 V_f (10 μA)	1.0 V
饱和电流 I_s	15 fA

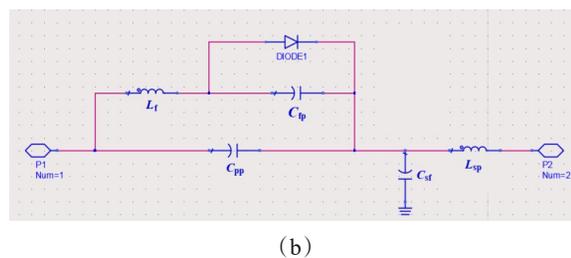
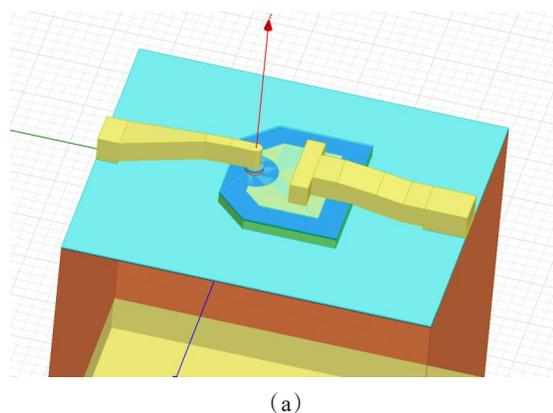


图8 肖特基二极管立体结构和等效电路模型: (a) EM模型; (b)等效电路模型
Fig. 8 Schottky diode three-dimensional structure and equivalent circuit model: (a) EM model; (b) equivalent circuit model

联实现,芯片尺寸为0.80 mm×0.65 mm×0.05 mm,芯片照片如图12所示。

对本文设计的倍频器进行在片测试,基本的测试系统框图如图13所示,测试系统中矢量网络分析仪型号为Keysight N5247,75~110 GHz扩频模块型号为FEV-10-TR。通过低频信号源,经过功率放大模块由射频探针连接到芯片输入端口,值得注意的是输出端口的频率为W波段,因此输出端口需要扩频模块进行下变频,通过矢量网络分析仪测得电路的倍频损耗和驻波比,测得 S_{21} 即为电路的倍频损耗。输入频率范围为25~37 GHz,输出频率75~110 GHz,分别测试了输入功率为17 dBm和15 dBm的电路性

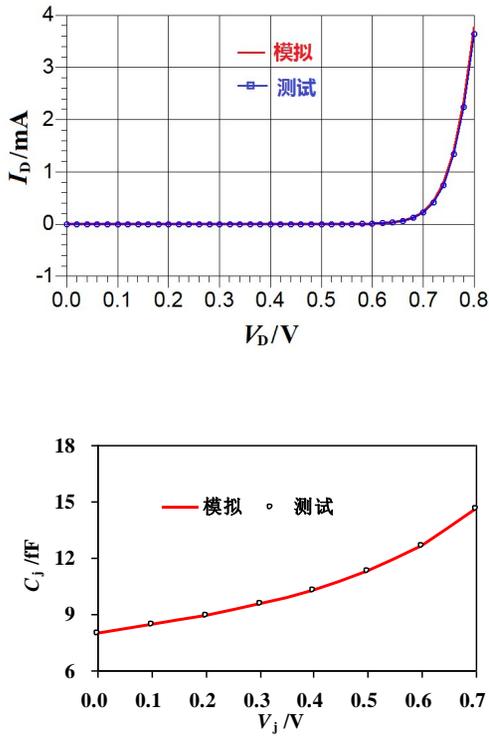
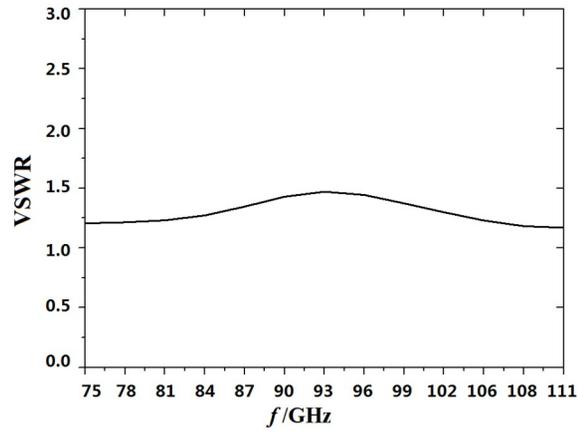
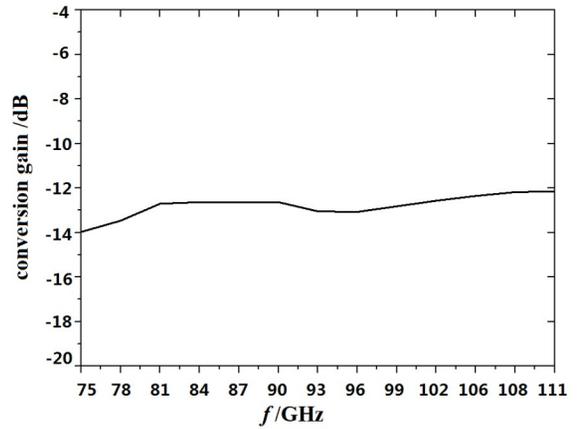


图9 肖特基二极管直流和电容模拟和测试比较曲线
 Fig. 9 Schottky diode DC and capacitance simulation and test comparison curve

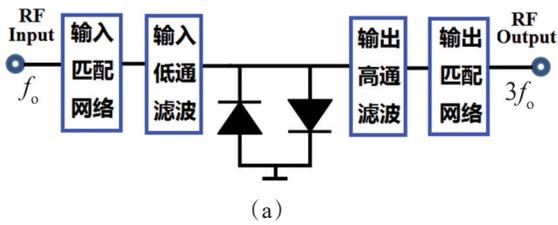


(a)

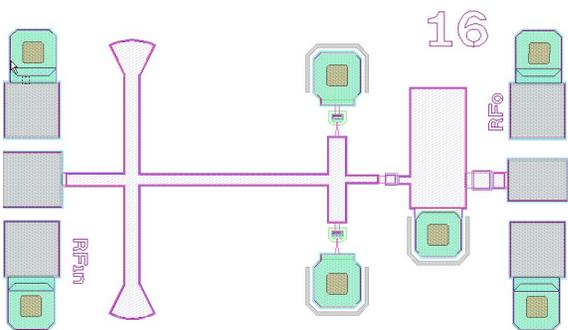


(b)

图11 三倍频器仿真结果:(a)驻波比;(b)转换增益
 Fig. 11 Frequency tripler simulation results: (a) VSWR; (b) conversion gain



(a)



(b)

图10 (a)平衡三倍频器结构框图;(b)版图设计
 Fig. 10 (a) Diagram of balanced frequency tripler structure; (b) layout design

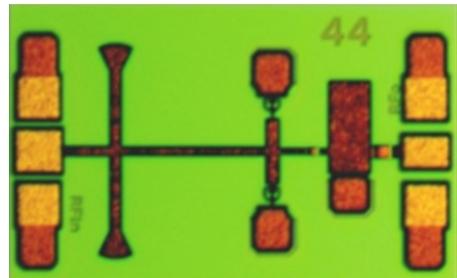


图12 芯片照片
 Fig. 12 Photograph of chip

能,测试曲线如图14所示。实测结果表明,在整个测试频段内,倍频损耗最小为11.8 dB@RFInfreq = 27 GHz,且17 dBm下并未出现饱和现象,最大输出功率为5.2 dBm,输入驻波 ≤ 1.4 。

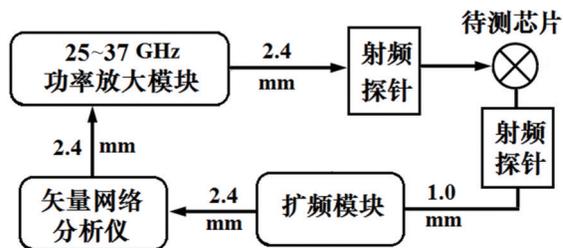
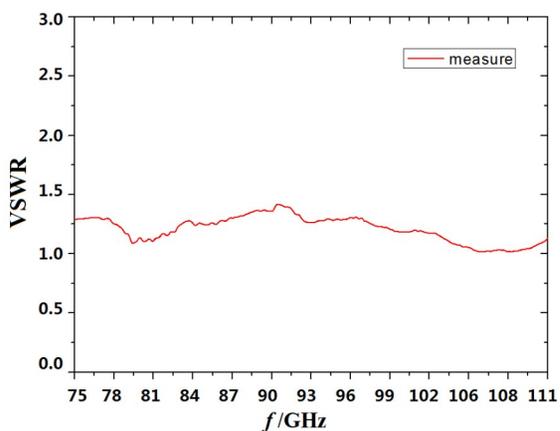
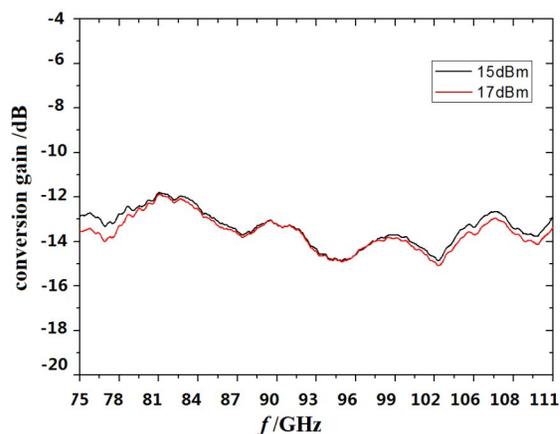


图 13 测试系统框图

Fig. 13 Diagram of the test system



(a)



(b)

图 14 在片测试曲线:(a)驻波比;(b)转换增益

Fig. 14 On-chip test curve:(a) VSWR;(b) conversion gain

表 2 总结了 W 波段三倍频器特性并进行了比较,从表中可以看到利用单片集成电路方式实现的三倍频器特性可以达到最佳,倍频损耗为 14 dB,倍频效率可以达到 6.7%。

表 2 三倍频器的特性比较

Table 2 Comparison of performance of frequency tripler

集成方式	倍频损耗/ dB	频率范围/ GHz	倍频效率/ %	文献
混合集成	15	75~110	3.2	[1]
混合集成	15.2	110~170	3.0	[2]
混合集成	18	135~150	4.6	[3]
混合集成	18.2	135~150	1.5	[4]
单片集成	14	75~110	6.7	本文

4 结论

本文基于 GaAs 肖特基二极管 MMIC 工艺,通过有限元法和等效电路法联合的方式,分区域对肖特基二极管进行寄生参数的精确提取,且用相同方法实现了反向并联二极管对的等效电路模型提取,频率范围为 10~280 GHz,为太赫兹频段平衡式三倍频单片的设计提供器件和模型基础。本文的三倍频采用单个肖特基二极管实现,在片测试结果表明,输入功率 17 dBm 下,该芯片在输入频率 25~37 GHz 范围内,峰值输出功率达到 5.2 dBm。本文设计的三倍频单片为无源 MMIC,省去混合集成装配问题,且相对于 HEMT 倍频单片带宽大、尺寸小、使用方便,为 W 波段应用系统提供稳定的信号源。

References

- [1] Dou Jiang-Ling, Xu Jin-Ping, Xu Meng-Yuan. W-band full band tripler based on 3D EM model in installation circuit environment for Schottky diodes [J]. *Journal of Southeast University (Natural Science Edition)* (窦江玲,徐金平,徐梦苑.基于 Schottky 管安装电路环境三维模型的 W 波段全波段三倍频器[J]. *东南大学学报(自然科学版)*), 2018, 48(1): 1-6.
- [2] Wen X, Yang H, Wu Z, et al. A 100 - 180-GHz coaxial frequency tripler based on copper additive manufacturing [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2023, 71(10): 4337-4345.
- [3] Guo C, Shang X, Lancaster M J, et al. A 135 - 150-GHz frequency tripler with waveguide filter matching [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2018, 66(10): 4608 - 4616.
- [4] Guo C, Dhayalan Y, Shang X, et al. A 135 - 150-GHz frequency tripler using SU-8 micromachined WR-5 waveguides [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2020, 68(3): 1035 - 1044.
- [5] Siles J V, Lee C, Lin R, et al. A high-power 105 - 120 GHz broadband on-chip power-combined frequency tripler

- [J]. *IEEE Microwave and Wireless Components Letters*, 2015, **25**(3): 157-159.
- [6] Qayyum J A, Albrecht J D, Papapolymerou J, *et al.* A compact W-band frequency tripler using single-balanced topology[J]. *IEEE Microwave and Wireless Components Letters*, 2020, **30**(8): 806-809.
- [7] Campos-Roca Y, Fernandez-Barciela M, Sanchez E, *et al.* An optimized 25.5-76.5 GHz PHEMT-based coplanar frequency tripler[J]. *IEEE Microwave and Guided Wave Letters*, 2000, **10**(6): 242-244.
- [8] Han K, Liu T, He H, *et al.* A W band balanced tripler MMIC with excellent harmonic suppression and low conversion loss[C]. 2015 IEEE International Wireless Symposium (IWS 2015), 2015: 1-4.
- [9] Abbasi M, Gavell M, Ferdahl M, *et al.* An E-band(71 - 76, 81 - 86 GHz) balanced frequency tripler for high-speed communications [C]. 2009 Asia Pacific Microwave Conference, Singapore, 2009: 1184-1187.
- [10] Yoo C S, Song S, Seo K. A W-band tripler with a novel band pass filter on thin-film substrate[C]. 2008 Asia-Pacific Microwave Conference, Hong Kong, China, 2008, 1-4.