

77 K 下碲镉汞 APD 探测器的高精度时间数字转换电路

章琪文^{1,2}, 陈洪雷¹, 丁瑞军^{1*}

(1. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;
2. 中国科学院大学, 北京 100049)

摘要: 碲镉汞雪崩光电二极管(HgCdTe APD)是目前红外焦平面技术前沿研究之一,低温下高精度时间标记读出电路是 APD 焦平面的基础,直接影响到 APD 红外焦平面性能。时间数字转换电路(TDC)是实现高精度时间标记的方法之一。基于对低温下金属-氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)器件的分析,设计了一款游标型 TDC 电路,该方法利用同步计数器量化整数倍周期,实现粗计数 6 bits 的输出;通过片上锁相环倍频的高频时钟来量化不足一个时钟周期的部分,以实现精计数 6 bits 的输出。电路采用标准互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺流片,工作在 120 MHz 的主频与 77 K 下测试得到,能够分辨最小精度为 236.28 ps,其中微分非线性为 -0.54~0.71 LSB,积分非线性为 -1.32~1.21 LSB。

关键词: 碲镉汞 e-APD; 时间数字转换电路; 游标型延时线; 非线性度
中图分类号: TN29 **文献标识码:** A

High precision time-to-digital conversion circuit for mercury cadmium telluride APD detector at 77 K

ZHANG Qi-Wen^{1,2}, CHEN Hong-Lei¹, DING Rui-Jun^{1*}

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technology Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: HgCdTe avalanche photodiode (APD) is the frontier research on infrared focal plane technology. High-precision time stamp's readout circuit is the basis of the APD focal plane at 77 K, which directly affects APD infrared focal plane performance. Time-to-digital conversion circuit (TDC) is one of the methods to achieve high-precision time stamping. Based on the analysis of MOSFET device at low temperature, we design a vernier TDC circuit, which uses a synchronous counter to quantize an integer multiple of the periods to achieve a coarse count of 6 bits. We use the high-frequency clock multiplied by the on-chip phase-locked loop to quantify the part that is less than one clock cycle to achieve a fine-count of 6 bits output. The circuit adopts standard CMOS process tape out, and our circuit works at a master-frequency of 120 MHz. At 77 K, the circuit tests can distinguish the time resolution of 236.280 ps. The DNL is within -0.54~0.71 LSB, and the INL is within -1.32~1.21 LSB.

Key words: HgCdTe e-APD, time-to-digital converter circuit, vernier delay line, nonlinearity

引言

碲镉汞 APD 探测器是近十几年发展起来的新

型探测器^[1-2],相比于其他材料探测器,它在线性模式下^[3]具有非常高的增益,在几十到几百倍之间,同

收稿日期:2021-03-26,修回日期:2021-10-27

基金项目:国家自然科学基金青年基金(62104240)

Foundation items: Supported by National Natural Science Foundation of China young Science Foundation (62104240)

作者简介(Biography): 章琪文(1990-),男,江西抚州人,博士研究生,主要从事红外焦平面读出电路方面的研究工作。E-mail:354822417@qq.com

* 通讯作者(Corresponding author): E-mail:dinrgj@mail.sitp.ac.cn

Received date: 2021-03-26, **Revised date:** 2021-10-27

时有低的过剩噪声、高的灵敏度,能实现单光子的探测,而且能很好地应用于激光主被动探测,同时获得目标物体的强度信息和时间信息,以实现实时的三维成像。

在三维成像测距中,碲镉汞APD读出电路^[4,18]是把探测的光信号转换为电信号后进行模数转换输出。模数转换中时间数字转换电路(Time-to-Digital Converter Circuit, TDC)^[5]把携带时间信息的模拟信号转换为数字信号读出,从而实现对时间的量化,它的精度将决定能分辨的最小时间^[6]。

目前对于低温下焦平面碲镉汞APD读出电路的报道,国外主要集中在法国Sofradir公司、美国DRS公司和Raytheon公司,其中法国Sofradir公司报道了在77 K下,采用电容跨阻放大器(Capacitive Transimpedance Amplifier, CTIA)结构带两个负反馈电容的形式下,能实现100 ps的精度^[8],Raytheon报道过在300 K的条件下实现300 ps的精度^[9]。而国内在这方面的研究较少,其中东南大学在常温下采用延迟链锁相环的结构实现了1 ns的精度,因采用单延迟链,它受限于单个延迟门的精度^[11]。

本文基于碲镉汞APD工作在77 K下的特点,对低温下读出电路TDC结构特性展开研究,以实现高时间精度。设计采用游标型双延迟线TDC结构,它的精度不受单个门延迟的影响,同时延迟单元偏置电压外接,实现电压可选。电路流片采用华润上华(CSMC)0.5 μm 2P3M工艺,在77 K下测试得到时间精度为236.28 ps,功耗为14.459 mW。

1 探测器噪声分析

探测器噪声主要由1/f噪声、产生-复合噪声、白噪声三部分构成。本文首先对碲镉汞APD探测器噪声进行分析,噪声测试系统是基于傅里叶变换噪声频谱分析仪,系统背景噪声水平约 2×10^{-28} A²/Hz,可用于对现有器件噪声水平进行表征。当给器件加一定的偏置电压,器件的电流信号经前置放大器放大后输入到傅里叶变换的噪声频谱分析仪^[10],对测试数据进行处理分析。其中前置放大器噪声应尽量小,以保证测试的准确性,本文采用的DL1211前置放大器,它的系统噪声值远小于待测器件噪声。

使用的HgCdTe APD器件在77 K下截止波长为6.4 μm ,增益归一化暗电流密度(Gain Normalized Dark Current Density, GNDCD)用于表征APD器件在发生雪崩倍增时的暗电流变化情况,过剩噪声因

子(Excess Noise Factor, F)为器件的输入信噪比与输出信噪比的比值,测试结果如图1所示,在6 V以下器件状态稳定,GNDCD变化平缓,从8 V开始由于隧穿电流的增加,其暗电流也迅速增大。过剩噪声因子F在偏压小于7.5 V时约为1.2,目前国外DRS和CEA-LETI等公司的F值都在1.1~1.4左右。

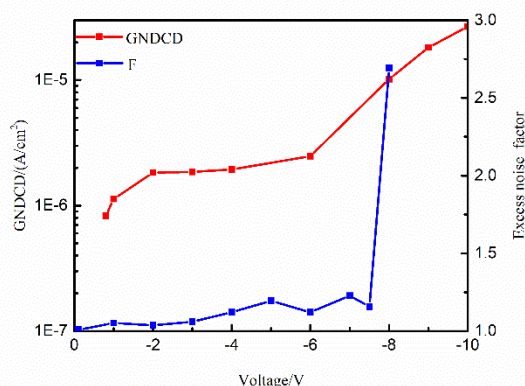


图1 APD焦平面器件过剩噪声因子与GNDCD

Fig. 1 Excess noise factor of APD FPA and GNDCD with different bias

测量计算得到噪声等效光子(Noise Equivalent Photons, NEPh)和DRS公司对比结果,在增益为100的情况下能够实现NEPh值为8左右,如图2所示。

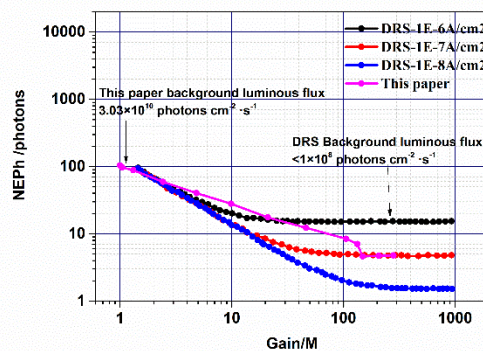


图2 本文和DRS在NEPh的对比

Fig. 2 Comparison of this article and DRS in NEPh

2 读出电路分析

基于探测器和读出电路工作在77 K下,首先对低温下MOSFET器件的特性展开研究。随着温度降低,半导体电离能力变弱,即空穴或电子浓度降低,使得表面势的大小产生改变,导致MOSFET参数发

生变化,如阈值电压变大和源漏电容变小等,从而影响低温下读出电路工作特性。因此,建立一个低温电路仿真模型来更好地表征电路性能。

表 1 MOSFET 参数提取结果

Table 1 Extraction results of the MOSFET parameters

Model parameters	Unit	NMOS		PMOS	
		77 K	300 K	77 K	300 K
V_{th0}	V	0.958	0.719	-1.121	-0.724
μ_0	cm^2/Vs	1370	434	564	172
v_{sat}	m/s	9.59E4	7.47E4	9.61E4	3.81E4
R_{dsw}	$\Omega-\mu\text{m}$	1663.2	1373.16	3841.31	2530.47

表 1 是在 300 K 和 77 K 下对 MOSFET 器件性能进行测试,低温下 NMOS 和 PMOS 的主要参数都发生了明显变化,如低温下阈值电压 V_{th0} 变大 0.2 V 左右;迁移率 μ_0 变大约三倍;单位源漏寄生电阻 R_{dsw} 变大约 1.5 倍;饱和速度 v_{sat} 增幅约为 3 倍。

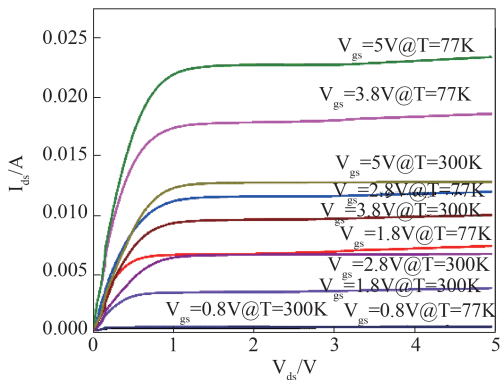


图 3 77 K 和 300 K 下 $W/L=20 \mu\text{m}/0.55 \mu\text{m}$ 的 NMOS I-V 曲线

Fig. 3 I-V curves of NMOS at 77 K and 300 K. The size of the NMOS is $W/L=20 \mu\text{m}/0.55 \mu\text{m}$

图 3 是长宽比 $W/L=20 \mu\text{m}/0.55 \mu\text{m}$ 的 NMOS 器件常温和低温下测得的 I-V 曲线,在相同栅源电压 V_{gs} 下,77 K 下 NMOS 器件饱和区的工作电流显著高于常温。

基于低温特性,对读出电路结构进行设计,整体框图如图 4 所示,它主要由前级放大电路、采样保持电路、时间数字转换电路、锁相环(Phase Locked Loop, PLL)等组成。其工作原理为:当发射激光脉冲时,Sync signal 信号同步触发 TDC 电路开始工作,当探测器探测到返回激光脉冲时,电路迅速积分使电压达到 TDC 比较器阈值并翻转,产生一个停止计数信号,TDC 把携带时间信息的模拟信号转换为数

字信号,从而对时间量化,实现三维测距。

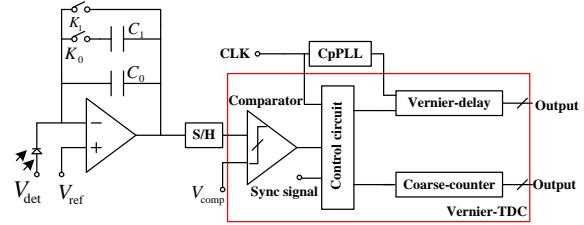


图 4 读出电路整体框图

Fig. 4 ROIC overall block diagram

TDC 采用游标型 (Vernier) 结构,相比其他结构,它具有高精度、动态范围大、易控制等优点。TDC 由比较器、游标延迟线电路(粗和精计数电路)、控制电路等组成。

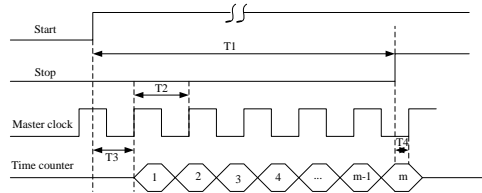


图 5 TDC 时序图

Fig. 5 TDC sequence chart

游标型 TDC 的工作时序如图 5 所示。起始信号和结束信号之间的时间 T_1 由三部分组成:起始信号 Start 和下一个计数器时钟上升沿之间的时间间隔 T_3 、时钟周期 T_2 、结束信号 Stop 与下一个时钟上升沿之间的时间间隔 T_4 。

$$T_1 = m \cdot T_2 + T_3 - T_4 \quad (1)$$

通过 coarse-counter 去量化整周期的时间,vernier-delay 去量化不满一个周期的时间来提高精度,游标延迟链的最低有效位 (Least Significant Bit, LSB) 为两条延迟链上延迟单元的时间差值。计时范围由计数器容量决定,而时间精度取决于比较器的精度和游标延迟链的精度。

2.1 比较器设计

比较器是把接收到的信号与偏置电压 V_{comp} 进行比较,判断计数是否结束。高分辨率的 TDC 需要高精度、高速比较器,本文基于开环比较器和再生比较器的优点设计了一个高速比较器,电路结构如图 6 所示。

前置放大器放大输入差分信号,提高比较器的精度,其本身的隔离作用使得比较器具有较低的回踢噪声和输入失调电压。迟滞锁存器结构是核心,

它能有效地提高比较器的速度并决定能分辨的精度。自偏置差分放大器是为了驱动后续大的输出电容。自偏置结构输入动态范围为1~3 V,所以在锁存结构下面加了一个NMOS管,用于抬高锁存器的最低电压,使得自偏置电路工作在正常状态下。

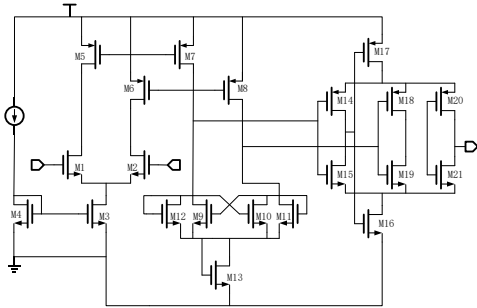


图6 比较器原理图

Fig. 6 The comparator schematic diagram

传输时延影响电路的线性度,其变化范围不能超过计数器的一个计数周期,否则会导致非线性变大。增益和失调电压是影响比较器精度的主要原因,由于增益带宽积为一个常数,为了保证足够的带宽而限制了增益大小。低失调会使得电路精度提高,大的增益往往伴随着高的功耗。

失调电压主要由前级放大器和锁存器输入电压两部分组成,即:

$$\sigma = \sqrt{\sigma_{\text{vospreamp}}^2 + \frac{1}{A_V^2} \sigma_{\text{voslatch}}^2}, \quad (2)$$

其中, A_V 是预放大器的增益,前级放大器的失调电压很大程度上影响整个比较器的失调电压。

预放大器对失调有贡献的晶体管主要是输入管 M1、M2 和负载管 M5、M6,即:

$$\sigma_{\text{offset}}^2 = \sigma_{1,2}^2 + \sigma_{5,6}^2, \quad (3)$$

其中,

$$\sigma_{1,2}^2 \approx \frac{g_{m1,2}}{g_{m7,8}} \left[\frac{A_{VTP}^2}{WL} + \left(\frac{V_{DS1,2}^2}{4} * \frac{A_{BP}^2}{WL} \right) \right], \quad (4)$$

$$\sigma_{5,6}^2 \approx \frac{A_{VTN}^2}{WL} + \left(\frac{V_{DS5,6}^2}{4} * \frac{A_{BN}^2}{WL} \right), \quad (5)$$

式中, A_{VTN} 、 A_{VTP} 和 A_{BN} 、 A_{BP} 分别是工艺模型的阈值电压失调因子和工艺因子的失调。从公式可知,增加管子尺寸可以降低失调的影响。

对比较器进行仿真,比较器一端加固定电压 2 V,另一端加一个斜坡电压,从 1 V 到 3 V 的斜坡,其时间间隔为 1.06 ms,对比较器电路进行 Monte Carlo 与 Corner 仿真。图 7 是比较器在 CMOS 工艺下,处

于低温 77 K 时, tt , ff , fs , sf , ss 等不同状态下选取 Corner 仿真中最差的一种情况,等效输入失调电压为 0.45 mV,符合 12 bit 精度设计的需求。

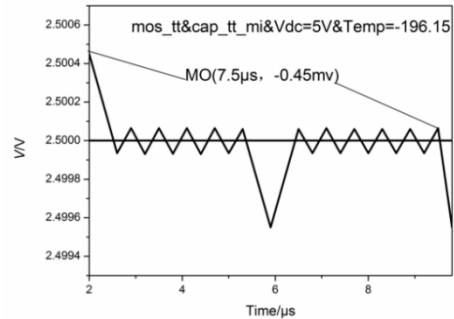


图7 比较器输入失调电压仿真结果

Fig. 7 Simulation results of input offset voltage of comparator

表 2 给出了高速比较器的参数仿真结果。

表 2 比较器仿真结果

Table 2 Comparator simulation results

Gain	77.99 dB
Delay Time	10.01 ns
Resolution	12 bits
Noise	7.621v/sqrt(hz)@1MHz

2.2 Vernier 延迟链电路设计

用于精计数的游标型延迟链电路结构如图 8 所示^[12-14]。它由两条延时链(多个相同延迟单元串联)和 D 触发器组成,其核心是延迟单元,上下延迟单元之间的延迟时间差值决定能分辨的精度,D 触发器采用的是真单相时钟触发器(True Single-Phase Clock Flip-Flop, TSPC)结构^[15-17]。延迟链的长度取决于主时钟和两个延迟单元 t_1 和 t_2 延迟时间差值的精度。

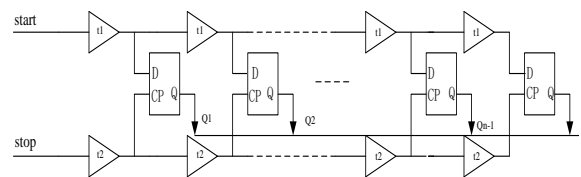


图8 游标型 TDC 结构示意图

Fig. 8 Vernier TDC structural diagram

游标延迟链的精度在于两个延迟单元延迟时间的差值,而不受单个延迟单元的绝对时间限制。两条延时链分别传送 start 信号和 stop 信号,延迟时

间分别为 t_1 和 t_2 ($t_1 > t_2$)。两个延迟单元延迟时间的差值 T_{LSB} 为:

$$T_{LSB} = t_1 - t_2 \quad , \quad (6)$$

每一级通过 D 触发器 (D Flip-Flop, DFF) 进行采样, 在 stop 信号追上 start 信号之前, 输出为 0; 当第 N 级刚刚追上或者超过时, 输出为 1, 实现翻转, 停止计数。即得到延迟时间为 $T = N * T_{LSB}$ 。T 的最大值应该大于等于电路的主频时钟的一个周期, 故延迟链的延时单元个数应大于等于 2^6 个, 对于面阵来说, 这部分可以共用。

延迟单元电路采用压控式结构, 如下图 9 所示, 相比于传统的反相器组成的延迟单元, 增加了电压可调节偏置管 M3 和 M7, 改变 V_{in} 可以得到不同的延迟; 同时增加 M4 和 M8 管, 用于保证在所有工艺角下偏置管都能达到满摆幅调节。同时, 延迟单元采用对称式结构, 减少因版图的寄生效应带来的影响。设计中 NMOS 管的尺寸 W/L 为 2:1, 而 PMOS 管采用 4:1 的宽长比。

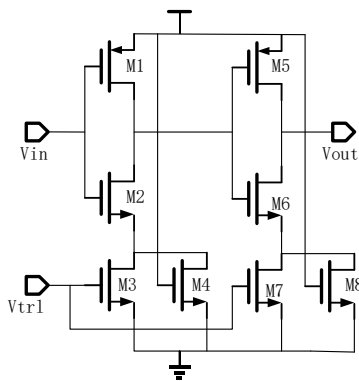


图 9 延迟单元电路

Fig. 9 The delay cell circuit

在仿真过程中对偏置电压从 0~5 V 进行扫描, 同时仿真温度分别为常温和 77 K 下做对比, 得到不同状态下的延迟时间值, 如下图 10 所示。从图中可以看出, 在低温下延迟单元容易实现更小的时间精度。

2.3 单元电路仿真

在完成整个单元电路设计后, 对全电路进行仿真。在主时钟 (Clock, CLK) 为 120 MHz 的主时钟下, 两条延迟链加的偏置电压分别为 1 V、4 V, 设置起始信号 start (发射激光脉冲信号) 和结束信号 stop (接收到激光脉冲) 之间的时间间隔为 T, T 的变化以每隔 1 ns 时间, 从 846 ns 变化到 850 ns 进行测试, 即 start 和主时钟 CLK 最近的脉冲上升沿的时间间隔从

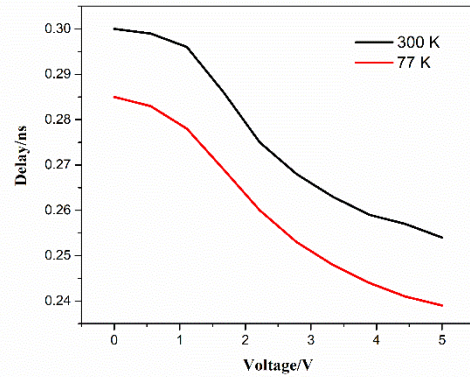


图 10 不同温度、不同偏置电压下的延迟时间

Fig. 10 Delay time for different temperatures and different bias voltages

2.6 ns 变化到 6.6 ns。

在 77 K 下, 采用 CSMC 0.5 μ m 2P3M 工艺进行仿真, 仿真结果如表 3 所示, 在一个周期内输入的时间间隔不同下, 输出的精计数结果不同, 计算得到时间精度为 136.8 ps。

表 3 游标型 TDC 仿真输出结果

Table 3 Vernier TDC simulated output

Time interval/ns	Coarse counter (Binary output)	Fine counter (decimal output)
846	100 000	19
847	100 000	27
848	100 000	34
849	100 000	42
850	100 000	50

3 电路测试结果及分析

电路流片后, 测试芯片采用 QFP64 封装, 将测试芯片放置在定制设计的印刷电路板 (Printed Circuit Board, PCB) 上, 将 PCB 组装在实验室杜瓦瓶中, 用于常温和 77 K 下测试。

基于 NI 公司开发的软硬件搭建了一套测试系统, 如图 11 所示。它由计算机上的高速数字输入输出 (Digital In and Out, DIO) 系统、NI6552 数字时序发生器、Agilent 电压源、NI6552 数字采集卡、被测芯片和示波器构成。NI6552 有 20 个通道, 能实现数字时序的发送和采集。电压源为芯片提供偏置, 高速 DIO 系统控制 NI6552 进行时序发送和采集, 测试系统可以进行多次重复采样。

针对常温和 77 K 下, 在恒定的时间间隔内对

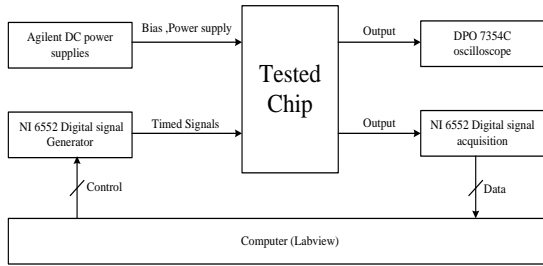


图 11 TDC 电路测试系统示意框图

Fig. 11 The schematic block diagram of TDC circuit Testing system

TDC 精度进行测试,测试时序如图 12 所示。Master_CLK 是电路的主时钟信号,RST 是用于电路的复位信号,Start 是发射激光脉冲信号并同步触发计数器开始工作的信号,Stop 信号为探测器接收到信号,使得计数器停止计数。它们之间的时间间隔 T 设为 850 ns。Shift CP 是移位寄存器的时钟信号,用来把串行数据读出。

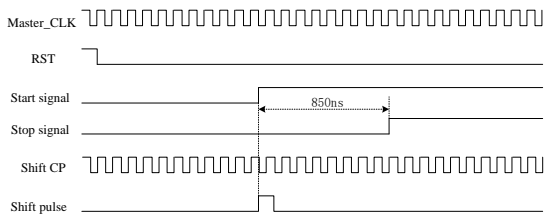


图 12 测试时序

Fig. 12 Test sequence diagram

粗计数测试结果如图 13 所示,它由 6 位移位寄存器组成,在常温和 77 K 下的测试输出二进制结果都是 10 000,和理论计算一致。

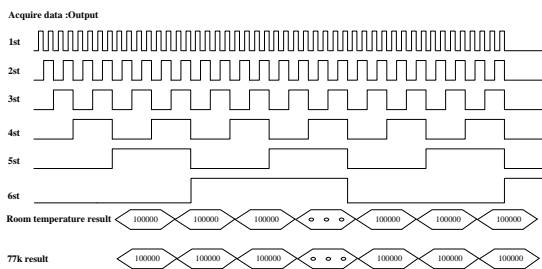


图 13 常温和 77 K 下粗计数测试结果

Fig. 13 Coarse counting test results at room temperature and low temperature

精计数测试结果如下图 14 所示。横坐标表示 STOP 追赶 START 信号过程中经过的延迟单元的个数,纵坐标代表重复实验的次数。在 6.6 ns 的时间内,常温下追赶平均用了 22.187 个周期的时间,即

TDC 的精度为 297.472 ps,其 RMS 值为 3.1035 ps;而低温下追赶平均用了 27.933 个周期,即 TDC 能够实现 236.280 ps 的精度,其 RMS 值为 3.1149 ps。低温下结果好于常温是由于低温下 MOSFET 器件特性发生了变化,使得延迟链更加线性。

仿真结果和低温测试结果相差很大的原因在于以下几点:环境、电源噪声与 PCB 环寄生电容带来的影响;用于倍频的锁相环存在 50 ps 的抖动,对时钟脉冲形成干扰,从而影响时间精度;延时链延迟受到外部电压控制,产生电压的电源输入本身的抖动带来的影响;延迟链过长导致的失配和不稳定性;在版图设计中模拟数字没有完全隔离导致的信号串扰;对于高频数字部分来说,寄生效应对电路影响颇大,导致延迟单元延迟时间变大。

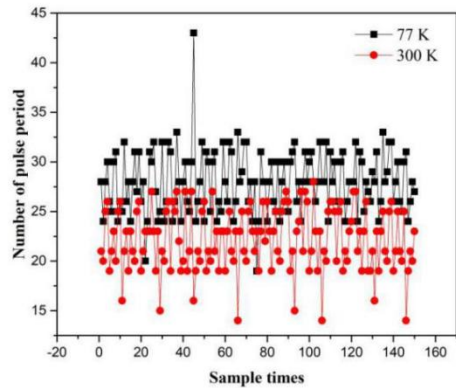


图 14 常温和低温下测试精计数值

Fig. 14 Fine counting value at room temperature and low temperature test

从测试结果可以得到,重复实验出现了追赶周期的偏差,是积分非线性导致的。积分(Integral, INL)和微分(Differential, DNL)非线性用来表示每 1 LSB 下的量化曲线与理想曲线的偏差,DNL 主要反映的是时间码宽之间的不均匀性,而 INL 是实际特性曲线与理想曲线在水平方向上的最大偏差。为确保传输函数的单调性,DNL 应该小于等于 1。用 Origin Pro 对低温下测试数据进行拟合,得到微分和积分非线性度为下图 15 所示,其值分别为 -0.54~0.71 LSB 和 -1.32~1.21 LSB。

从中可知 TDC 的 $|DNL| < 1LSB$, $|INL| < 2LSB$ 。

在 77 K 和 300 K 下,全电路参数测试结果如下表 4 所示,并与 Raytheon 和东南大学结果进行比较。对于更先进的工艺,在一定的像元面积内可以实现更大的动态范围和更高的精度。由于电源电压的下降,对于游标型 TDC,可调节的范围降低,但精度

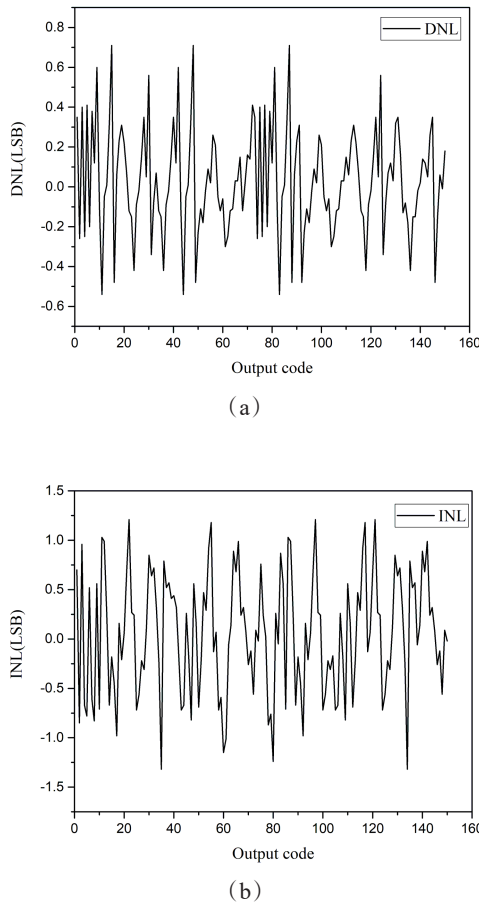


图 15 (a) 微分非线性, (b) 积分非线性
Fig. 15 (a) Differential non-linearity, (b) integral non-linearity

得到提高,同时电路功耗下降。对于延迟链来说,工艺先进条件下,就更加需要考虑版图中每级延迟单元之间连线对精度带来的影响,它会带来非线性结果。

最后在 77 K 下,改变待测时间间隔 T,让 Start 信号每次向 Stop 信号移动 1 ns 进行测试,即时间间隔从 851 ns 到 845 ns 范围变化、步长为 1 ns 进行测试,则对应的不满一个 CLK 的时间间隔从 7.6 ns 变化

表 4 在 300 K 和 77 K 下对比本工作与 Raytheon 的性能参数

Table 4 Compare the performance parameters of this work and Raytheon at 300 K and 77 K

Performance parameter	This work		Raytheon ^[19]	Southeast University ^[20]
Technology	CSMC CMOS 0.5 μm		TSMC CMOS 0.18 μm	CSMC CMOS 0.5 μm
Temperature	77 K	300 K	77 K	300K
Resolution	236.28 ps	297.47 ps	166.67 ps	0.8 ns
Dynamic Range	12 Bits	12 Bits	12 Bits	13 Bits
Supply Voltage	5 v	5 v	1.8 V	5 V

到 1.6 ns。对每个状态进行多次重复采样下,计算平均追赶时间。其精计数输出结果如图 16 所示,说明传输延时链单调性好。

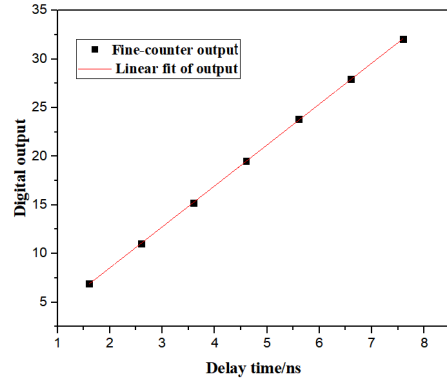


图 16 不同延迟时间下精计数输出结果
Fig. 16 The output results of fine counting under different delay time

4 结论

本文在分析研究碲镉汞 APD 工作特性以及 CMOS 低温模型的基础上,开展了对 TDC 电路的设计研究和实验分析。研究表明,采用游标型延迟链电路结构是提高 TDC 分辨率的有效方法。其中,比较器的精度和两个延迟单元的延迟时间相对偏差是影响 TDC 分辨率的关键因素。在控制好电路的结构和参数设计下,即使采用工艺精度不高的 0.5 μm 2P3M CMOS 工艺,在 77 K 的温度下也能够得到分辨率优于 300 ps 的高精度 TDC,且积分和微分非线性分别为 |DNL| < 1 LSB, |INL| < 2 LSB。这一研究成果对红外焦平面低温 TDC 电路的研究具有重要意义。

References

[1] Rogalski A, Antoszewski J, Faraone L. Third-generation infrared photodetector arrays [J]. *Journal of Applied Physics*, 2009, **105**(9): 091101-1-091101-44.
[2] LU Wu, YE Zhen-hua. Development Trends of Infrared

- Photodetectors Abroad [J]. *Laser and Infrared* (刘武, 叶振华. 国外红外光电探测器发展动态, 激光与红外), 2011, **41**(4):365-371.
- [3] Beck J, Kinch M, Scritchfield R, et al. Properties of the HgCdTe Linear-Mode e-APD [J]. *IEEE*, 2010, **6**(10): 122-123.
- [4] Allen P E. *CMOS Analog Circuit Design* [M]. BEIJING: Publishing House of Electronics Industry, 2012:393-396.
- [5] LUO Min. Research summary of time to digital converter [J]. *Microelectronics* (罗敏. 时间数字转换器研究综述, 微电子学报), 2014, **44**(3):372-375.
- [6] FENG Zhi-Feng. High-accuracy TDC for laser range finder [J]. *Optics and Precision Engineering* (冯志峰. 用于激光测距的高精度时间数字转换电路, 光学精密工程), 2010, **18**(12):2665-2671.
- [7] LI G.H, Chou H.P. A high resolution time-to-digital converter using two-level vernier delay line technique [C]. *IEEE*, 2007:276-280.
- [8] Rothman J, Borniol E, Gravrand O, et al. MCT APD focal plane arrays for astronomy at CEA-LETI [J]. *SPIE Astronomical Telescopes*, 2016, 99150B:1-12.
- [9] Jack M, Wehner J, Edwards J. HgCdTe APD-based linear-mode photon counting components and ladar receivers [J]. *Proc. SPIE*, 2011, Advanced Photon Counting Techniques V, 8300: 80330M-1: 80330M-18; doi: 10.1117/12.888134.
- [10] LI Hao, LIN Chun. HgCdTe avalanche photodiode FPA [J]. *JOURNAL OF INFRARED AND MILLIMETER WAVES*, 2019, **38**(5): 587-590. doi: 10.11972/j.issn.1001-9014.2019.05.007.
- [11] Zheng Li-Xia, Hu Huan, Weng Zi-Qing. Compact Active Quenching Circuit for Single-Photon Avalanche Diodes Arrays. *Journal of circuits, Systems, and Computers*.
- [12] GUO J, Sonkusale S. 22-bit 110ps Time-Interpolated Time-to-Digital Converter [J]. *IEEE*, 2012, : 3166-3169.
- [13] LI Qian-Feng. Design and Implementation of time-to-digital converter in 0.18um CMOS technology [D], Nanjing: Southeast University (李乾锋. 基于0.18 CMOS 工艺的时间数字转换器的设计与实现), 2015.
- [14] HUANG Zhen. Research on Receiving Circuit and Timing Method of Pulse Laser Ranging [D]. Hangzhou: Zhejiang university (黄震. 脉冲激光测距接收电路与计时方法研究), 2004.
- [15] Watanabe T. A CMOS Time-to-Digital Converter LSI with Half-Nanosecond Resolution Using a Ring Gate Delay Line [J]. *IEICE TRANS. ELECTRON*, 1993, E76-C(12):1774-1779.
- [16] LI Gen. Design of TDC based on delay locked loop [D]. Harbin: Harbin Institute of Technology (李根. 基于延迟锁相环的TDC的设计), 2012.
- [17] DUAN Jiang-Kun, LIU Ma-Liang. A 15ps resolution time-to-digital converter with on-chip PLL counting for LiDAR multi-object sensors [N]. *Microelectronics Journal*, 2019, **09-12**(92).
- [18] DENG Xu-Guang. Low-temperature MOSFET model and parameter extraction based on BSIM3 [J]. *Infrared and Laser Engineering*, 2013, **43**(09):1051-1054.
- [19] McKeag W, Veeder T, WANG J X, et al. New Developments in HgCdTe APDs and LADAR Receivers [J]. *SPIE*, 2011, **8012**(30):1-13. doi: 10.1117/12.888099.
- [20] ZHENG Li-Xia, YANG Jun-Hao, WU Jin, et al. Design and Implementation of Gm-APD array readout IC [J]. *Microelectronics*, 2014, **44**(1):51-58.