

一种采用双耦合等效跨导增强技术的 94 GHz CMOS LNA

张凯娟¹, 石春琦^{1,2}, 张润曦^{1*}

(1. 华东师范大学微电子电路与系统研究所, 上海 200241;
2. 华东师范大学上海市多维度信息处理重点实验室, 上海 200241)

摘要: 采用 55 nm CMOS 工艺, 设计了一款应用于毫米波成像系统的 94 GHz 低噪声放大器(LNA)。提出一种双耦合等效跨导增强技术, 在提高增益的同时, 实现良好的宽带输入匹配。使用中和电容技术和共栅管栅端短接技术, 进一步提高增益, 并保证放大器的高频稳定性。芯片测试结果表明, LNA 的小信号增益最大值达到 14.2 dB, 3 dB 带宽为 87.1~95 GHz, 噪声系数为 6.7 dB, 输入 1 dB 压缩点为 -13 dBm。

关键词: 双耦合等效跨导增强; 低噪声放大器; 毫米波; 共栅管栅端短接

中图分类号: TN432 **文献标识码:** A

A 94 GHz CMOS LNA utilizing dual-coupling g_m -boosting technique

ZHANG Kai-Juan¹, SHI Chun-Qi^{1,2}, ZHANG Run-Xi^{1*}

(1. Institute of Microelectronic Circuits and Systems, East China Normal University, Shanghai 200241, China;
2. Key Laboratory of Multidimensional Information Processing, East China Normal University, Shanghai 200241, China)

Abstract: A 94 GHz mm-Wave LNA targeted for imaging system is designed and fabricated in 55 nm CMOS process. The dual-coupling g_m -boosting technique is proposed to achieve high gain and wide-band input matching. Meanwhile, in order to improve the gain and ensure the stability of the proposed LNA, the capacitance neutralization method and the common-gate-shorting technique are simultaneously introduced. The measurement results indicate that the LNA achieves a small signal gain of 14.2 dB, a BW_{-3dB} of 87.1~95 GHz, a NF of 6.7dB as well as an input-referred 1 dB compression point of -13 dBm.

Key words: Dual-coupling g_m -boosting technique, Low noise amplifier (LNA), mm-Wave, Common-gate-shorting technique

PACS: 84. 40. Dc

引言

近年来,随着 CMOS 工艺的快速发展,以及对低成本、高精度雷达系统的迫切需求,CMOS 毫米波雷达技术受到广泛关注^[1-5]。W 波段是目前毫米波雷达研究的一个热门频段,主要应用有 77~79 GHz 车载雷达及 94 GHz 毫米波成像雷达^[1-3]。根据无线接

收机噪声系数级联公式,作为接收机中的第一个有源模块,LNA 的噪声系数决定了整个接收机的噪声性能。

提出了一种基于片上集成变压器的双耦合等效跨导增强技术,结合中和电容技术和共栅管栅端短接技术提高放大器增益和电路稳定性。芯片测

收稿日期:2019-10-15,修回日期:2020-03-20

基金项目:华东师范大学“幸福之花”先导研究基金项目

Foundation items: Strategic Priority Research Program of East China Normal University

作者简介(Biography): 张凯娟(1993-),女,河北石家庄人,硕士研究生,主要研究领域为毫米波接收机设计。E-mail: 51171213041@stu.ecnu.edu.cn

*通讯作者(Corresponding author): E-mail: rxzhang@ee.ecnu.edu.cn

Received date: 2019-10-15, Revised date: 2020-03-20

试结果表明,小信号增益最大值达到14.2 dB,3 dB带宽为87.1~95 GHz,噪声系数为6.7 dB,输入1 dB压缩点为-13 dBm。文中第一部分介绍了电路设计细节,第二部分给出了芯片测试结果,最后给出了电路性能总结及其与近年来已发表文献的比较。

1 电路设计

图1(a)为LNA原理图。为抑制接收机中的共模噪声,电路采用差分结构。第一级为共源结构,采用双耦合等效跨导增强技术,实现输入阻抗匹配和高增益;第二级为共源结构,采用中和电容技术,实现高增益和高隔离度;第三级为共源共栅结构,其共栅管采用了栅端短接技术,实现高增益,高稳定性和高隔离度。设计中,输入巴伦、级间变压器和输出巴伦都采用ADS进行电磁场建模,其3D结构及详细物理参数如图1(b)~(e)所示。

1.1 双耦合等效跨导增强技术

图1(b)为双耦合输入巴伦的3D图,由顶层铝金属层(TNA,厚度为1.17 μm)、顶层铜金属层(LDA,厚度为3.3 μm)以及次顶层铜金属层(LCA,厚度为0.9 μm)三层金属层构成。为确保主线圈 B_p 与两个次级线圈 B_g 和 B_s 都有比较好的耦合,主线圈 B_p 选用中间金属层LDA。考虑到源端直流电流远大于栅端直流电流以及LCA金属层具有更好的直流电流耐受性,次级线圈 B_s 选择LCA金属层。

图2(a)所示共源级电路采用双耦合等效跨导(dual-coupling g_m -boosting)技术。通过交叉连接到

栅端和源端的次级线圈,使得栅端和源端电压反相,增大栅源电压摆幅,提高等效跨导。为了简化分析,将连接到50 Ω 源阻抗的巴伦等效为理想巴伦、等效阻抗 Z_p 和次级线圈自感 L_s ,如图2(b)所示。

图2(c)和(d)分别给出了采用传统源级退化电感技术共源电路和双耦合等效跨导增强技术共源电路的半边等效小信号模型。其中 C_{gs} 为寄生电容, g_m 为晶体管跨导。基于前述简化方法,双耦合输入巴伦简化为两个理想巴伦 B_{ig} (线圈匝数比为1: n_g)、 B_{is} (线圈匝数比为1: n_s)和等效阻抗 Z_{pg} 、 Z_{ps} 。本设计中,两个次级线圈分别采用第一层(TNA)和第三层(LCA)金属实现,因此,次级线圈之间的耦合微弱,可以忽略。对于采用传统源级退化电感技术的电路,当工作在谐振频率:

$$\omega_0 = 1/\sqrt{C_{gs}(L_{pg} + L_s)} \quad , \quad (1)$$

等效跨导 G_m 为:

$$\begin{aligned} G_m &= \frac{i_0}{v_{in}} \\ &= \frac{n_g}{j\omega_0(L_s + Z_{pg}C_{gs}/g_m)} \\ &= \frac{n_g}{j2\omega_0L_s} \quad , \quad (2) \end{aligned}$$

对于采用双耦合等效跨导增强技术的电路,当工作在谐振频率:

$$\omega_0 = 1/\sqrt{C_{gs}(L_{pg} + L_{ps})} \quad , \quad (3)$$

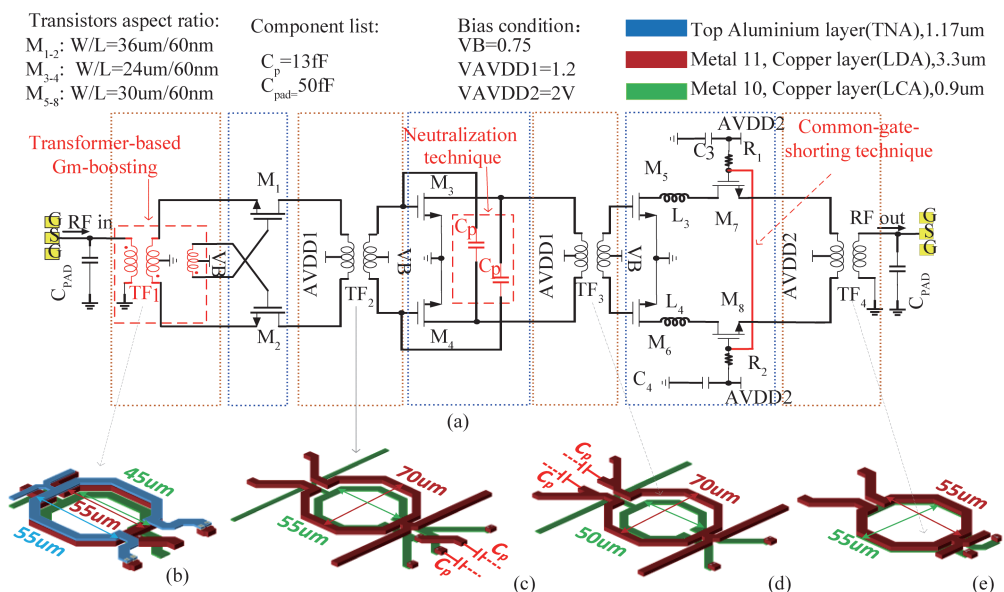


图1 LNA原理图及无源器件3D图

Fig. 1 The schematic of LNA and the 3D-view of passive devices

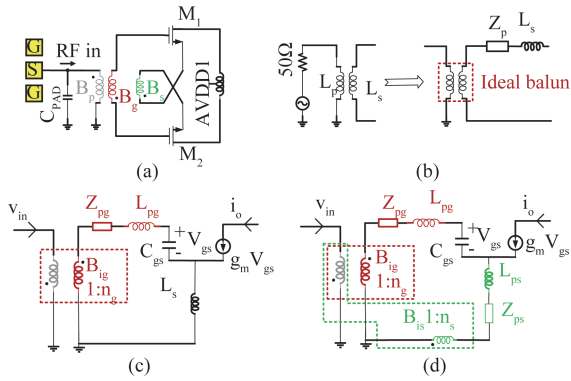


图2 (a)双耦合等效跨导增强技术共源电路原理图;(b)输入巴伦等效;(c)传统源级退化电感电路半边等效电路;(d)双耦合等效跨导增强共源电路半边等效电路

Fig. 2 (a) The schematic of the dual-coupling g_m -boosting technique; (b) the equivalent of the balun; (c) the equivalent half-circuit model of conventional source inductive degeneration; and (d) the equivalent half-circuit model of the dual-coupling g_m -boosting technique

等效跨导 G_m 为:

$$G_m = \frac{i_0}{v_{in}} = \frac{n_g + n_s}{j\omega_0(L_{zs} + (Z_{pg} + Z_{ps})C_{gs}/g_m)} = \frac{n_g + n_s}{j2\omega_0 L_{ps}} \quad (4)$$

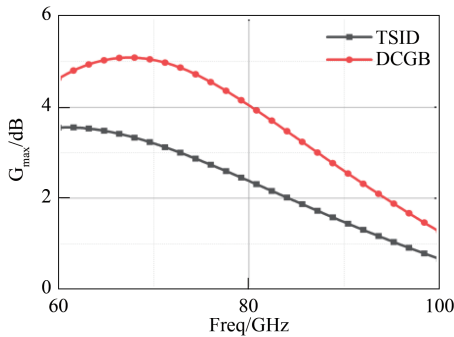


图3 采用传统源级退化电感技术的电路和采用双耦合等效跨导增强技术的电路 G_{max} 性能比较

Fig. 3 Comparison of simulated G_{max} for circuits which use the traditional source inductive degeneration (TSID) method and the dual-coupling g_m -boosting (DCGB) technique

与传统源级退化电感技术相比,双耦合等效跨导增强技术可以在不引入额外功耗的条件下提高跨导。图3对比了传统源级退化电感技术电路(TSID)和双耦合等效跨导增强技术电路(DCGB)的 G_{max} ,双耦合等效跨导增强技术具有更好的 G_{max}

性能。

1.2 中和电容技术

对于共源电路,栅漏电容 C_{gd} 会引起稳定性问题和增益降低。为提高电路差分稳定性和增益,电路采用了中和电容技术,如图4(a)所示。图4(b)为其等效小信号模型。但是,如果中和电容取值不当,会引发共模振荡问题。图5给出当共源电路晶体管尺寸为 $W = 24 \mu\text{m}/L = 60 \text{ nm}$ 、电流密度为 $0.27 \text{ mA}/\mu\text{m}$ 、工作在 90 GHz 时, G_{max} 、 K_f 随中和电容 C_p 的变化曲线。当中和电容值约为 14 fF 时,可同时实现高增益和高稳定性。受限于工艺, 90 GHz 频率最小尺寸 ($L = 4 \mu\text{m}, W = 2 \mu\text{m}$) 的电容值是 26 fF ,因此采用两个电容串联实现 13 fF 中和电容。考虑到中和电容容值较小,为避免电容端连线寄生参数影响设计精度,该金属连线寄生已被包含在自建模型变压器模型中,图1(c)、1(d)给出了变压器、中和电容的连接示意。

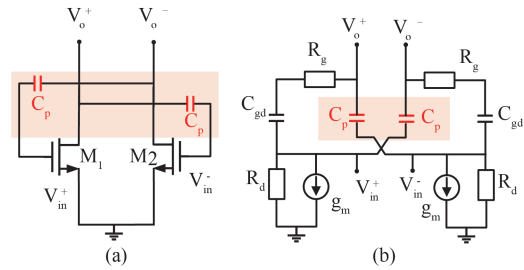


图4 中和电容原理图及其小信号等效电路图

Fig. 4 (a) The schematic of the capacitive neutralization and (b) its small signal equivalent model

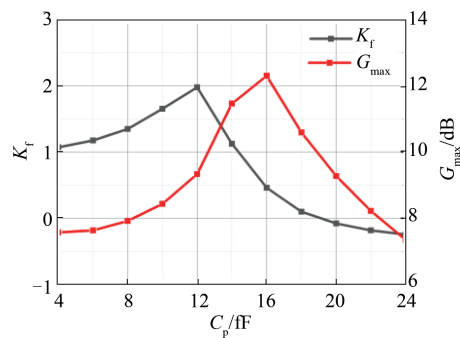


图5 在 90 GHz 时, G_{max} 、 K_f 关于中和电容 C_p 的变化曲线
Fig. 5 The simulated G_{max} , K_f versus C_p at 90 GHz

1.3 共栅管栅端短接技术

为获得高增益、高稳定性和高隔离度,第三级电路采用共栅管栅端短接技术,如图6(a)所示。共栅管栅端短接,为差模信号提供一个交流地。图6(b)为采用栅端短接技术的半边电路小信号等效模

型。对于传统共源共栅电路,输出端电流为^[6]:

$$I_{out} = \frac{g_{m2} I_{in}}{s(C_2 + C_3) + sRC_2C_3 + g_{m2}} \quad (5)$$

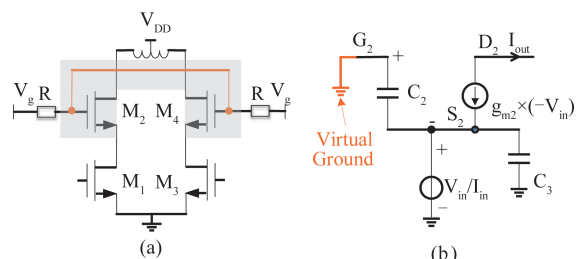


图6 共栅管栅端短接技术(a)原理图,(b)半边等效小信号电路图

Fig. 6 (a) The schematic and (b) its equivalent circuit of the common-gate-shorting technique

对于采用栅端短接技术的共源共栅电路,输出电流为^[6]:

$$I_{out} = \frac{g_{m2} I_{in}}{s(C_2 + C_3) + g_{m2}} \quad (6)$$

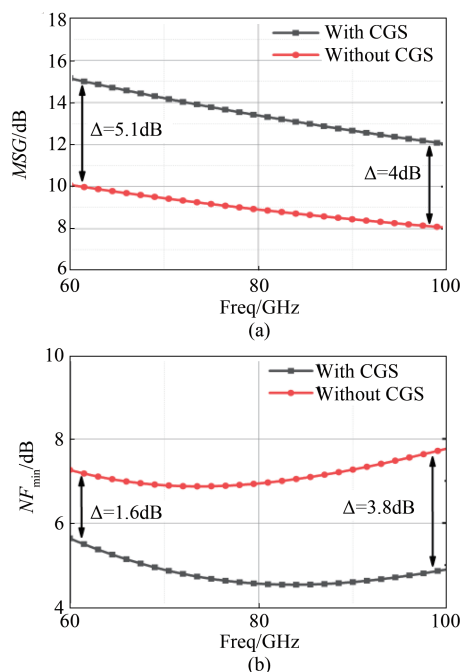


图7 传统共源共栅电路和采用共栅管栅端短接技术的共源共栅电路(a)MSG和(b)NF_{min}性能比较

Fig. 7 (a) Maximum stable power gain and (b) NF_{min} of cascode circuit with and without common-gate-shorting technique

由于虚地的存在,输出电流 I_{out} 显著提高。图7比较了传统共源共栅结构和采用了共栅管栅端短接技术的两种共源共栅电路的MSG和NF_{min}。可以

看到,采用共栅管栅端短接技术,可以获得更优的增益和噪声性能。

2 芯片测试结果

本文所设计的LNA芯片采用Fujitsu 55-nm CMOS工艺制造,图8为LNA的显微镜照片,不包括测试pad,LNA芯片核心部分面积为832×186 μm²,采用在片测试方法进行测试。直流电源AVDD1(共源级电源)和AVDD2(共源共栅级电源)分别为1.2 V和2 V,偏置电压均为0.75 V。第一级共源电路功耗为22.92 mW,第二级共源电路功耗为15.6 mW,第三级共源共栅电路功耗为34 mW。

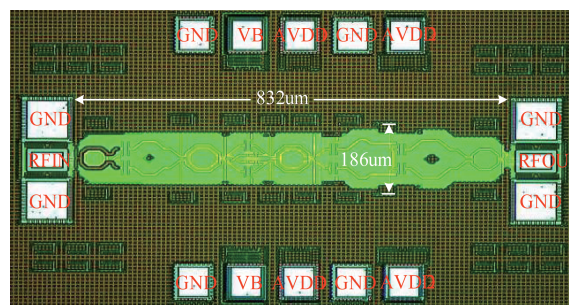


图8 LNA芯片照片

Fig. 8 Chip photograph of the fabricated LNA

图9为LNA小信号S参数测试结果。在66~100 GHz频率范围内, $S_{11} < -10$ dB,在86~95 GHz频率范围内, $S_{22} < -8$ dB,LNA输入、输出端均实现良好匹配。在91.6 GHz频率处,小信号增益达到最大值14.2 dB,3 dB带宽为87.1~95 GHz,LNA反向隔离度 < -36.3 dB。如图10所示,测得LNA稳定性因子 $K_f > 7$,表明LNA无稳定性问题。受限于测试条件,噪声系数测量频率范围为60~90 GHz,在测量频率范围内,87 GHz处的噪声系数最优,为6.7 dB。如图11所示,在90 GHz频率处,LNA输入1 dB压缩点(IP1dB)为-13 dBm。表1给出了该LNA芯片与其它文献LNA的性能比较,由表可知,该LNA在增益、噪声方面都体现出显著优势。

3 结论

提出了一种双耦合等效跨导增强技术,采用此技术,基于55-nm CMOS工艺设计了一款应用于94 GHz毫米波成像系统的高性能低噪声放大器,实现的小信号增益最大值为14.2 dB,3 dB带宽为87.1~95 GHz,噪声系数为6.7 dB,输入1 dB压缩点为-13 dBm,芯片面积为832×186 μm²。

表 1 LNA 性能总结及与其它文献比较

Table 1 Comparison of the performance of LNA

参数	[1]	[3]	[4]	[5]	[7]	本文工作
工艺	130nm BiCMOS	90nm CMOS	45nm CMOS	65nm CMOS	40nm CMOS	55nm CMOS
结构	1 Cascode	3 CS	3 CS	3 Cascode	3 CS	2CS+ 1 Cascode
3dB 带宽/GHz	89~96#	72~84	89~107	63.5~91	76~98	87.1~95
增益/dB	9.08	14.6	10.7	13.3	10.5	14.2
噪声系数/dB	8.6	6.2	6.0	7.6	6.7	6.7
IP1dB/dB	-14.9	-20	-6#	/	-11	-13
功耗/mW	13	21.1	52	12	11.4	72.5
面积/mm ²	/	0.74*0.8 [*]	0.58*0.55	0.06	0.779*0.742	0.832*0.186 [*]

#表示从图中读出数据,*表示为核心版图面积

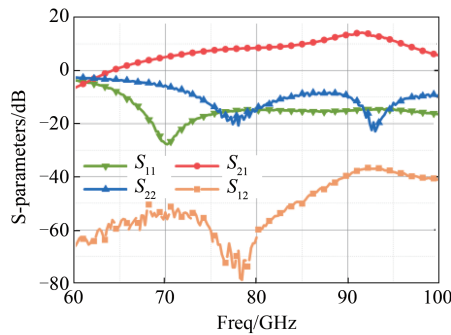


图 9 小信号 S 参数测试结果

Fig. 9 The measured S-parameters

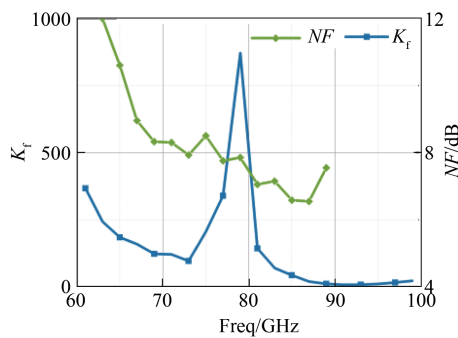
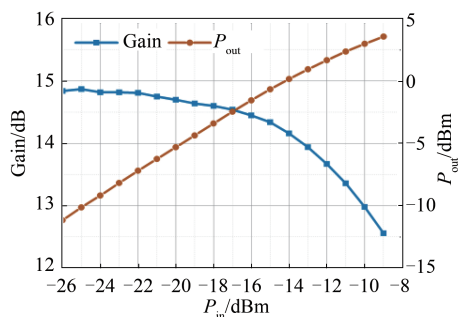
图 10 稳定性因子 K_f 以及噪声系数 NF 测试结果Fig. 10 The measured K factor and the measured noise figure

图 11 90 GHz 时增益和输出功率测试结果

Fig. 11 The measured Gain, output power at 90 GHz

References

- [1] Severino R R, Taris T, Deval Y, *et al.* A SiGe:C BiCMOS LNA for 94GHz band applications, Bipolar/bicmos Circuits & Technology Meeting, 2010 [C]. Austin, TX, IEEE, 2010: 188-191.
- [2] Goshi D S, Liu Y, Mai K, *et al.* Recent advances in 94 GHz FMCW imaging radar development, IEEE MTT-S International Microwave Symposium Digest, 2009 [C]. Boston, MA, IEEE, 2009: 77-80.
- [3] Lin Y S, Lee G L, Wang C C, *et al.* A 21.1 mW 6.2 dB NF 77~81 GHz CMOS low-noise amplifier with 13.5±0.5 dB S21 and excellent input and output matching for automotive radars, Radio and Wireless Symposium (RWS), 2014 [C]. Newport Beach, CA, 2014: 73-75.
- [4] Cetinoneri B, Atesal Y A, Fung A, *et al.* W Band Amplifiers With 6dB Noise Figure and Milliwatt-Level 170 - 200GHz Doublers in 45-nm CMOS [J]. *IEEE Transactions on Microwave Theory & Techniques*, 2012, **60**(3): 692-701.
- [5] Lardizabal S, Hwang K C, Kotce J, *et al.* Wideband W-band GAN LNA MMIC with state-of-the-art noise figure, Compound Semiconductor Integrated Circuit Symposium (CSICS), 2016 [C]. Austin, TX, IEEE, 2016: 1-4.
- [6] Jiang C S, Zhang R X, Shi C Q, A 24-28 GHz high stability CMOS power amplifier using common-gate-shorting (CGS) technique with 17.5 dBm Psat and 16.3% PAE for 5G millimeter-wave applications [J]. *Analog Integrated Circuits and Signal Processing*, 2019, **98**(1): 193-200.
- [7] Shao W P, Jyun J H, Hong Y C, *et al.* A 76 - 98 GHz Broadband Low-DC-Power Low Noise Amplifier Using Coplanar Waveguide in 40 NM CMOS Process, Asia-Pacific Microwave Conference (APMC), 2018 [C]. Kyoto, IEEE, 2018: 663-665.