

文章编号:1001-9014(2008)06-0465-05

35K CMOS 器件 LDD 结构的 SPICE 宏模型

刘文永^{1,2}, 丁瑞军¹, 冯琪¹

(1. 中国科学院上海技术物理研究所, 上海 200083; 2. 中国科学院研究生院, 北京 100039)

摘要:针对 BSIM3v3 模型在 35K 低温下无法模拟 LDD(轻掺杂漏区)所引起的串联电阻异常,提出了可以模拟这一异常的 SPICE 宏模型.通过修改 CMOS 器件常温 BSIM3v3 模型中的一些与温度有关的参数值,得到 35K BSIM3v3 模型.模拟结果表明,根据此模型进行参数提取后的 I-V 特性曲线与实测曲线十分吻合.最后,运用此模型对 CMOS 传输门和两级运算放大器进行仿真,结果表明 LDD 串联电阻效应对这些电路产生了重要影响,该模型明显提高了低温 BSIM3v3 的仿真精度.

关键词:轻掺杂漏区; 串联电阻; BSIM3v3; SPICE 模型; CMOS; 低温

中图分类号: TN386.1 **文献标识码:** A

SPICE MODEL FOR LDD STRUCTURE CMOS DEVICE AT 35K

LIU Wen-Yong^{1,2}, DING Rui-Jun¹, FENG Qi¹

(1. Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Since the abnormal series resistance caused by LDD structure for CMOS device at 35K temperature could not be simulated by BSIM3v3 model, new macro models were introduced to represent the change of LDD series resistance. Simulation results exhibit that the I-V characteristics of the macro model match well with the measurement. Finally, the CMOS transmission gate and two-stage amplifier were simulated with new BSIM3v3 model in addition to the macro model. The results reveal that the change of LDD series resistance has obvious effects on low temperature CMOS circuits.

Key words: lightly doped drain(LDD); series resistance; BSIM3v3; SPICE model; CMOS; low temperature

引言

制冷型红外焦平面探测器的读出电路在低温下工作,对波长超过 $14\mu\text{m}$ 的红外探测器需要工作在更低温度下,例如一种峰值波长为 $16\mu\text{m}$ 的量子阱红外探测器的工作温度为 35K.随着温度的降低,轻掺杂漏区(LDD)会产生载流子冻析效应,导致该区的串联电阻增大.常温时此串联电阻很小且为恒定值,而在 35K 低温时电阻值不但急剧增大且与漏源电压有关.LDD 串联电阻异常只存在于线性区^[1],将增大工作在线性区 CMOS 器件的电阻值,例如增大 CMOS 传输门的导通电阻,使得开关特性变差.标准的 BSIM3v3 模型^[2]用一个恒定电阻来模拟串联电阻,无法模拟 35K 低温的 LDD 效应,因此要进行电路仿真就必须针对 LDD 非线性串联电阻建立新的宏模型.

1 实验结果和解释

本文首先根据实验结果对常温 BSIM3v3 模型中与温度有关的参数进行修改,建立了 35K 温度的 BSIM3v3 改进模型.图 1(a)为 $0.6\mu\text{m}$ CMOS 工艺 NMOS I-V 特性,图 1(b)为沟道电导的特性曲线.点线为实际测量结果,实线为改进型 BSIM3v3 模拟结果.结果表明在较低的 V_{ds} 下实验曲线与 BSIM3v3 模拟曲线有很大的偏离.

在较低的 V_{ds} (线性区)下,沟道电导随 V_{ds} 的降低而急剧减小,即串联电阻随 V_{ds} 的降低而急剧增大.这是由于 LDD 区掺杂浓度较低,载流子冻析效应更明显,电阻率升高更快.根据电场场助激理论,杂质在较强电场(较大的 V_{ds})下可以完全电离,这时 I-V 特性回归正常. V_{ds} 越小,杂质电离能力越弱,载流子浓度越小,从而串联电阻越大.在

收稿日期:2007-11-29,修回日期:2008-05-19

基金项目:预先研究(61501050303)资助项目

作者简介:刘文永(1982-),男,江苏邳州人,硕士,主要从事 CMOS 集成电路研究与设计.

Received date: 2007-11-29, revised date: 2008-05-19

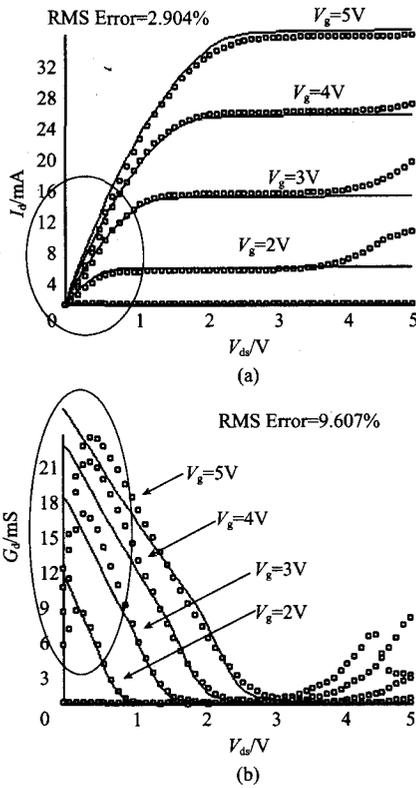


图1 $T=35K$, (a) $I_d - V_{ds}$, (b) $G_{ds} - V_{ds}$ 曲线图 (NMOS, $W/L=96\mu\text{m}/3\mu\text{m}$)
 Fig. 1 $T=35K$, characteristics of (a) $I_d - V_{ds}$, (b) $G_{ds} - V_{ds}$, (NMOS, $W/L=96\mu\text{m}/3\mu\text{m}$)

BSIM3v3 模型中串联电阻是作为常量来处理的,并不随 V_{ds} 变化而变化,因而该模型无法模拟这一现象. 在模拟电路中需要 MOS 管作为电阻而工作在较低的 V_{ds} (深线性区) 时,其电阻值将无法正确仿真.

在较高的 V_{ds} 下,测量值与仿真值也有不吻合的现象,这是 Kink 效应造成的,笔者也对此进行了研究,详见文献[4].

2 半经验模型

图2 为串联电阻模型示意图, V_d 为实际的漏源电压, V_{d0} 为有效漏源电压,两者之差为 LDD 区电阻上的电压降. 如果通过宏模型把 V_d 转化为 V_{d0} ,再使 V_{d0} 作为新的漏源电压代入常规 BSIM3v3 模型中,即可得到漏电流.

LDD 区的非线性串联电阻 R_{sd} 可以估计为电场的函数^[1], 即

$$R_{sd} = R_{sd}(E_{LDD}) \quad (1)$$

根据欧姆定律,漏源电压 V_d 和 MOS 管实际的漏源电压 V_{d0} 与 LDD 电阻的关系为

$$V_d = V_{d0} + R_{sd}I_d \quad (2)$$

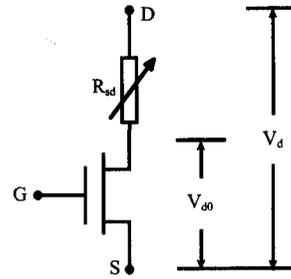


图2 LDD 串联电阻模型示意图
 Fig. 2 Model of LDD series resistance

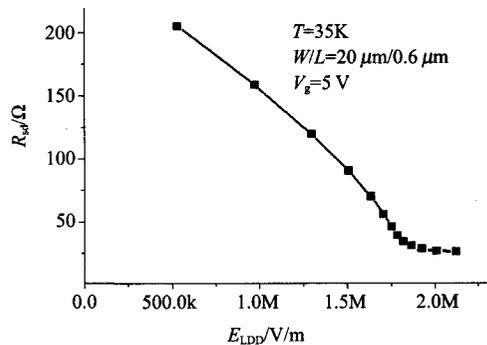


图3 R_{sd} 与 E_{LDD} 的关系曲线 (NMOS)
 Fig. 3 Characteristics of R_{sd} and E_{LDD} (NMOS)

LDD 区的平均电场近似为

$$E_{LDD} = \frac{V_d - V_{d0}}{L_{LDD}} \quad (3)$$

其中 L_{LDD} 为 LDD 区总长度.

据文献[1]漏电流可以近似为

$$I_d = G_{dchannel}V_{d0} \approx G_{dmax}V_{d0} \quad (4)$$

综合式(2) ~ 式(4)得

$$V_{d0} = \frac{V_d}{1 + R_{sd}G_{dmax}} \quad (5)$$

$$R_{sd} = \frac{L_{LDD}E_{LDD}}{(V_d - L_{LDD}E_{LDD})G_{dmax}} \quad (6)$$

$$R_{sd} = \frac{V_d}{I_d} - \frac{1}{G_{dmax}} \quad (7)$$

$$E_{LDD} = \frac{V_d}{L_{LDD}} - \frac{I_d}{L_{LDD}G_{dmax}} \quad (8)$$

从式(5)可以看出,当 V_d 降低, R_{sd} 增大时 V_{d0} 与 V_d 相差越来越大,因而导致了漏电流降低更快,即沟道电导下降,这与实验数据吻合.

根据实际测量数据及式(7)和式(8)可得 $R_{sd} - E_{LDD}$ 关系如图3所示. 对于其他尺寸的器件以及不同 V_g 所得到的关系都与图3类似,借助于电场场激发等理论也可以近似得出这个关系^[1],但是这些理论所需参数较多,公式繁琐,进行实际应用有困

难. 使用近似的方法, 假定 R_{sd} 与 E_{LDD} 成线性关系, 即

$$R_{sd} = -kE_{LDD} + b, \quad (9)$$

其中 k, b 为拟合参数. 把式(9)代入式(6), 得到 R_{sd} 与 V_d 的关系

$$R_{sd} = \frac{b}{2} - \frac{1}{2G_{dmax}} - \frac{kV_d}{2L_{LDD}} + \frac{\sqrt{-4bG_{dmax}^2kL_{LDD}V_d + (-L_{LDD} - bG_{dmax}L_{LDD} - G_{dmax}kV_d)^2}}{2G_{dmax}L_{LDD}}, \quad (10)$$

再代入式(5)即可求出 V_{d0} 关于 V_d 的表达式. 这里引入了 4 个参数 (b, k, G_{dmax}, L_{LDD}). 调整优化这 4 个参数, 再用 BSIM3v3 模拟结果如图 4 所示.

从图 4 可知, 在较低 V_{ds} 时, 此宏模型可以降低 G_d , 但拟合效果不理想, 只能作为一种定性分析, 同时它的计算复杂度较高(式(10)), 因此不适用于实际的电路仿真.

3 经验模型

本模型从 $V_{d0} - V_d$ 的实验关系出发, 构造它们之间的函数表达式. 对于较小的 V_d , 根据式(4)^[1]得

$$V_{d0} = \frac{I_d}{G_{dmax}}, \quad (11)$$

$$\frac{V_{d0}}{V_d} = \frac{I_d}{V_d G_{dmax}}. \quad (12)$$

根据测量数据及式(12)可得 $V_{d0}/V_d - V_d$ 关系如图 5(a). 对于较小 V_d ($< 0.5V$) 不同 V_g 所对应的 $V_{d0}/V_d - V_d$ 关系很接近(图 5(a)). 对于较大的 V_d 式(12)不再适用, 图 5(a)中竖直的虚线的右边无效. 由于场助激发导致杂质完全电离, 因此串联电阻降得很低, 所以

$$V_{d0} \approx V_d, \quad (13)$$

即是

$$V_{d0}/V_d \approx 1. \quad (14)$$

综合以上所得, 全区间 $V_{d0}/V_d - V_d$ 关系如图 5(b)所示.

这里分别用两种函数模拟图 5(b)所示的关系: 双曲线和指数曲线, 构造的函数关系如下

$$F_{hyp} = V_{d0}/V_d = 1 - \frac{LDD0}{LDD1 + V_d}, \quad (\text{双曲线}) \quad (15)$$

$$F_{exp} = V_{d0}/V_d = 1 - LDD0 \times e^{-LDD1 \times V_d}, \quad (\text{指数曲线}) \quad (16)$$

分别推导出

$$\text{HYP(双曲线)}: V_{d0} = \left(1 - \frac{LDD0}{LDD1 + V_d}\right)V_d, \quad (17)$$

$$\text{EXP(指数曲线)}: V_{d0} = (1 - LDD0 \times e^{-LDD1 \times V_d})V_d, \quad (18)$$

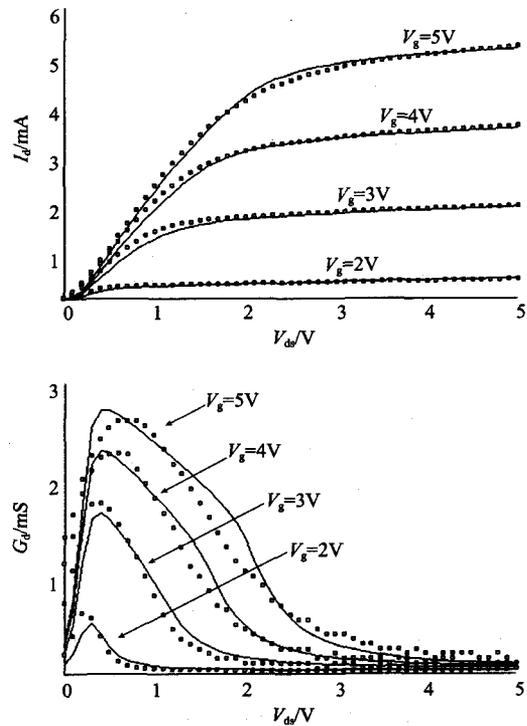


图 4 根据线性简化关系得到的 $I_d - V_{ds}, G_d - V_{ds}$ 曲线图
Fig.4 Characteristics of $I_d - V_{ds}, G_d - V_{ds}$ due to the simplified linearity (PMOS, $W/L = 20\mu\text{m}/0.6\mu\text{m}, T = 35K$)

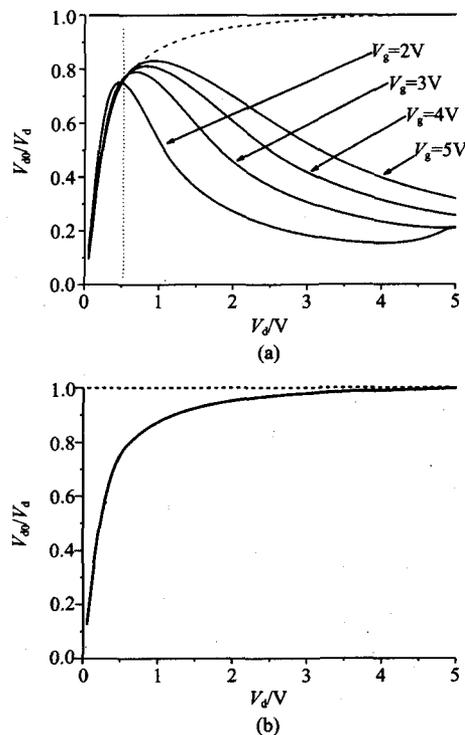


图 5 $V_{d0}/V_d - V_d$ 关系曲线
Fig.5 Characteristics of $V_{d0}/V_d - V_d$

其中 LDD0, LDD1 为拟合参数. 选取合适的 LDD0,

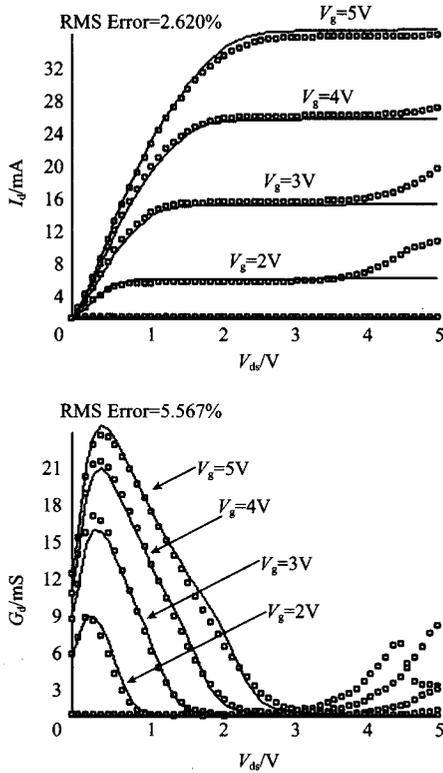


图6 指数 LDD 宏模型的 $I_d - V_{ds}$, $G_d - V_{ds}$ 特性曲线 (NMOS, $W/L = 96\mu\text{m}/3\mu\text{m}$)
 Fig.6 Characteristics of $I_d - V_{ds}$ and $G_d - V_{ds}$ due to exponential LDD model (NMOS, $W/L = 96\mu\text{m}/3\mu\text{m}$)

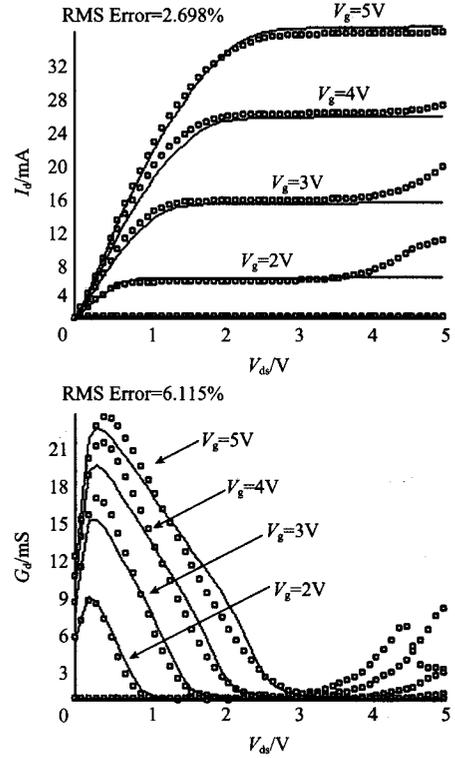


图7 双曲 LDD 宏模型的 $I_d - V_{ds}$, $G_d - V_{ds}$ 特性曲线 (NMOS $W/L = 96\mu\text{m}/3\mu\text{m}$)
 Fig.7 Characteristics of $I_d - V_{ds}$ and $G_d - V_{ds}$ due to hyperbolic LDD model (NMOS, $W/L = 96\mu\text{m}/3\mu\text{m}$)

LDD1 进行参数提取和优化,即可完成从 V_d 到 V_{d0} 的转化.

图6和图7分别为指数宏模型和双曲宏模型的 $I-V$ 特性曲线.对比图1,这两种模型对于线性区的拟合程度有了很大的改善.对于不同宽长比的器件,模拟结果的统计如图8(由于存在 Kink 效应,长沟道器件的均方根误差较大^[4]).图8表明指数宏模型要优于双曲宏模型,但由于前者需要做指数运算,因此计算速度不如后者.

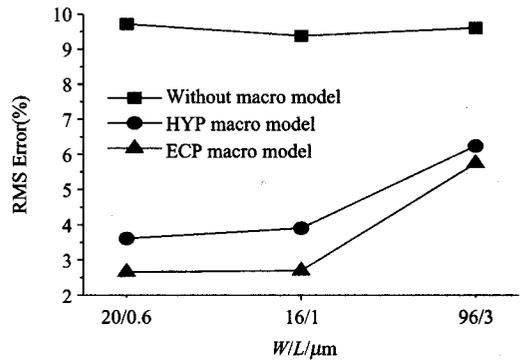


图8 三种不同宏模型的均方根误差统计
 Fig.8 RMS errors of three different macro models

4 LDD 串联电阻宏模型的电路级验证

4.1 CMOS 传输门的仿真和分析

根据上述分析,确立指数模型为优化的低温宏模型,用此模型对 CMOS 传输门进行 SPICE 仿真,图9为传输门的导通电阻特性.图9表明 LDD 效应导致传输门的导通电阻明显增大,造成大的 RC 延迟,降低数字电路和开关电容电路的速度.因此要提高速度则需增大传输管的宽长比来降低导通电阻.

4.2 两级运放的仿真和分析

图10为带频率补偿的两级运放,密勒电容与输

出端之间为零点消除电阻,其作用是抑制右半平面的零点,达到提高相位裕度的目的.零点消除电阻通常用 CMOS 传输门实现,在 35K 的低温下,这个电阻会比设计值大得多,从而导致零点频率太低,无法与第一个非主极点相抵消.仿真结果表明,常规模型所设计的相位裕度为 80.1° ,而实际到 35K 低温工作考虑 LDD 效应时,相位裕度下降至 25.8° ,电路的稳定性下降,严重偏离设计初衷.因此在设计此电路时必须考虑 LDD 电阻问题,提高传输管的宽长比从

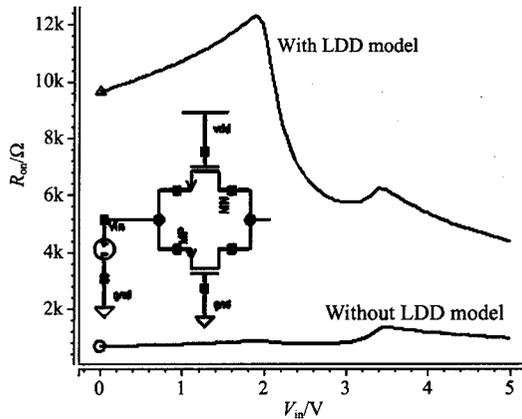


图9 CMOS 传输门导通电阻特性

Fig. 9 On-resistance characteristics of CMOS transmission gate

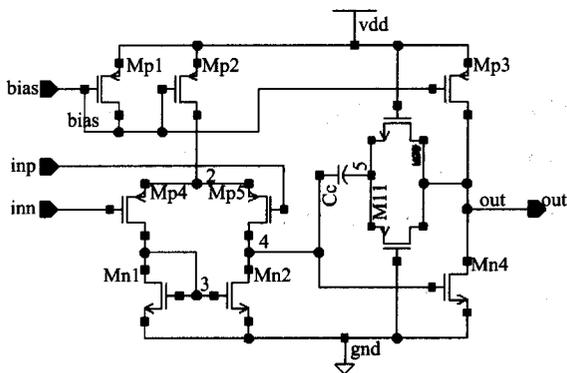


图10 带频率补偿的两级运放

Fig. 10 Two stage OP-AMP with frequency compensation

而降低串联电阻。

5 结语

综合三种模型可知,第一种半经验模型需要4个额外参数,计算公式和子电路比较繁琐,模拟效果不理想;第二种双曲宏模型和第三种指数宏模型均只需两个额外参数,计算公式和子电路较为简单,且模拟效果比较理想,适合于电路仿真,其中指数模型要优于双曲模型。

本文通过对比 BSIM3v3 模型的仿真结果与实际测量曲线,针对 BSIM3v3 模型无法模拟 LDD 串联电阻的异常现象,提出了双曲线和指数两种经验宏模型。这两种宏模型新增了2个拟合参数,并通过经验公式完成 V_d 到 V_{d0} 的转化,事实证明这种转化比直接考虑串联电阻要简洁和方便。对加入了宏模型的 CMOS 器件进行参数提取,提取参数后的仿真结果与实际测量值拟合得很好,并运用此模型对 CMOS 传输门和两级运放进行了仿真,结果表明 LDD 效应对这些电路产生了重要的影响

REFERENCES

- [1] Hafez I M, Ghibaudo G, Balestra F, et al. Impact of LDD structures on the operation of silicon MOSFETs at low temperature [J]. *Solid-State Electronics*, 1995, 38: 419—424.
- [2] Weidong Liu, Xiaodong Jin, Kanyu. M. Cao. *BSIM3v3.3 MOSFET Model User's Manual* [M]. University of California, Berkeley, 2005.
- [3] Yoshikawa N, Tomida T, Tokuda M, et al. Characterization of 4K CMOS devices and circuits for hybrid Josephson-CMOS systems [J]. *IEEE Transactions on applied superconductivity*, 2005, 15: 267—271.
- [4] LIU Wen-Yong, FENG Qi, DING Rui-Jun. Impact of Kink effect on CMOS readout circuits for cryogenic operation [J]. *Laser & Infrared* (刘文永,冯琪,丁瑞军. Kink 效应对低温 CMOS 读出电路的影响. *激光与红外*), 2007, 37 (B09): 990—992.