

MOCVD 生长的平面型 InGaAs/InP PIN 光电探测器件

杨志鸿 王树堂 曾 靖 朱龙德
孙 捷 夏彩虹 沈 戎 归 强

(中国科学院半导体研究所, 北京, 100083)

摘要: 讨论了采用 MOCVD 技术生长的平面型 InGaAs/InP PIN 器件的光学特性及制备工艺. 通过引入 InP 窗口层并制备合适的抗反射膜, 大大提高了器件的量子效率, 达到~96%, 采用平面型结构有可能改善器件的稳定性和可靠性.

关键词: 平面型 PIN, 器件特性, 量子效率.

引言

用于 (1.0 ~ 1.6 μm) 波段的长波长光电探测器是发展长波长光纤通信的关键器件之一, InGaAs/InP PIN 和 APD 器件在 1.3 μm 和 1.55 μm 这两个光纤通信的窗口波段都具有高的响应^[1,2]. 目前的器件大多采用背面进光的台面型结构^[3], 但由于背面进光时 InP 衬底对光的自由载流子吸收, 使器件的量子效率受到限制. 而采用平面型结构并同时引入对入射光透明的 InP 窗口层, 可以消除 InP 衬底对光的部分吸收, 可使器件的量子效率有很大提高. 同时, 由于平面型结构器件的 PN 结不外露, 使器件特性受环境变化影响较小, 因而使器件的稳定性和可靠性有较大的改善^[4]. 本文主要介绍采用 MOCVD 方法生长的平面型 InGaAs/InP PIN 光电探测器的有关特性.

1 器件的结构和制备

1.1 器件的结构

平面型 InGaAs/InP PIN 器件的结构如图 1 所示. 我们采用 MOCVD 方法在 $\text{N}^+\text{-InP}$ 衬底 (掺 S, $N_D = 1 \times 10^{18} \text{ cm}^{-3}$) 上连续生长 N-InP 缓冲层 (厚度 1 μm), 不故意掺杂的 N-InGaAs 光吸收层 (载流子浓度 $3 \times 10^{15} \text{ cm}^{-3}$, 厚度 3.5 μm), 最后生长一层对入

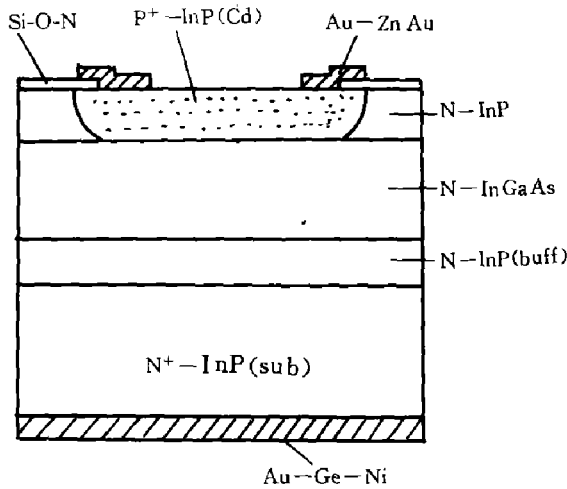


图 1. 平面型 InGaAs/InP PIN 器件的结构

Fig. 1 Structure of planar InGaAs/InP PIN device

光敏面上制备 Al_2O_3 抗反射膜, 以消除 InP 材料与空气界面对光的反射, 从而提高器件的量子效率.

2 器件的特性

我们对以上平面型 InGaAs/InP PIN 器件的特性进行了测试和分析. 平面型器件因为采用了 InP 窗口层, 克服了背面进光器件 InP 衬底对光的自由载流子吸收, 可以获得高的量子效率, 但由于 InP 与空气界面对光的反射, 使 $\sim 30\%$ 的入射光由于反射而损失, 从而使器件的量子效率受到限制. 为了提高器件的量子效率, 必须制备合适的抗反射膜以消除界面对光的反射. 根据有关理论^[5], 抗反射膜必须满足两个条件: 一是其折射率应为

射光透明的 N-InP 窗口层 (载流子浓度 $3 \times 10^{15} \text{ cm}^{-3}$, 厚度 $\sim 1.3 \mu\text{m}$). 外延片表面光亮.

1.2 器件的制备

将 MOCVD 生长的外延片用等离子 CVD 方法淀积一层致密的厚 $\sim 2000 \text{ \AA}$ 的 Si-O-N 介质膜, 用标准的光刻工艺在 Si-O-N 掩膜上刻出直径 ϕ 为 $100 \mu\text{m}$ 的孔, 然后采用扩散的方法形成 P⁺N 结. 我们采用 Cd_3P_2 扩散源进行扩散, 由于 Cd 在 InP 中的扩散速度比在 InGaAs 中要快得多, 因此可以很好地控制扩散结的位置, 使 P⁺N 结正好在 InP/InGaAs 界面附近靠近 InGaAs 一侧. 利用 InP 窗口层形成 P⁺N 结, 这样可以消除非耗尽区内光的吸收, 从而提高器件的量子效率. 然后再在 P 面和 N 面分别蒸发 Au-Zn-Au 和 Au-Ge-Ni, 并采用适当的温度合金, 完成 P 面和 N 面电极的制备. 最后用电子束蒸发方法在

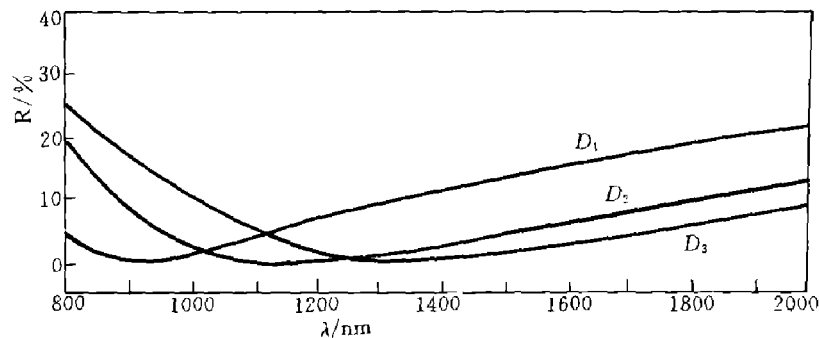


图 2 不同厚度 D 的 Al_2O_3 薄膜的反射曲线

D_1 : $1300 \sim 1400 \text{ \AA}$, D_2 : $1700 \sim 1800 \text{ \AA}$, D_3 : $2000 \sim 2100 \text{ \AA}$

Fig. 2 Reflection curves of Al_2O_3 AR coating with different thickness D

$\eta_{\text{抗}} = \sqrt{\eta_{\text{InP}} \cdot \eta_{\text{空}}} = 1.8$, 二是其厚度应为光在该介质中波长的四分之一, 即 $d = \lambda/4\eta_{\text{抗}}$. 因此, 我们选择折射率为 1.8 左右的材料制作增透膜. 由于现有条件的限制, 我们选择了折射率为 1.63 的 Al_2O_3 材料作增透膜. 根据有关计算, 折射率偏差引起的反射仅为 1%, 因此, 采用适当厚度的 Al_2O_3 薄膜完全可以起到增透作用. 我们采用电子束蒸发技术在平面型 InGaAs/InP PIN 器件的进光面上蒸发了一层厚 $\sim 2000\text{\AA}$ 的 Al_2O_3 薄膜作为增透膜, 主要通过控制其厚度, 使增透膜的各种参数达到理论计算要求.

我们制备 3 种不同厚度的 Al_2O_3 薄膜, 测量了这些薄膜的反射率随波长的变化情况, 如图 2 所示. 从图可见, 3 个不同厚度的 Al_2O_3 增透膜分别在 0.9、1.1 和 1.3 μm 附近有最小的反射率, 并且这些最小反射率均小于 2%, 由此可见, 厚度约为 2000 \AA 的 Al_2O_3 膜在 1.3 μm 附近完全能起到增透作用.

由于引入 InP 窗口层, 并制备合适的 Al_2O_3 抗反射膜, 消除了 InP 衬底的自由载流子吸收和表面反射, 可使平面型 PIN 器件获得很高的量子效率. 图 3 为典型的平面型 InGaAs/InP PIN 器件的特性测试曲线. 图中曲线 I_d 为无光照时的暗电流-电压曲线 (即 $I_d - V$), 由图可见, 在 -5V 偏压下, 其暗电流约为 0.5 nA; I_p 是入射光功率为 $1\ \mu\text{W}$ 时的光电流-电压 (即 $I_p - V$) 曲线, 由图可见, 我们制备的平面型 InGaAs/InP PIN 器件在入射光波长为 1.3 μm 的响应度约为 $1.0\ \mu\text{A}/\mu\text{W}$.

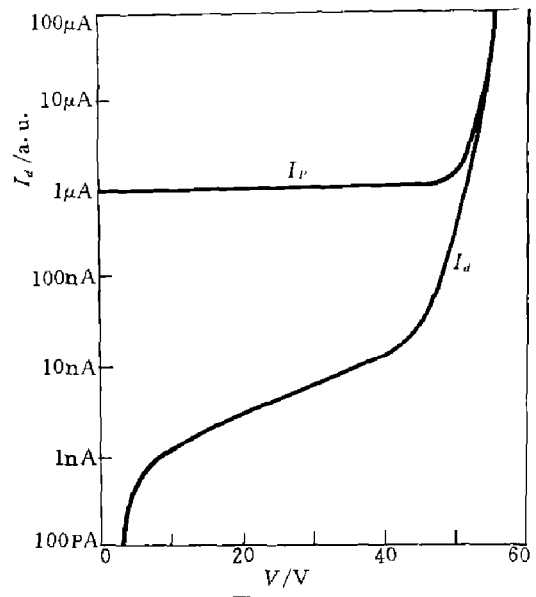


图 3 平面型 InGaAs/InP PIN 器件的特性曲线
Fig. 3 Characteristics of planar InGaAs/InP PIN photodetector

3. 结论

我们制作的平面型 InGaAs/InP PIN 器件, 由于克服了 InP 衬底对光的自由载流子吸收, 同时通过制备合适的 Al_2O_3 抗反射膜, 可以获得 $\sim 96\%$ 的量子效率. 采用平面型结构还可能使器件的稳定性和可靠性有较大改善, 有关器件可靠性的研究尚在进行中.

致谢: 刘德钧同志在器件增透膜的制作方面给予了很大帮助, 潘贵生老师为器件的测试提供了很多方便, 在此作者表示衷心的感谢!

参考文献

- 1 Stillman GE, Cook LW et al. *IEEE Trans. Electron. Devices*, 1982, **ED-29**:1355
- 2 Forrest SR. *Laser Focus*, 1982, **18**:81
- 3 Burrus CA, Dentai AG, Lee TP. *Opt. Commun.*, 1981, **38**:124
- 4 Saul RH, Chen FS et al. *AT&T Tech. J.*, 1985, **64**:861-882
- 5 Baumeister P, Picus G. *Sci. Amer.*, 1969, **223**:59

PLANAR InGaAs/InP PIN PHOTODETECTORS GROWN BY MOCVD

YANG ZHIHONG, WANG SHUTANG, ZHEN JIN, ZHU LONGDE,
SHUN JIE, XIA CHAIHONG, SHEN RONG, GUI QIANG

(Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The optical characteristics and fabrication process of planar InGaAs/InP PIN devices grown by MOCVD are discussed in this paper. After growing an InP window layer on the InGaAs absorption layer and fabricating an appropriate anti-reflection coating, the quantum efficiency of the planar PIN devices increases obviously, reaching approximately 96%. At the same time, the stability and reliability of the devices may be improved because of using the planar structure.

Key words: planar PIN, device characteristics, quantum efficiency.