

多层 HgCdTe 异质外延材料的热退火应力分析

沈川^{1,2}, 顾仁杰^{1,2}, 陈路¹, 何力¹

(1. 中国科学院上海技术物理研究所 红外材料与器件重点实验室, 上海 200083;
2. 中国科学院研究生院, 北京 100039)

摘要:前期研究采用高温热处理方法, 获得了抑制位错的最佳退火条件. 通过对比实验, 发现不同衬底上 HgCdTe 表面的 CdTe 钝化层在热处理过程中对位错的抑制作用各有不同. 结合晶格失配应力和热应力对不同异质结构进行理论计算, 借助 X 射线摇摆曲线的倒易空间分析, 解释了 CdTe 钝化层对 HgCdTe 位错抑制的影响作用.

关键词:碲镉汞; 碲化镉钝化层; 热退火; 位错; 应力

中图分类号: TN304.2 + 5 **文献标识码:** A

Stress effects on multi-heterostructure HgCdTe by thermal annealing

SHEN Chuan^{1,2}, GU Ren-Jie^{1,2}, CHEN Lu¹, HE Li¹

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: With the rapid development in larger-area HgCdTe infrared detector device, high-quality HgCdTe epilayers grown by molecular beam epitaxy (MBE) are required. One of its challenges is to reduce the high dislocation density in HgCdTe. In this paper, thermal annealing (TA) had been performed and the best annealing temperature and time have been acquired. A series of researches were performed to study the effects of the CdTe passivation layer over HgCdTe on dislocation reduction after thermal annealing. The relation of lattice mismatch stress and thermal stress in HgCdTe layer in the TA process was studied by theoretical calculation. Reciprocal space of X-ray rocking curve of HgCdTe was also analyzed. It explained the different phenomena of HgCdTe epilayer with and without CdTe cap in the TA process.

Key words: HgCdTe; CdTe passivation layer; thermal annealing; dislocation; stress

PACS: 68.55.Ln, 72.80.Ey, 81.05.Dz

引言

大面积替代衬底上的 HgCdTe 分子束外延技术是应对红外焦平面像元规模扩大的关键技术之一, 广受研究关注. 其面临的挑战之一就是如何降低外延层的高密度失配位错. HgCdTe 红外焦平面器件像元规模的不断扩大, 促使人们将研究关注于低成本, 大面积地替代衬底 HgCdTe 分子束外延技术. GaAs、Ge 和 Si 成为替代衬底的首选^[1-6]. 然而, 由于替代衬底和 HgCdTe 之间较大的晶格失配, 易于在外延材料中产生高密度 ($10^6 \sim 10^7 \text{ cm}^{-2}$) 的位错. 因此替代衬底的异质外延技术面临的挑战之一就是如何降

低 HgCdTe 外延材料中的位错密度.

高温热退火 (TA) 是抑制材料位错的有效方法之一, 因此广受关注^[7-11]. 前期实验表明, 经过原位外的快速热退火 (500°C , 1 min) 能显著地抑制 CdTe/Si 的位错密度, 最好结果为 $2.5 \times 10^5 \text{ cm}^{-2}$. 同时, 通过对 HgCdTe 进行原位外的高温热退火, 分别研究了单次短时间热退火、单次长时间热退火和循环热退火, 通过实验结果以及相关的理论计算对比, 得到最佳的退火条件. 根据最佳退火条件, HgCdTe 外延材料的位错密度约能降低半个数量级, 最好的结果为 $3 \times 10^6 \text{ cm}^{-2}$, 具体研究过程和结果见参考文献 [12-13].

在退火实验研究中发现,外延材料表面是否覆盖 CdTe 钝化层将直接影响退火对位错的抑制作用. 通过对比实验,发现不同衬底体系的 HgCdTe 表面 CdTe 钝化层在热处理过程中对位错的抑制作用各有不同. 基于组合杆应力分析模型,理论计算获得退火过程中不同异质材料体系内晶格失配应力和热应力的对应关系,解释了 CdTe 钝化层在热退火中对位错抑制的影响作用. 对不同异质结构的薄膜进行 X 射线双晶摇摆曲线测试(XRD DCRC)的倒易空间分析,证实了上述理论解释.

实验采用统计位错腐蚀坑密度(EPD)的方法评价 TA 前后材料的位错密度变化. 应用光学显微镜,傅里叶光谱仪(FTIR)和 XRD 对外延材料的晶体质量等性能进行表征.

1 实验

HgCdTe 异质结构在 Riber 32 分子束外延系统中进行生长,衬底材料为 3inGaAs(211)B 或 Si(211)B. 图 1 是 HgCdTe/CdTe/Si(GaAs) 多层异质外延材料的结构示意图. 在超高真空腔体内,衬底经除气,高温脱氧后,先外延一层 6 ~ 10 μm 的 CdTe 缓冲层,生长温度为 280 $^{\circ}\text{C}$. 然后再继续外延 9 ~ 13 μm 的 HgCdTe,生长温度 180 $^{\circ}\text{C}$. HgCdTe 外延过程中,由于在生长温度下 Hg 的粘附系数极低,因此 HgCdTe 外延结束后需要原生覆盖一层 CdTe 钝化层,如图 1 所示,以防止 Hg 从表面脱附形成多晶.

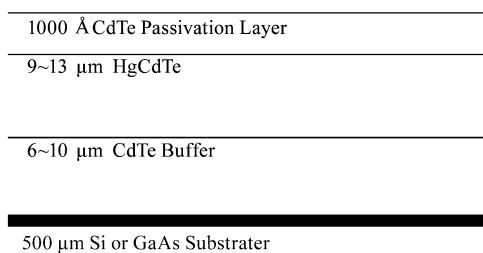


图 1 HgCdTe 外延材料的结构示意图
Fig. 1 The sketch of structure of HgCdTe epilayers

外延后的 HgCdTe/Si 和 HgCdTe/GaAs 材料切割成大小为 10 mm \times 10 mm 的方形样品,其中 HgCdTe/Si 样品 9 个,HgCdTe/GaAs 样品 4 个. 部分样品在 0.2% 溴甲醇中将 CdTe 钝化层腐蚀去除,氮气吹干后迅速放入具有 Hg 饱和蒸汽的真空石英管中封好,进入退火炉进行高温热退火. Hg 饱和蒸汽的作用是防止高温下无 CdTe 钝化层的 HgCdTe 形成表面蒸发. 样品分别被加热到相应的退火温度并

稳定一定时间. 退火过程中的温度变化曲线如图 2 所示. 前期的研究表明,高温热退火能有效减少 HgCdTe 外延材料中的位错密度,得到的位错密度约能降低半个数量级,最好的结果为 $3 \times 10^6 \text{ cm}^{-2}$. 为了兼容 HgCdTe 表面形貌,晶体质量,电学性质,最合适的退火条件是温度为 400 ~ 450 $^{\circ}\text{C}$,时间是 10min. 图 3 为退火前后 HgCdTe 的光学显微镜照片. 由图可见,退火前后表面对比没有明显的表面蒸发和缺陷增殖情况.

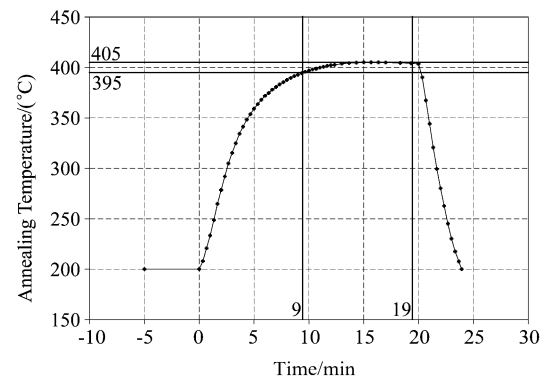


图 2 退火过程中的温度曲线,取退火温度 $T = 400^{\circ}\text{C}$
Fig. 2 Temperature versus time in the TA process. The temperature was kept for 10min at 400 $^{\circ}\text{C}$

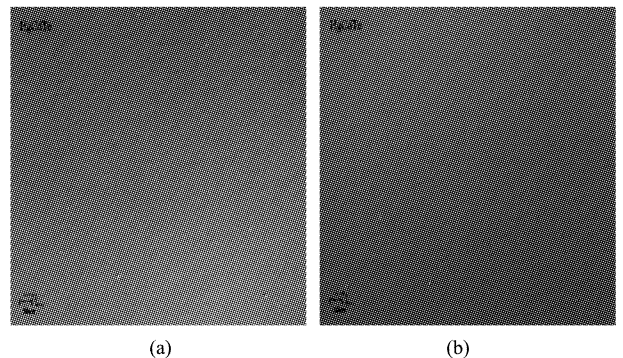


图 3 无 CdTe 钝化层覆盖的 HgCdTe 的光学显微镜表面照片(a)退火前,(b)退火后
Fig. 3 Surface images of HgCdTe without CdTe passivation layer (a) before annealing, and (b) after annealing

样品的位错密度用 EPD 表征,EPD 腐蚀溶液选取陈氏腐蚀液^[14]($\text{H}_2\text{O} / \text{HNO}_3 / \text{HCl} / \text{K}_2\text{Cr}_2\text{O}_7 = 80 \text{ mL} / 20 \text{ mL} / 10 \text{ mL} / 8 \text{ g}$),腐蚀时间 2.5 min,腐蚀厚度约为 2.5 μm ,且经过多次对比实验得到有无 CdTe 钝化层对腐蚀结果没有影响. 有无 CdTe 钝化层的 HgCdTe/Si 和 HgCdTe/GaAs 材料经高温热退火后位错变化情况的比较见图 4. 其中 D_0 为退火前 HgCdTe 的位错密度, D 为经过热退火后的 HgCdTe

的位错密度. 利用 D/D_0 表征位错减小量. 图 4 显示, 对于 HgCdTe/Si 样品, 有无 CdTe 钝化层的覆盖, 退火前后位错变化的结果出现显著的不同. 没有 CdTe 钝化层覆盖的 HgCdTe/Si 样品, 高温退火对位错的抑制作用显著. 退火前后位错减小量 D/D_0 为 0.6 ~ 0.78, 且呈现退火温度越高位错减小越明显的趋势. 然而, 有 CdTe 钝化层覆盖的 HgCdTe/Si 则明显不同, 对高温退火后位错几乎无抑制作用. 再评价 HgCdTe/GaAs 体系, 不管有无 CdTe 钝化层覆盖, 位错密度的变化量几乎相同, 如图可见, 退火温度为 400°C 时, D/D_0 均为 0.7, 当退火温度为 450°C 时, D/D_0 均为 0.56.

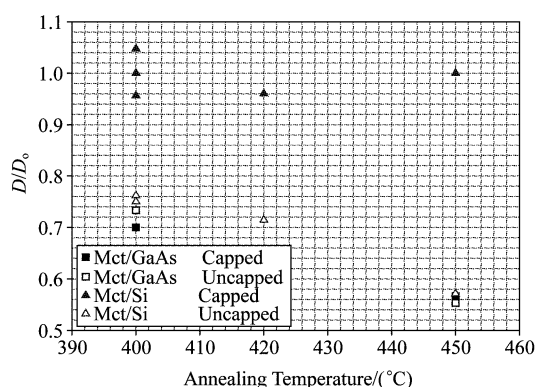


图 4 有无 Cap 层的 HgCdTe/Si 和 HgCdTe/GaAs 材料经过高温热退火后位错变化的结果. 退火温度 400°C ~ 450°C, 退火时间 10 min.

Fig. 4 The results of the dislocation reduction of HgCdTe/Si and HgCdTe/GaAs with and without CdTe cap layer

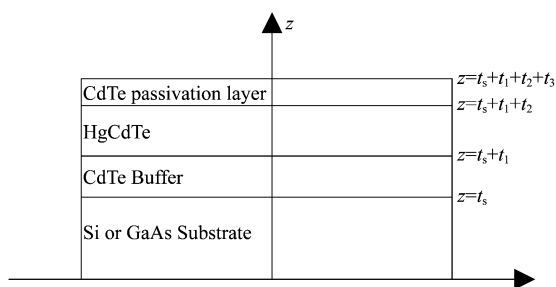


图 5 多层异质结构的截面示意图. z 轴为生长方向, x/y 分别为生长平面内 $[1-1-1]$ 和 $[01-1]$

Fig 5 Cross section of double-heterostructure

2 理论分析

针对上述不同材料结构体系中高温退火对位错抑制作用不同的现象, 采用组合杆模型对多层异质结构进行应力应变计算, 再使用本小组修正于

Masafumi 的 GaAs/Si 简单位错模型^[15]而获得的适用于 HgCdTe/Si 和 HgCdTe/GaAs 体系的位错运动模型进行相应计算, 发现异质结构中的应力是热退火过程中推动位错运动的直接原因. 而 CdTe 钝化层的覆盖直接改变了 HgCdTe/缓冲层/衬底多层结构中的应力状态, 从而直接影响了热退火对位错的抑制作用.

组合杆模型的异质结构截面示意图见图 5. 多层膜中的残余应力由晶格失配应力和热应力构成.

对于计算多层 HgCdTe 异质结构中的晶格失配应力, 考虑到结构内部的晶格失配应力是和外延层的临界厚度 h_c 息息相关的, 可以对图 5 结构进行相应的简化. 当外延层的厚度小于临界厚度 h_c 时, 外延层为完全应力状态, 当外延厚度大于 h_c 时, 这时认为外延层进入应力弛豫状态, 晶格失配应力则开始减弱. 对于计算临界厚度, Cohen-Solal 等人^[16]提出一个理论模型:

$$h_c = A^* f_m^{-3/2}, \quad (1)$$

其中, h_c 为临界厚度, f_m 为层与层之间的失配度, A^* 为相关参数, 对于 II-IV 族半导体材料取经验值为 0.45 Å. 由样品的各参数, 计算得到 HgCdTe ($x = 0.42$) 层的临界厚度为 5579.9 Å, CdTe 缓冲层的临界厚度为 5433.5 Å. 而 HgCdTe 层厚度为 10 μm 左右, 远大于其临界厚度; 同样 CdTe 缓冲层的厚度已完全超出临界厚度. 因此其处于完全弛豫状态, 即忽略缓冲层和衬底的晶格差异对 HgCdTe 产生的应力. 可以把图 5 的多层异质结构简化为双层结构, 即 10 μm 的 HgCdTe 层和 0.1 μm 的 CdTe 钝化层.

在考虑材料各向异性的前提下, 利用组合杆的平衡条件, 运用任意坐标系应力与应变的关系, 建立了满足一般双轴应力模型边界条件的异质结构异质结构应变和应力分布的物理模型, 并将其应用于 CdTe 钝化层/HgCdTe 双层异质结构的应变和应力分布研究, 获得该种材料结构的应力、应变和弯曲的特性. 通过组合杆模型的两个平衡条件结合新坐标下双层之间的晶格失配应力和应变的关系^[17].

$$\sigma_x^1 = K_{11}^1 \left(\varepsilon_{1,latt}^x + \frac{z - t_{b,th}^x}{r_{th}^x} \right) + K_{12}^1 \left(\varepsilon_{1,latt}^y + \frac{z - t_{b,th}^y}{r_{th}^y} \right), \quad (2)$$

$$\sigma_y^1 = K_{21}^1 \left(\varepsilon_{1,latt}^x + \frac{z - t_{b,th}^x}{r_{th}^x} \right) + K_{22}^1 \left(\varepsilon_{1,latt}^y + \frac{z - t_{b,th}^y}{r_{th}^y} \right), \quad (3)$$

其中 σ_1 为 HgCdTe 层中应力, $t_{b,th}$ 中性轴, $r_{b,th}$ 曲率半径. K_{11} , K_{12} , K_{21} 和 K_{22} 为经过坐标变化后应力和应变

间关系的相关常数. 由此可以计算得到晶格失配应力随外延层厚度的变化关系, 见图 6(a).

从图中可以看到, 理论计算所得在 HgCdTe 层中, 晶格失配产生的应力随着外延层厚度的变化很大, 从 -2.5×10^6 到 5×10^6 Pa, 经过一个零点, 为外延材料中的中心轴. 但同时根据临界厚度原理, 可以得到, 晶格失配产生的应力只在 h_c 附近对材料有较大的影响, 所以这里假设由于晶格失配, HgCdTe 外延层受到 CdTe 钝化层产生的应力大小为 5×10^6 Pa.

表 1 相关材料的热膨胀系数^[18]

Table 1 Thermal expansion coefficients for some materials^[18]

温度/K	材料	热膨胀系数/ K^{-1}
300	CdTe	4.7×10^{-6}
	HgCdTe	5×10^{-6}
	Si	3×10^{-6}
	GaAs	6.8×10^{-6}

由于, CdTe 和 HgCdTe 材料有几乎相近的热膨胀系数, 如表 1 所示, 同时, CdTe 钝化层的厚度为 0.1 μm , 远小于 HgCdTe 层的厚度, 故高温下产生的形变对 HgCdTe 的热应力作用可以忽略. 所以, 在计算多层 HgCdTe 异质结构在经高温热退火所受到的热应力时, 将简化为三层结构, 忽略 CdTe 钝化层的影响. 对于 HgCdTe 外延材料在热退火中的热应力的变化, 在前期研究中有较完整的阐述^[12-13], 这里不再详细记述. 通过理论计算, 由于温度的变化以及材料热胀系数不同而使外延材料中产生的热应力与外延层厚度的变化如图 6(b) 和 6(c), 其中计算所用退火温度为 400 $^{\circ}C$.

由图 6(b) 和 6(c) 可以看到, 在温度达到 400 $^{\circ}C$ 时 Si 和 GaAs 的衬底结构样品在 HgCdTe 层中的热应力方向相反(+ -号). 加热状态下 Si/HgCdTe 薄膜所受热应力为压应力, 由负值表示. GaAs/HgCdTe 薄膜所受热应力为张应力, 用正值表示. 当 HgCdTe 上覆盖 CdTe 钝化层时, HgCdTe 薄膜受到的晶格应力为压应力, 用正值表示. 从图 6 可见, 薄膜所受的应力均在相近的数量级上. 由于应力为矢量, 可叠加. 所以在高温热退火的过程中, 当样品加热到 400 $^{\circ}C$ ~ 450 $^{\circ}C$, 使 HgCdTe 层内部受到的应力将和由于带有 CdTe 钝化层而在 HgCdTe 层中产生的应力叠加, 导致 HgCdTe 层中所受的实际应力将于无钝化层覆盖时明显不同.

由 Masafumi 的 GaAs/Si 位错模型^[15] 和改进后适用于 HgCdTe 外延的位错模型^[12-13], 发现异质结构中的应力是热退火过程中推动位错运动的直接原

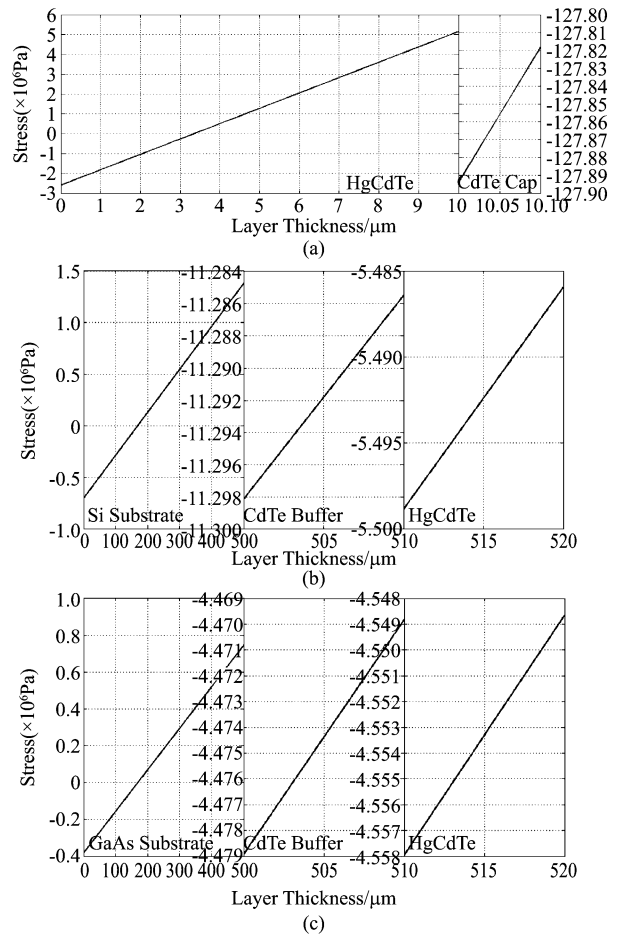


图 6 异质结构中晶格失配应力和热应力分布曲线(a)取 $x = 0.42$, HgCdTe 和 CdTe 钝化层之间的晶格失配应力分布曲线, (b) 退火温度为 400 $^{\circ}C$ 时, HgCdTe/Si 中热应力分布曲线, (c) 退火温度为 400 $^{\circ}C$ 时, HgCdTe/GaAs 中热应力分布曲线

Fig. 6 The stress distribution in HgCdTe heterostructure (a) $x = 0.42$, between HgCdTe and CdTe, (b) $T_{\text{annealing}} = 400^{\circ}C$, between HgCdTe and Si, (c) $T_{\text{annealing}} = 400^{\circ}C$, between HgCdTe and GaAs

因. 将上述计算中获得的不同材料体系 HgCdTe 表面实际应力代入位错计算模型中, 可以得到相应的热退火后位错变化理论曲线, 如图 7 所示.

从图 7 中可以看到, 钝化层的覆盖产生的晶格失配应力, 对 HgCdTe 薄膜的应力状态发生了较大改变, 直接促使热退火推动位错运动的总应力产生变化, 从而影响了最终的结果. 对于 HgCdTe/Si, 当样品加热到 400 ~ 450 $^{\circ}C$, 使 HgCdTe 层内部受到的应力将和由于带有 CdTe 钝化层而在 HgCdTe 层中产生的正应力叠加而相抵消, 导致 HgCdTe 层中所受的实际应力减小. 如图 7(a) 的理论计算结果, 无 CdTe 钝化层的 HgCdTe/Si, 经 10 min 400 $^{\circ}C$ 的

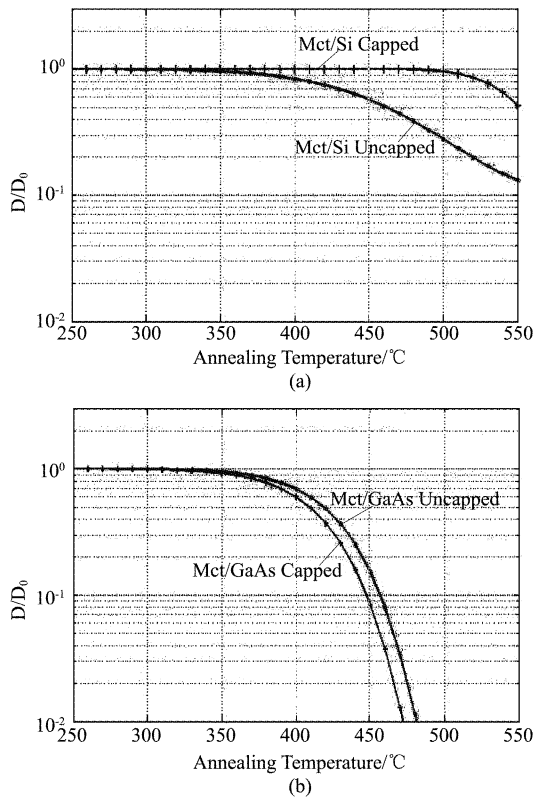


图 7 有无 cap 层对热退火中位错变化的理论曲线 (a)HgCdTe/Si, (b)HgCdTe/GaAs
 Fig. 7 The theoretical calculation of the dislocation reduction with and without CdTe cap layer (a) HgCdTe/Si, and (b) HgCdTe/GaAs

退火,位错密度就开始下降,且温度越高位错减小越显著.然而有 CdTe 钝化层的 HgCdTe/Si 需升温至 600°C,位错的抑制才开始显现变化.对于 HgCdTe/GaAs,由于失配应力和热应力的方向相同,钝化层的覆盖一定程度上增大 HgCdTe 层的总应力,但量不显著,因此其并不对位错的抑制作用产生很大的影响,见图 7(b).上述理论计算结果与实际实验现象一致.

为了验证此理论解释的正确性,对 HgCdTe/Si 和 HgCdTe/GaAs 分别进行 X 射线衍射扫描.通过对样品(211)面进行组合扫描,得到衍射面的倒易空间图.倒易空间图中可以得到材料结构的特性和信息,根据倒易空间图的位置和形状可以定性的评价晶格中的缺陷和应力大小等信息.倒易空间图在 Q_x 方向上的展宽归因于材料内的缺陷,而应变将导致其在 Q_y 方向上的展宽.图 8(a)和 8(b)分别显示了同一 HgCdTe/Si 样品在有无 CdTe 钝化层覆盖状态下的倒易空间图,测试位置相同.由于,退火过程的温度为(400~450°C),XRD 扫描时为室温(23°C),

所以外延材料热应力将随不同的体系而产生不同,从而 HgCdTe 薄膜中的总应力也将发生变化.故这里对总应力计算也进行相应调整.由计算得到室温下无 CdTe 钝化层的 HgCdTe/Si 在 CdTe 钝化层/HgCdTe 界面处的总应力值约为 14.4×10^6 Pa,有 CdTe 钝化层时为 19.4×10^6 Pa.从图 8 中可以看到,在室温条件下,有 CdTe 钝化层样品在 Q_y 方向上的展宽要大于无钝化层样品.同理,得到室温下对于 HgCdTe/GaAs 样品,有 CdTe 钝化层样品倒易空间图中在 Q_y 方向上的展宽要小于无钝化层样品.值得说明的是,由于 X 射线对 HgCdTe 样品的穿透深度大约为 6~7 μ m,实际得到的倒易空间图所代表的信息为此深度内材料的综合平均信息,测量获得的 Q_y 方向上的展宽的差异并没有计算得到总应力的差异那么大.但依然可以证明,即使 CdTe 钝化层厚度远小于 HgCdTe 层厚度, CdTe 钝化层依然对 HgCdTe 薄膜中的总应力产生很大的影响,进而直接作用于热退火中位错的运动.

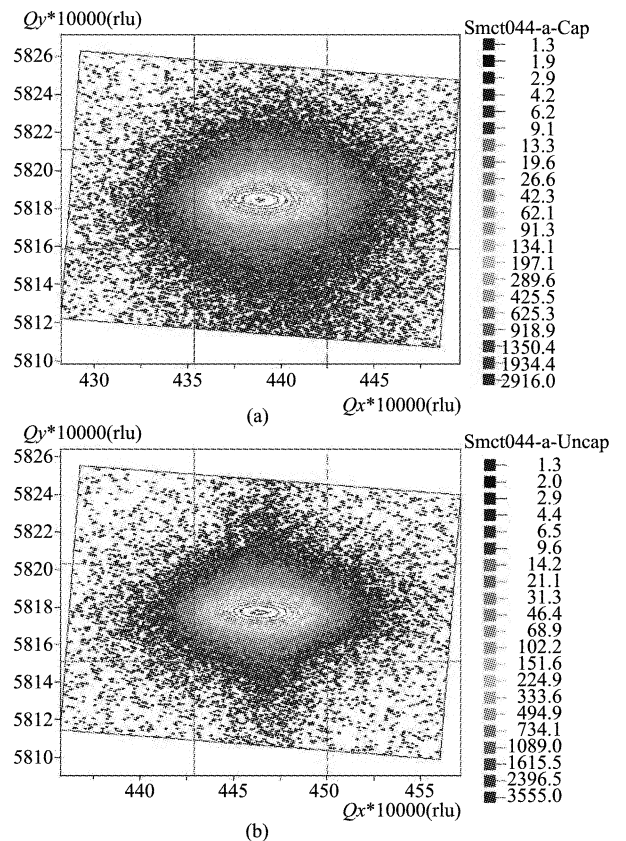


图 8 HgCdTe/Si ($x=0.42$) 在常温下 X 射线倒易空间图 (a)有 CdTe 钝化层结构, (b)无 CdTe 钝化层结构
 Fig. 8 Reciprocal space mappings of HgCdTe/Si epilayer at room temperature (a) with CdTe, (b) without CdTe

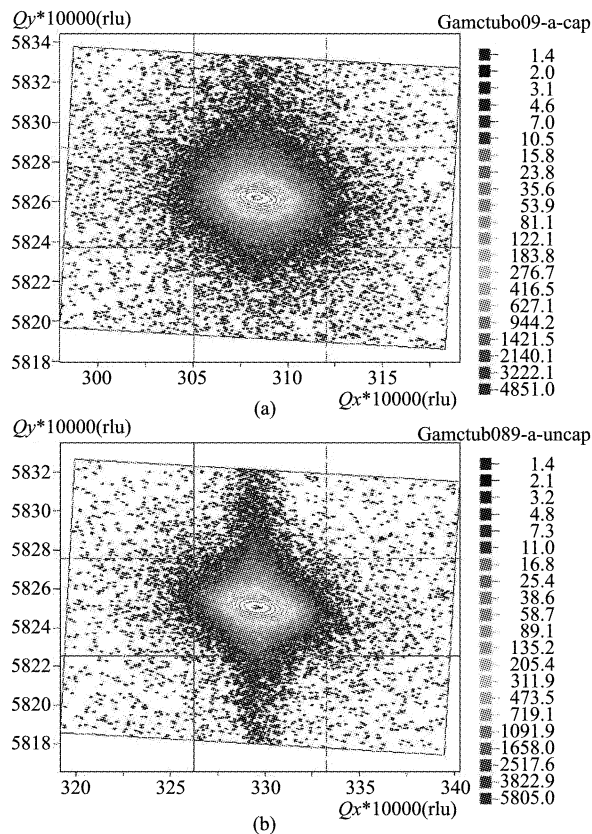


图9 HgCdTe/GaAs($x=0.32$)在常温下X射线倒易空间图(a)有CdTe钝化层结构,(b)无CdTe钝化层结构
Fig.9 Reciprocal space mappings of HgCdTe/GaAs epilayer at room temperature (a) with CdTe, (b) without CdTe

3 结论

高温热退火作为一种能有效改善 HgCdTe 外延位错密度的方法受到较多的研究关注. 通过一系列对比实验,发现不同衬底体系的 HgCdTe 表面 CdTe 钝化层在热处理过程中对位错的抑制作用各有不同. 对于 HgCdTe/Si 外延材料,CdTe 钝化层的覆盖直接抑制了热退火对位错的减小作用,而 HgCdTe/GaAs 外延材料在热退火过程中却不受其影响. 通过理论计算,对比 HgCdTe 外延层中晶格失配应力和热应力对材料的综合作用发现,即使 CdTe 钝化层厚度远小于 HgCdTe 层厚度,CdTe 钝化层依然对 HgCdTe 薄膜中的总应力产生很大的影响,进而直接作用于热退火中位错的运动. 同时,对 HgCdTe/Si 和 HgCdTe/GaAs 分别进行 X 射线衍射扫描,分析其倒易空间图,证明了 CdTe 钝化层的存在将直接改变 HgCdTe 薄膜中的总应力的大小,最终影响退火对位错的抑制作用.

REFERENCES

- [1] Dinan J H , Qadri S B. Structural properties of epitaxial layers of CdTe, ZnCdTe and HgCdTe [J], *Thin Solid Films*, 1985, **131**(3-4): 267 - 278.
- [2] Chu M, Terterian S, Walsh D. Recent progress on LWIR and VLWIR HgCdTe focal plane arrays [J], *Proc. SPIE*, 2005: 5783.
- [3] Carmody M, Pasko J G, Edwall D. LWIR HgCdTe on Si detector performance and analysis [J], *Journal of electronic materials*, 2006, **35**(6): 1417 - 1422.
- [4] Brill G, Velicu S, Boieriu P. MBE growth and device processing of MWIR HgCdTe on large area si substrates [J], *Journal of electronic materials*, 2001, **30**(6), 717 - 722.
- [5] Carmody M, Pasko J G, Edwall D. Status of LWIR HgCdTe on silicon FPA technology [J], *Journal of electronic materials*, **37**(9), 2008:1184 - 1188.
- [6] He L, Chen L, Wu Y, et al. MBE HgCdTe on Si and GaAs substrates [J], *Journal of Crystal Growth*, 2007, **301-302**: 268 - 272.
- [7] Sasaki T, Oda N. Dislocation reduction in HgCdTe on GaAs by thermal annealing [J], *J. Appl. Phys.*, 1995, **78**(5): 3121.
- [8] He L, Wang S L, Yang J R, et al. Molecular beam epitaxy (MBE) in situ high-temperature annealing of HgCdTe [J], *J. Cryst. Growth*, 1999, **201 - 202**:524.
- [9] Chen Y, Farrell S, Brill G, et al. Dislocation reduction in CdTe/Si by molecular beam epitaxy through in-situ annealing [J], *J. Cryst. Growth*, 2008, **310**(24):5303.
- [10] Brill G, Farrell S, Chen Y P, et al. Dislocation reduction of HgCdTe/Si through ex situ annealing [J], *Journal of Electronic Materials*, 2010, **39**(7):967.
- [11] Farrell S, Brill G, Chen Y, et al. Ex situ thermal cycle annealing of molecular beam epitaxy grown HgCdTe/Si layers [J], *J. Electronic Materials*, 2010, **39**(1):43.
- [12] Shen C, Gu R J, Fu X L, et al. Dislocation reduction in CdTe/HgCdTe MBE on Si [J], *Journal of Infrared and Millimeter Waves*, 2011, **30**(6):490.
- [13] Shen C, Gu R J, Fu X L, et al., Effects of thermal annealing on HgCdTe/CdTe/Si (211) by MBE [J], *Proc. SPIE*, 2011, **8193**:81932P.
- [14] Chen M C, List R S, Chandra D, et al. Key performance-limiting defects in P-on-N HgCdTe LPE heterojunction infrared photodiodes [J], *Journal of Electronic Materials*, 1996, **25**(8):1375.
- [15] Yamaguchi M, Yamamoto A, Tachikawa M, et al. Defect reduction effects in GaAs on Si substrates by thermal annealing [J], *Appl. Phys. Lett.* 1988, **53**(23):2293.
- [16] Cohen-Solal G, bailly F. Critical thickness in heteroepitaxial growth of zinc-blende semiconductor compounds [J], *Journal of crystal growth*, 1994, **138**(1-4):68.
- [17] WANG Qing-Xue. Study on models of strain and stress distribution in heterostructures [J]. *Acta Physica Sinica* (王庆学. 异质结构的应变和应力分布模型研究, *物理学报*), 2005, **54**(8): 3757 - 07.
- [18] Capper P. *Properties of Narrow Gap Cadmium based compounds* [M], Short Run Press Ltd, England, 1994.