

# 碲镉汞大面阵红外探测器模块结构应力的有限元分析

张伟婷<sup>1,2</sup>, 陈星<sup>1</sup>, 叶振华<sup>1\*</sup>

(1. 中国科学院上海技术物理研究所 红外成像材料与器件重点实验室, 上海 200083;  
2. 中国科学院大学, 北京 100049)

**摘要:**借助有限元软件分析了原始探测器模块和加入 Kovar 平衡层探测器模块的应力分布情况, 模拟结果表明, 增加 Kovar 平衡层后, 探测器 HgCdTe 外延层上的热应力有所减小, 而探测器芯片表面中心位置处的形变量明显减小。在不改变平衡层材料前提下, 当平衡层厚度为 0.2 mm、0.5 mm、1 mm、1.5 mm 和 2 mm 时, HgCdTe 芯片的最大应力随平衡层厚度的增加呈现先大幅度减小后小幅度增加的趋势, 在厚度取 1 mm 时探测器芯片的最大热应力值最低。通过增加 Kovar 平衡层可有效改善大面阵红外探测器芯片的热应力水平。

**关键词:**碲镉汞; 有限元分析; 结构应力; 可靠性

中图分类号: TN214

文献标识码: A

## Stress in HgCdTe large infrared focal plane array detector analyzed with finite element analysis

ZHANG Wei-Ting<sup>1,2</sup>, CHEN Xing<sup>1</sup>, YE Zhen-Hua<sup>1\*</sup>

(1. Key Laboratory of Infrared Imaging Materials and Devices, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;  
2. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** Finite element analysis software was used to analyze the stress distribution of the original detector module and the detector module adding Kovar equilibrium layer. The simulation results showed that the thermal stress of the detector HgCdTe epitaxial layer decreased to some extent after adding the equilibrium layer, while the low-temperature warpage variable at the center of the detector chip surface decreased significantly. Without changing the material of the equilibrium layer, when the thickness of the equilibrium layer is 0.2 mm, 0.5 mm, 1 mm, 1.5 mm and 2 mm, the maximum stress on the HgCdTe chip first decreases greatly and then increases slightly with the increase of the thickness of the equilibrium layer. When the value of thickness is 1 mm, the maximum thermal stress on the detector chip is the lowest. Thermal stress level of large infrared detector chip can be improved by adding Kovar equilibrium layer.

**Key words:** HgCdTe, finite element analysis, structural stress, reliability

## 引言

碲镉汞(HgCdTe)红外探测器的工作温度通常在 80K 及以下, 整个组件由不同的材料组成。在结构上, 一个基本的探测器模块是由探测器芯片、硅读出电路、钢柱互连区、宝石基板等构成, 但是由于

不同的材料具有不同的热膨胀系数, 这就导致了在室温和工作温度间变化时必然在模块上产生一定程度的热应力和低温形变<sup>[1-4]</sup>。热应力会引起红外探测器的光电性能退化、功能材料裂片等失效问题, 而随着焦平面阵列规模的增大, 试验变得更加

收稿日期: 2020-06-09, 修回日期: 2021-02-28

基金项目: 国家自然科学基金(61705247)

Foundation items: Supported by the National Natural Science Foundation of China (61705247)

作者简介(Biography): 张伟婷(1994-), 女, 安徽蚌埠人, 博士研究生, 主要从事碲镉汞大面阵红外探测器可靠性的研究. E-mail: zwt19940921@163.com

\*通讯作者(Corresponding author): E-mail: zhye@mail.sitp.ac.cn

Received date: 2020-06-09, Revised date: 2021-02-28

复杂并且成本高、周期长、热应力效应更加严重,其可靠性受到严重的影响,因此大面阵红外探测器组件热应力问题值得研究<sup>[5-8]</sup>。

碲镉汞红外焦平面探测器主要由探测器芯片、硅读出电路和宝石基板三部分组成,探测器光敏元阵列芯片与硅读出电路以直接倒焊的方式形成焦平面芯片,将互连好的焦平面模块用低温环氧胶粘接于宝石基板,通过宝石基板的金属引线实现电学引出<sup>[9-11]</sup>。本文基于砷化镓(GaAs)基HgCdTe探测器芯片\硅读出电路\宝石基板三层结构之上,在宝石基板和硅读出电路之间引入一层可伐(Kovar)平衡层,即从上到下依次为:GaAs基HgCdTe探测器芯片\硅读出电路\Kovar平衡层\宝石基板。

借助有限元分析对不加Kovar平衡层的原始探测器模块和加入Kovar平衡层的探测器模块进行仿真和对比,并提出优化方法,对探测器结构的可靠性设计给出了一定的指导作用。

## 1 模型建立与参数选择

### 1.1 探测器模型

不加平衡层的原始红外焦平面探测器模块结构的示意图如图1所示,主要包括三个部分:红外探测器芯片、读出电路和宝石基板,其中位于结构的最顶端是红外探测器芯片,它是用来接收入射的红外辐射并将该信号转变为电信号输出的器件。而探测器芯片的下方则是硅读出电路,两者通过钢柱互连,用以读取探测器芯片上每个光敏元的电信号,再通过放大处理之后再时序输出。宝石基板在最底部,它具有为读出电路和红外探测器芯片提供电学连接、机械支撑和输出端的功能。

加入平衡层的探测器模块结构如图2剖面图所示,除了上述的三层结构,在宝石基板和硅读出电

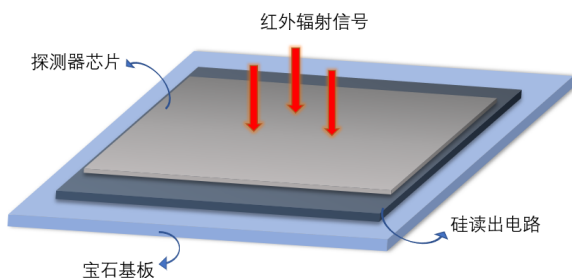


图1 探测器三维结构示意图

Fig. 1 Three-dimensional structure diagram of the detector

路之间加入Kovar平衡层。原始探测器模块和加入Kovar平衡层探测器模块的探测器芯片、硅读出电路和宝石基板的大小保持一致,平衡层厚度设置为1 mm,其所有尺寸参数如下表1所示。

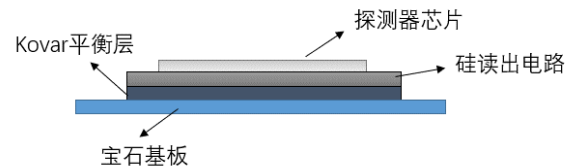


图2 加入Kovar平衡层的探测器剖面结构图

Fig. 2 Detector profile with Kovar equilibrium layer

表1 尺寸参数

Table 1 Material dimension parameters

结构名称	长	宽	厚
GaAs衬底	36.8 mm	36.8 mm	0.65 mm
HgCdTe	36.8 mm	36.8 mm	0.01 mm
硅读出电路	40.3 mm	39.1 mm	0.48 mm
Kovar平衡层	40.3 mm	39.1 mm	1 mm
宝石基板	43 mm	45.2 mm	0.33 mm

### 1.2 热失配计算的理论模型

对于具有多层结构的材料系统来说,当温度发生变化时,材料间的热膨胀系数不同将导致其产生向上凸(或者向下凹)的宏观上的热失配形变(如图3所示)。假设第1、 $i$ 和 $n$ 层的材料厚度分别为 $t_1$ 、 $t_i$ 和 $t_n$ ,材料的长度均是 $l$ 。

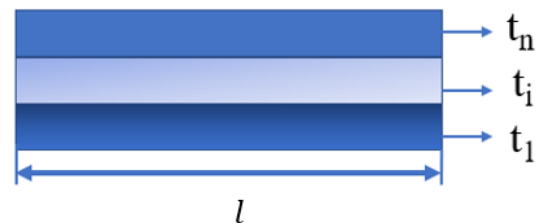


图3 多层材料结构体系

Fig. 3 Multi-layer material structure system

根据纯弯曲理论,可以推导出中间层曲率半径 $R$ 、中间层至第一层材料底面距离 $y_c$ 分别为:

$$R = \frac{(\sum E_i t_i y_i)^2 - (\sum E_i I_i)(\sum E_i t_i)}{(\sum E_i t_i y_i)(\sum E_i t_i \alpha_i \Delta T) - (\sum E_i t_i)(\sum E_i t_i y_i \alpha_i \Delta T)}, \quad (1)$$

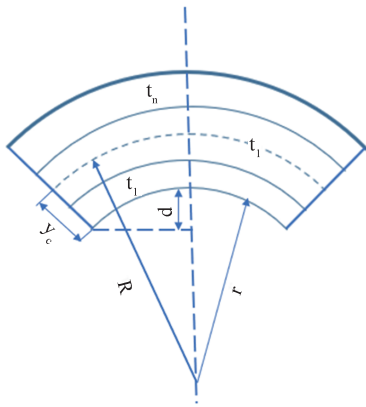


图4 多层材料体系弯曲形变

Fig. 4 Warpage deformation of multi-layer material system

$$y_c = \frac{(\sum E_i I_i)(\sum E_i t_i \alpha_i \Delta T) - (\sum E_i t_i y_i)(\sum E_i t_i \alpha_i \Delta T)}{(\sum E_i t_i y_i)(\sum E_i t_i \alpha_i \Delta T) - (\sum E_i t_i)(\sum E_i t_i y_i \alpha_i \Delta T)}, \quad (2)$$

式(1)、(2)中,第*i*层材料单位长度惯性矩是 $I_i = \frac{t_i^3}{12} + y_i^2 t_i$ ;第1层材料底面至第*i*层材料中心之间距离是 $y_i$ (如图4所示);第*i*层材料热膨胀系数、弹性模量分别是 $\alpha_i, E_i$ ;  $\Delta T$ 为结构上温度变化。第1层材料底面曲率半径为:

$$r = R - y_c = \frac{(\sum E_i t_i y_i)(\sum E_i t_i y_i + \sum E_i t_i y_i \alpha_i \Delta T) - (\sum E_i I_i)(\sum E_i t_i + \sum E_i t_i \alpha_i \Delta T)}{(\sum E_i t_i y_i)(\sum E_i t_i \alpha_i \Delta T) - (\sum E_i t_i)(\sum E_i t_i y_i \alpha_i \Delta T)}, \quad (3)$$

多层结构长度 $l$ 、总厚度均比 $R, r$ 要小得多,实际上因温度变化而导致的弯曲变形远不如图4所示的明显,可以近似得出弯曲形变 $d$ 与曲率半径 $r$ 之间关系如下:

$$d = r [1 - \sqrt{1 - (l/2r)^2}] \quad (4)$$

### 1.3 有限元模型建立与参数选择

在建立探测器有限元结构模型时,宝石基板上金属引线的影响忽略不计,在进行有限元计算时,假定每层材料均为弹性并且各向同性,材料的热膨胀系数以及弹性模量取80~300 K温度范围内的平均值,且不随温度改变,具体参数见表2。由于砷化镓衬底和硅读出电路的厚度相对于探测器芯片上碲镉汞外延层厚度大很多,因此在该层网格采用梯度划分的方法,设置碲镉汞外延层网格尺寸为0.5 mm,如图5所示的模型是有限元网格划分的结果。模块的底面边界始终与冷平台接触,并且具有支撑的作用,在Z方向上不产生任何位移,因此在模型的

底面四个顶点处施加零位移约束。温度激励载荷的初始点为300 K即常温,对应于零应力状态,结束温度为77 K,并且采用斜坡加载的方式。

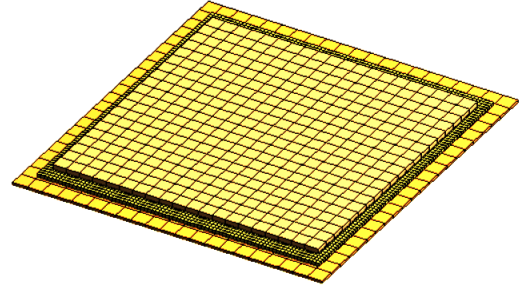


图5 模块网格划分

Fig. 5 Finite element mesh of module

表2 材料参数

Table 2 Material properties

材料名称	泊松比	平均弹性模量/GPa	平均线膨胀系数/ppm/K
砷化镓	0.31	90	4.55
硅	0.28	130	1.15
宝石基板	0.25	390	3.15
碲镉汞	0.3	60	4.62
可伐	0.3	200	6.5

## 2 模拟结果分析与讨论

### 2.1 不加 Kovar 平衡层的原始探测器热失配情况

在80 K低温环境下,不加 Kovar 平衡层的原始 GaAs 基探测器的形变和热应力见图6(a)、(b)。由于 GaAs 衬底探测器芯片的热膨胀系数与其下方的硅读出电路、宝石基板相比来说要大,在80 K的环境下探测器整体则会产生一个由中间向下凹陷的形变,且中心处最大形变量约为45 μm,探测器中心大部分的热应力水平较高,导致极易出现物理断裂问题。因此需要对该结构进行优化改进,为此采用在硅读出电路和宝石基板中间加一层平衡层的方法。本文中平衡层使用 Kovar 合金。在硅读出电路底部加入一层热膨胀系数较高的平衡层,用它对硅读出电路进行压缩使之与探测器芯片收缩相一致,以此来提高探测器的温度循环能力。

### 2.2 加入 Kovar 平衡层的探测器热失配情况

当 Kovar 平衡层的厚度为1 mm时,探测器在低温环境下的热失配形变图如图7(a)、(b)所示。探测器芯片包含两种材料层(如图8所示): GaAs 衬底、HgCdTe 外延层(其厚度约为10 μm)。光敏元区

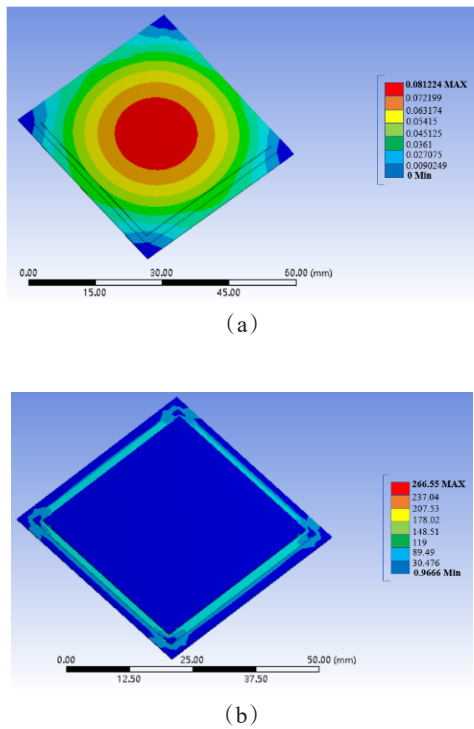


图6 不加 Kovar 平衡层时 (a) 探测器芯片低温形变; (b) 热应力(Z轴方向向下为正方向)

Fig. 6 Without Kovar equilibrium layer (a) thermal deformation in low temperature, (b) thermal stress (z-axis downward is positive direction)

域位于 HgCdTe 外延层, 当此区域具有比较大的热应力时, 将会受到严重影响的便是探测器的性能, 而且由于衬底本身的机械强度不高, 芯片比较容易断裂, 可能使得整个模块失效, 因此需要对探测器芯片上的热应力水平以及探测器芯片表面的形变进行重点研究。

需要对加 Kovar 平衡层的探测器与不加 Kovar 平衡层的探测器 HgCdTe 外延层热应力和探测器芯片表面中心位置处的形变仿真结果进行比较(如图 9(a)、(b)), 取 HgCdTe 外延层厚度方向上的一半(也即 5 μm)处热应力值为外延层中的热应力。从图 9(a)可以看出加 Kovar 平衡层后热应力有所减小并且热应力的值几乎接近零, 尤其是可以明显改善探测器芯片边界所存在的应力极大的现象。从图 9(b)可以看出, 不加 Kovar 平衡层时, 探测器芯片表面呈现出由中间向下凹陷的形变, 形变值约为 45 μm; 加入 Kovar 平衡层时, 由于 Kovar 的热膨胀系数较高, 对硅读出电路具有压缩作用, 使得探测器芯片与硅读出电路的收缩相一致, 最终可以降低

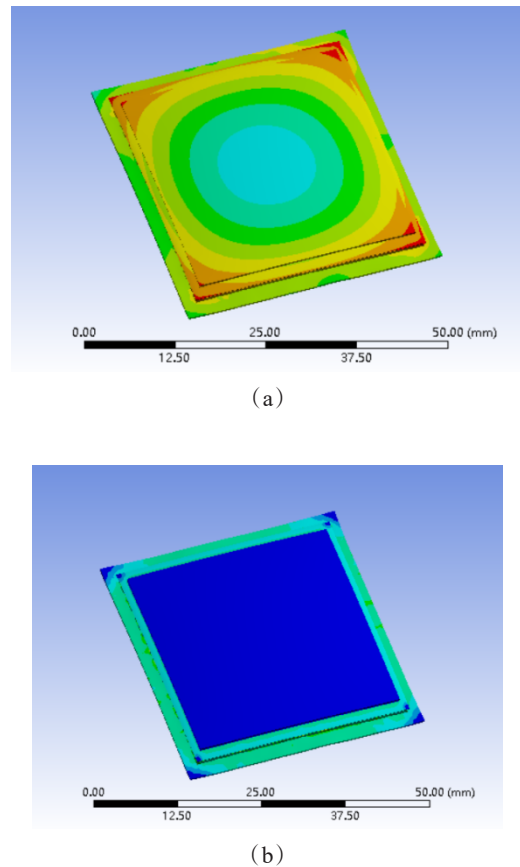


图7 加 Kovar 平衡层时 (a) 探测器芯片低温形变; (b) 热应力(Z轴方向向下为正方向)

Fig. 7 With Kovar equilibrium layer (a) thermal deformation in low temperature; (b) thermal stress (z-axis downward is positive direction)

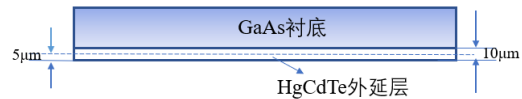


图8 探测器芯片材料层构成

Fig. 8 Material layers composition of detector chip

HgCdTe 芯片上的热应力水平以及减小探测器芯片表面的形变量大小。

### 2.3 Kovar 平衡层厚度对探测器热应力的影响

上述所讨论的 Kovar 平衡层厚度为 1 mm, 以此为基准, 模拟 Kovar 平衡层厚度分别为 0.2 mm、0.5 mm、1.5 mm 以及 2 mm 时探测器中热应力水平和探测器芯片表面形变的大小情况(不加平衡层时的厚度为 0)。如图 10(a)、(b)所示, 当 Kovar 平衡层厚度从 0 增厚到 1 mm 时, 探测器中最大热应力由 130



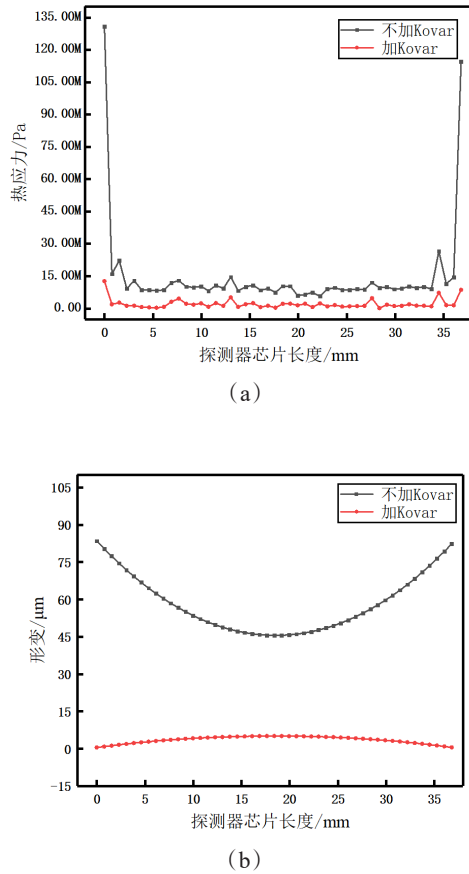


图9 加 Kovar 平衡层和 不加 Kovar 平衡层 (a) 探测器 HgCdTe 外延层热应力, (b) 探测器芯片表面中心位置处的低温变形情况

Fig. 9 Comparison between adding Kovar equilibrium layer and not adding Kovar equilibrium layer (a) epilayer thermal stress of HgCdTe detector, (b) low temperature deformation of the centerline of detector chip surface

MPa 左右减小到 10 MPa 左右, 探测器芯片表面变形从  $38 \mu\text{m}$  左右先降低到  $2 \mu\text{m}$  左右再增加到  $5 \mu\text{m}$  左右。当 Kovar 平衡层厚度从 1 mm 增加到 2 mm 时, 探测器中的最大热应力缓慢上升但始终没有初始状态的热应力水平高, 探测器芯片的表面变形缓慢减小, 总体变化不明显, 但均比初始状态的形变量小。这说明增加 Kovar 平衡层可以有效改善探测器中热应力的水平, 虽然 Kovar 平衡层厚度的变化, 探测器中热应力水平和形变大小也随之改变, 总体来说两者都远远小于不加平衡层时的状态。当 Kovar 平衡层厚度取值为 1 mm 时探测器芯片上的最大热应力值最低, 这是由于随着 Kovar 平衡层厚度的增加, 其对硅读出电路的压缩作用逐渐增强, 增加到 1 mm 时的压缩作用最强, HgCdTe 芯片上的热应力由

受张应力变为压应力, 后再增加平衡层厚度便会使得压应力占主导作用, 从而使得探测器芯片的最大热应力开始增加。

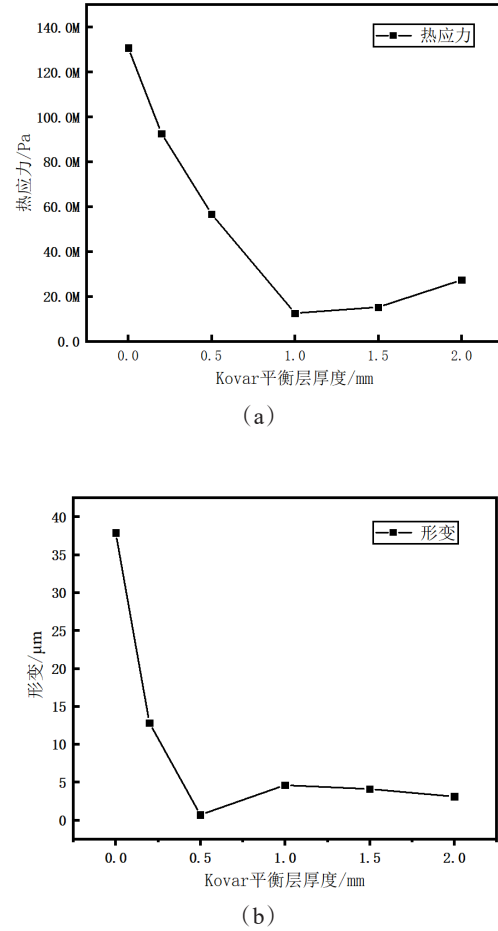


图10 探测器芯片上 (a) 最大热应力值随 Kovar 平衡层厚度变化的曲线; (b) 形变随 Kovar 平衡层厚度变化的曲线

Fig. 10 On the detector chip (a) the curve of maximum thermal stress changing with thickness of Kovar equilibrium layer; (b) the curve of the deformation changing with the thickness of Kovar equilibrium layer

### 3 结论

通过建立原始探测器模块和加入 Kovar 平衡层的探测器模块的有限元结构分析模型计算得到了这两种情况下在低温条件下热失配情况, 加入 Kovar 平衡层后, 探测器 HgCdTe 外延层上的热应力稍有减小, 而探测器芯片表面中心位置处的低温形变量明显减小, 并且几乎为零。在不改变平衡层材料的前提下, HgCdTe 芯片上的最大应力随着平衡层的厚度的增加呈现先大幅度减小后小幅度增加的

趋势,在厚度取 1 mm 时探测器芯片上的最大热应力值最低,因此,通过增加 Kovar 平衡层可以有效改善探测器中的热应力和低温形变,并且选择合适的平衡层厚度可以达到结构优化的目的,对探测器结构的可靠性设计具有实用性指导价值。

## References

- [1] LIU Ming, WANG Cong, ZHOU Li-Qing. Development of small pixel HgCdTe infrared detectors [J]. *Chin. Phys. B*, 2019, **28**(3):17-25
- [2] Rogalski A. Recent progress in infrared detector technologies [J]. *Infrared Physics & Technology*, 2011, **54**(3): 136-154
- [3] LI Yan-Jin, HE-Li, YANG Jian-Rong, *et al.* Study on thermal mismatch stress of HgCdTe infrared focal plane array [J]. *J. Infrared Millim. Waves* (李言谨,何力,杨建荣,等. 碲镉汞红外焦平面器件热失配应力研究. *红外与毫米波学报*), 2008, **27**(6):410-412.
- [4] GONG Hai-Mei, ZHANG Ya-Ni, ZHU San-Gen, *et al.* Study of reliable packaging for IRFPA detector [J]. *J. Infrared Millim. Waves* (龚海梅,张亚妮,朱三根,等. 红外焦平面可靠性封装技术. *红外与毫米波学报*), 2009, **28**(2): 85-89.
- [5] Kwak, Jae. Strain behaviors of solder bump with underfill for flip chip package under thermal loading condition [J]. *Journal of Mechanical Science and Technology*, 2014, **28**(12):4899-4906.
- [6] LIU Jia-Kai. Thermal stress analysis on multilayer structure of MEMS [J]. *Electronic Components and Materials* (刘加凯. MEMS 多层结构的热应力分析. *电子元件与材料*), 2015, **34**(9):71-74
- [7] MENG Qing-Duan, LV Yan-Qiu, LU Zheng-Xiong, *et al.* Stress in InSb infrared focal plane array detector analyzed with ANSYS [J]. *J. Infrared Millim. Waves* (孟庆端,吕衍秋,鲁正雄,等. InSb 红外焦平面探测器结构应力的 ANSYS 分析. *红外与毫米波学报*), 2010, **29**(6):431-434.
- [8] Jadin M S, Taib S. Recent progress in diagnosing the reliability of electrical equipment by using infrared thermography [J]. *Infrared Physics & Technology*, 2012, **55**(4): 236-245.
- [9] CAI Xia, CHEN Liu, ZHANG Qun, *et al.* Thermal fatigue failure analysis of SnPb solder joint in flip-chip assemblies [J]. *Chinese Journal of semiconductors* (彩霞,陈柳,张群,等. 倒扣芯片连接焊点的热疲劳失效. *半导体学报*), 2002, **23**(6):661-666.
- [10] LIAO Jun. Research on stress analysis and modification of micro-electronics device [D]. University of Electronics Science and Technology of China (廖俊. 微电子器件中的应力分析及改善方法研究. 电子科技大学), 2013.
- [11] Lai Y.-S, Chen C.-H, Chiu T.-C. Analysis of fatigue delamination growth in flip-chip package [J]. *Acta Mechanica*, 2014, **225**(10):2761-2773.