

文章编号:1001-9014(2004)05-0357-03

# 低阻硅衬底上形成的低损耗共平面波导传输线

葛羽屏<sup>1</sup>, 郭方敏<sup>1,2</sup>, 王伟明<sup>1</sup>, 徐欣<sup>1</sup>  
游淑珍<sup>1</sup>, 邵丽<sup>1</sup>, 于绍欣<sup>1</sup>, 朱自强<sup>1</sup>, 陆卫<sup>2</sup>

(1. 华东师范大学信息科学与技术学院, 上海 200062;

2. 中国科学院上海技术物理所 红外物理国家重点实验室, 上海 200083)

**摘要:**在厚膜多孔硅(PS)/氧化多孔硅(OPS)衬底上, 结合聚酰亚胺涂层改善表面, 研制低损耗、高性能射频(RF)/微波(MW)共平面波导 CPW(Coplanar Waveguide). 通过在 N 和 P 型硅上形成不同厚度 PS 膜, 并对其上的 CPW 进行分析比较, 厚膜 PS 与石英的共面波导插入损耗非常接近, 远小于在  $2000\Omega \cdot \text{cm}$  高阻硅上形成的多晶硅-氧化硅组合衬底: 在 0-33GHz 范围, 插入损耗小于 5dB/1.2cm; 33-40GHz 范围, 小于 7.5dB/1.2cm.

**关键词:**射频(RF)/微波(MW); 多孔硅/氧化多孔硅; 共面波导; 插入损耗

**中图分类号:** TN405 **文献标识码:** A

## LOW-LOSS CPW LINE ON LOW-RESISTIVITY SILICON

GE Yu-Ping<sup>1</sup>, GUO Fang-Min<sup>1,2</sup>, WANG Wei-Ming<sup>1</sup>, XU Xin  
YOU Shu-Zhen<sup>1</sup>, SHAO Li<sup>1</sup>, YU Shao-Xin<sup>1</sup>, ZHU Zi-Qiang<sup>1</sup>, LU Wei<sup>2</sup>

(1. Department of Electrical Engineering, East China Normal University, Shanghai 200062, China;

2. National Lab. for Infrared Physics, Shanghai Institute of Technical Physics,  
Chinese Academy of Science, Shanghai 200083, China)

**Abstract:** Low loss and high performance RF/microwave CPW (coplanar waveguide) were fabricated on thicker porous silicon(PS)/oxidized porous silicon(OPS) substrate associated with polyimide coating to improve smoothness. PS films with different thickness were formed on both N and P-type Si, and the CPW losses on them were discussed. The CPW loss on thick PS is intimately close to quartz, and much lower than the combined substrate of poly-Si / oxidized poly-Si growing on a  $2000\Omega \cdot \text{cm}$  Si wafer. The insertion loss on PS was lower than 5dB/1.2cm in the range of 0-33GHz, and less than 7.5dB/1.2cm in 33-40GHz.

**Key words:** RF/microwave; PS/OPS; CPW (coplanar waveguide); insertion loss

### 引言

随着射频无线通信的发展, 急需将 RF/MW 无源器件集成在与 CMOS 工艺兼容的微波单片集成电路中. 但在低阻硅衬底上制备 CPW、电感等元器件, 随着频率升高产生的很大损耗导致无法正常工作. 为实现 RF/MW 元器件的低损耗特性, 人们做了很多努力, 如用高阻硅衬底制备微波无源器件<sup>[1]</sup>; 在低阻硅衬底背面采用体微机械加工技术, 腐蚀 V 形槽来隔离器件和衬底间的电磁耦合效应<sup>[2]</sup>; 在低阻 Si 衬底上淀积  $\text{SiO}_2$  厚膜绝缘层<sup>[3]</sup>, 等. 这些方法不仅增加工艺复杂性, 而且随着频率升高, 衬底存在的

少量电导率仍会引起信号导波模耦合进入衬底而产生较大损耗<sup>[4]</sup>. 厚膜 PS/OPS 是一种很有潜力的新型低损耗介质材料<sup>[5-7]</sup>. 采用电化学腐蚀有选择地在硅片表面形成一定厚度多孔层, 电阻率超过  $10^6\Omega \cdot \text{cm}$ , 有效抑制衬底表面电磁耦合. 研究 N 和 P 型衬底形成不同厚度 PS/OPS 膜, 制备 CPW 传输线, 与多晶硅(高阻硅衬底)和石英衬底进行比较, 获得令人瞩目的低损耗效果.

### 1 理论分析

传输线是约束电磁波沿规定方向传输能量和信息的系统. 信号沿 CPW 传输, 经历由自由空间和衬

收稿日期: 2003-12-03, 修回日期: 2004-04-18

Received date: 2003-12-03, revised date: 2004-04-18

基金项目: 国家 973 集成微光机电系统研究(G1999033105), 国家自然科学基金(69975409, 10374095), 上海应用材料研究与发展基金项目(0306).

作者简介: 葛羽屏(1980-), 女, 华东师范大学信息学院 02 级硕士研究生, 主要研究方向 RF MEMS 器件.

表 1 不同衬底的微波损耗 (dB/m)  
Table 1 The microwave loss of different substrates (dB/m)

衬底材料	损耗组成 (dB/m)	1GHZ	10GHZ	20GHZ	30GHZ
石英	介质损耗 $\alpha_d$	0.00168	0.0168	0.0336	0.0504
	导体欧姆损耗 $\alpha_c$	1.527	4.828	6.828	8.363
	总损耗 $\alpha = \alpha_d + \alpha_c$	1.529	4.844	6.861	8.413
Si	介质损耗 $\alpha_d$	0.567	5.67	11.34	17.01
	导体欧姆损耗 $\alpha_c$	2.741	8.668	12.258	15.013
	总损耗 $\alpha = \alpha_d + \alpha_c$	3.308	14.338	23.598	32.023
GaAs	介质损耗 $\alpha_d$	0.1975	1.975	3.95	5.925
	导体欧姆损耗 $\alpha_c$	2.857	9.034	12.777	15.648
	总损耗 $\alpha = \alpha_d + \alpha_c$	3.054	11.009	16.727	21.573

底材料组成的非均匀介质,当频率较高,CPW 传导的沿纵向传输的电磁波(即导波)模式有横电磁波(TE)模和横磁波(TM)模两种,且随频率上升,各高阶的 TE 和 TM 模相继被激励,传输线上的信号导波模耦合进入衬底,引起传输线损耗,即信号功率衰减.传播常数  $\gamma$  是描述电磁波传播过程中的衰减和相位变化的参数:

$$\gamma = \sqrt{(R_0 + j\omega L_0)(G_0 + j\omega C_0)} = \alpha + j\beta \quad (1)$$

式(1)中  $\alpha$  (dB/m) 衰减常数,可近似表示为  $\alpha = \alpha_d + \alpha_c$ . 由于金属导体的趋肤效应会引起其表面电阻,从而产生导体欧姆损耗  $\alpha_c$ ,通常表示为:

$$\alpha_c = 8.0686R_s / (W \cdot Z_0) \quad (\text{dB/m}) \quad (2)$$

其中,  $W$  传输线宽,  $Z_0$  传输线特征阻抗,  $R_s$  导体表面电阻:

$$R_s = \sqrt{(\pi\mu_0 / \sigma_c)} \quad (3)$$

这里,  $\mu_0$  导体材料的真空磁导率,  $\sigma_c$  导体材料的电导率.

介质损耗  $\alpha_d$  在高频情况下,几乎与频率的增加成正比:

$$\alpha_d = 27.3\epsilon_r(\epsilon_{\text{eff}} - 1)\tan\delta / [\epsilon_{\text{eff}}^{1/2}(\epsilon_r - 1)\lambda_0] \quad (\text{dB/m}) \quad (4)$$

其中,  $\epsilon_r$  衬底的相对介电常数,  $\tan\delta$  真空中衬底的介电损耗角正切,  $\lambda_0$  自由空间波长,  $\epsilon_{\text{eff}}$  有效介电常数,即其平面波导整体等效为混合介质后的介电常数:

$$\epsilon_{\text{eff}} = (\epsilon_r + 1) / 2 \quad (5)$$

高频情况下,电磁场集中在介质基片内,引起介质分子的交替极化和晶格碰撞,使介质中的漏电流增加,导致介质损耗明显增加.因此降低介质损耗的关键在于基片介质材料的选择.表 1 列出硅、砷化镓、石英 3 种衬底在不同频率下 CPW 损耗.绝缘材料石英衬底内不存在可以自由移动的载流子,其介质损耗远小于半绝缘的 Si 和 GaAs.

## 2 多孔硅衬底上低损耗 CPW

在石英衬底上制备微波单片集成电路并非当今成熟的主流技术,必须寻找一种能与超大规模集成电路工艺兼容的低成本材料来替代石英. PS 厚膜衬底可通过电化学方式在低阻 P 型或 N 型硅衬底上直接腐蚀获得,从  $10\mu\text{m}$  到几百  $\mu\text{m}$  膜厚,内部的多孔性使其具有很高的电阻率,界面应力很小,表面活性极高,气体容易进入,可在很短的时间内经过氧化获得较厚的 OPS 层.图 1 所示的 3 种衬底分别制备了 1.2cm 长的 CPW,用 HP8722D 矢量网络分析仪和 Cascade12000 微波探针台进行扫频,探针间距  $200\mu\text{m}$ ,频率范围  $0 \sim 40\text{GHz}$ .图 2 是测试结果,PS 衬底上 CPW 的插入损耗非常接近石英衬底,远优于  $2000\Omega \cdot \text{cm}$  高阻硅衬底上形成的  $0.8\mu\text{m}$  多晶硅和  $0.2\mu\text{mSiO}_2$  组合衬底的损耗性能:在  $0\text{-}33\text{GHz}$  范围,插入损耗小于  $5\text{dB}/1.2\text{cm}$ ;在  $33\text{-}40\text{GHz}$  范围内,小于  $7.5\text{dB}/1.2\text{cm}$ .

## 3 讨论

表 2 图 4 中的样品信息

Table 2 The information of PS samples of Fig4

样品	导电类型	传输线金属	PS 厚度	孔径	多孔度
1	N 型低阻	金	$70\mu\text{m}$	$> 1\mu\text{m}$	60%
2	N 型低阻	金	$120\mu\text{m}$	$10 \sim 50\text{nm}$	60%
3	P 型低阻	金	$110\mu\text{m}$	$4 \sim 10\text{nm}$	40%
4	高阻硅	铝	-	-	-

图 3 是涂敷聚酰亚胺改善 PS/OPS 厚膜表面后制备的 CPW.信号线宽度呈周期变化,是为减少在其上制备开关阵列后所引起的阻抗不匹配.图 4 是表 2 中四个样品测得的 CPW  $S(21)$  值.分析  $S$  参数 ( $S_{21}, S_{11}$ ),研究 CPW 的插入损耗:  $L = -10\lg(P_2/P_1)$ .  $S_{21}$  表示 1 端口到 2 端口的传输系数,其模值为  $[S_{21}] = P_2/P_1$ ,并以 dB 为单位,测得的  $S_{21}$  即为插入

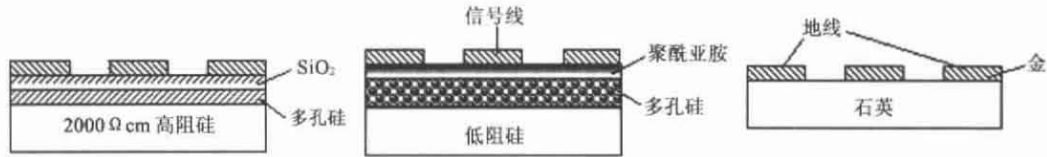


图1 石英、多晶硅和 PS/OPS 衬底上 CPW 的剖面结构  
Fig.1 Cross-section of CPW on quartz, poly-Si and PS/OPS

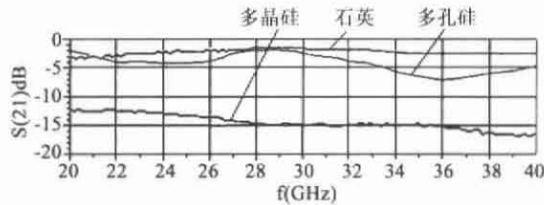


图2 石英、多晶硅和 PS 衬底的 CPW 传输线损耗( $S_{21}$  比较)  
Fig.2 The  $S_{21}$  comparison of CPW on quartz, poly-Si and PS substrate

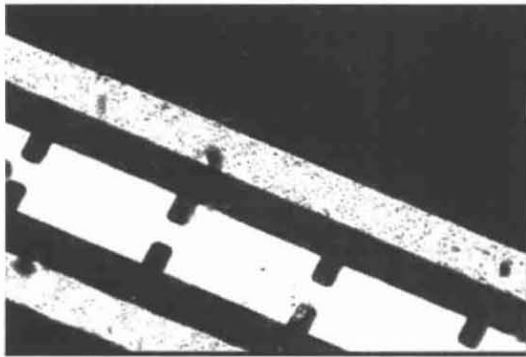


图3 表2中样品的 CPW 照片  
Fig.3 CPW photo of a sample in Table 2

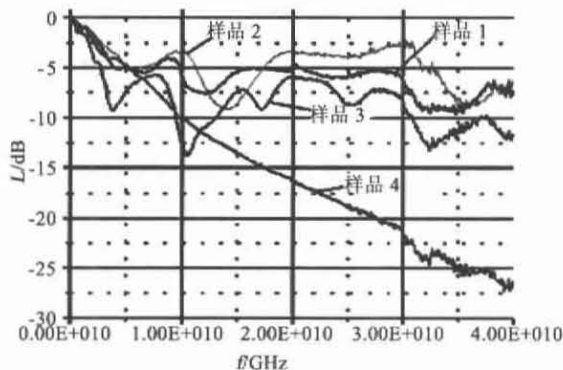


图4 变宽信号线 CPW 的  $S_{21}$  参数  
Fig.4 The  $S_{21}$  of changed signal line in CPW

损耗值.对照图4和表2可以看出:1)样品1和2的插入损耗低于  $10\text{dB}/1.2\text{cm}$  ( $0-40\text{GHz}$ ),而同样尺寸的样品4 CPW 插入损耗随频率线性增加,在  $20-$

$40\text{GHz}$  范围达到  $15-30\text{dB}/1.2\text{cm}$ . 2) PS 物理参数变化,对 CPW 损耗的影响很大.如样品1、2和3的导电类型、电化学条件改变,获得的孔径、多孔度和厚度不一样,损耗特性也就不同.

总之,PS 膜厚,孔径大,多孔度高,载流子运动因迁移通道被孔与孔之间形成的势垒切断而不能移动,电阻率增大,微波隔离加强,从而有效抑制电磁耦合.还有多孔层中大量的晶格缺陷成为捕获载流子的有效中心,漏电流几乎不存在,所以表现出非常近似石英衬底的损耗(绝缘)特性.反之,随工作频率提高,衬底的插入损耗呈线性增加.

#### 4 结语

通过以厚膜 PS/OPS 作为衬底,制备获得了低损耗微波共平面波导(CPW).证明了厚膜 PS/OPS 衬底可制备低损耗 RF/微波 CPW 传输线,性能优良.厚膜 PS/OPS 与 VLSI 工艺兼容,可作为低成本、低损耗、高性能微波单片集成应用.

#### REFERENCES

- [1] Luy J F, Strohm K M, Sasse E. Si/SiGe MMIC technology [C]. *Microwave Symposium Digest*, 1994, 3: 1755—1757.
- [2] Veljko M, Michael G, Edwin D B, et al. Micromachined microwave transmission lines in CMOS technology [J]. *IEEE Trans. Microwave Theory Tech.*, 1997, 45: 630—635.
- [3] Nam C M, Kwon Y S. High-performance planar inductor on thick oxidized porous silicon (OPS) substrate [J]. *IEEE Microwave Guided Waved Lett.*, 1997, 17: 236—238.
- [4] Peres H E M, Fernandez F, Ramirez J. High resistivity silicon layers obtained by hydrogen ion implantation [J]. *J. Phys.*, 1997, 27 A (4): 237—239.
- [5] Guo F M, Zhu Z Q, Long Y F, et al. Study on low voltage actuated MEMS rf capacitive switches [J]. *Sensors and Actuators A*, 2003, 108: 128—133.
- [6] Park Jeong-Yong, Lee Jong-Hyun. Characterization of 10um thick porous silicon dioxide obtained by complex oxidation process for RF application [J]. *Materials Chemistry and Physics*, 2003, 82: 134—139.
- [7] Kim Han-Su, Chong Kyuchul, Xie Ya-Hong. The promising role of porous Si in mixed-signal integrated circuit technology [J]. *Phys. Stat. Sol. (a)*, 2003, 197: 269—274.