

# 硅化物形成条件对 Pt 硅化物/硅 势垒的影响\*

丁孙安 许振嘉

(中国科学院半导体研究所, 表面物理国家重点实验室, 北京, 100083)

**摘要:** 利用俄歇电子能谱、深能级瞬态谱、及  $I-V$  和  $C-V$  两种电学测量方法对 PtSi/N-Si 和 PtSi/P-Si 两种肖特基势垒的形成条件与势垒高度之间的关系进行了详细研究. 从理论上分析了在退火过程中引入的影响肖特基势垒特性的各种因素, 同时指出了获得理想肖特基势垒的退火条件.

**关键词:** 硅化物/硅界面, 肖特基势垒, 深能级.

## 引言

目前, PtSi/P-Si 接触作为一种易制备的及性能良好的红外探测器焦平面材料, 已在国内外引起高度重视和大量研究, 其焦点正是如何提高势垒的重复性和稳定性, 特别是如何降低势垒高度, 以扩展红外探测器的响应波长. 众所周知, 影响肖特基势垒特性及其高度的因素很多, 但在势垒形成过程中, 退火条件的选择相当关键. 本文基于理论和应用两方面的考虑, 利用俄歇电子能谱 (AES)、深能级瞬态谱 (DLTS) 及  $I-V$  和  $C-V$  两种电学测量方法, 对 PtSi/N-Si 和 PtSi/P-Si 两种肖特基势垒的形成条件与势垒高度之间的关系进行了详细研究. 从理论上分析了退火过程中引入的影响肖特基势垒特性的各种因素, 同时指出获得理想肖特基势垒的退火条件.

## 1 实验

选用的两种硅衬底分别为: N-Si(100) ( $\rho \approx 2 \sim 4 \Omega \cdot \text{cm}$ ) 和 P-Si(111) ( $\rho \approx 8 \sim 13 \Omega \cdot \text{cm}$ ). 硅衬底经常规化学清洗、氧化、光刻、腐蚀后制备出直径为 1 mm 的圆形窗口, 在超高真空 ( $\sim 1 \times 10^{-7} \text{Pa}$ ) 及室温下, 电子束蒸发 200 Å 的高纯金属 Pt (99.9%) 于窗口内的 Si 衬底上.

本文 1992 年 12 月 2 日收到, 修改稿 1993 年 6 月 8 日收到.

\* 国家自然科学基金资助项目.

分别采用真空炉退火 (VFA) 和快速退火 (RTA) 两种方式对样品进行处理. 真空退火的真空度为  $\sim 1 \times 10^{-3}$  Pa, 时间为 60 min; 快速退火在  $N_2$  气氛下进行, 时间 20 s. 两种退火的温度分别为 300°C, 400°C, 500°C 和 600°C, 对各种条件下形成的样品, 首先进行 AES 剖面分析, 然后利用 DLTS 分析界面的深能级浓度和分布, 最后通过  $C-V$  法和  $I-V$  法测量各种样品的肖特基势垒特性及高度.

## 2 结果

图 1(a)、(b) 分别给出 4 种温度下, 真空退火和快速退火两种方式形成的各种样品的界面 AES 剖面结果, 以及退火前 Pt/Si 界面的 AES 剖面结果, 文献 [1] 已对这一结果进行了详细讨论. 考虑择优溅射后可得如下结论: 样品退火后, 除 RTA-300°C 样品形成  $Pt_2Si/Si$  接触, 其它样品都形成  $PtSi/Si$  接触. 显然, 相对 Pt/Si 界面, Pt 硅化物/Si 的界面层厚度大大下降.

DLTS 结果<sup>[1]</sup>表明, 在 Pt 硅化物/N-Si 界面上存在  $E_1$ 、 $E_2$ 、 $E_3$  3 个深能级.  $E_1$  被认为是处于硅晶格间隙的 Pt 原子与 O 原子或其它杂质的络合而产生,  $E_2$  则一致被认为与 Si 中替位 Pt 原子有关,  $E_3$  是由退火过程中引入的某种 (杂质/缺陷) 引起的 (例如 Si 原子在界面的扩散), 集中在界面附近. 图 2 为 Pt 硅化物/N-Si 界面上的 3 个深能级 ( $E_1$ ,  $E_2$ ,  $E_3$ ) 与退火条件的关系. 对 RTA 退火, 300°C 时未观察到任何深能级, 随温度的提高,  $E_1$ 、 $E_2$  的浓度稍有提高; 对 VFA 退火,  $E_1$ 、 $E_2$  有同样的变化趋势, 且温度高于 500°C 后, 出现与热处理有关的新能级  $E_3$ .

对于 Pt 硅化物/P-Si 样品, DLTS 结果表明界面上存在 3 种深能级<sup>[1,2]</sup>. 其中,  $H_0$  与界面互混有关, 浓度很高 ( $10^{14} \text{cm}^{-3}$ ), 是替位的 Pt 原子引起的. 退火后  $H_0$  的浓度大大下降 ( $10^{12} \sim 10^{11} \text{cm}^{-3}$ ). 此外, 还有 2 个随退火温度增加而浓度稍有增加的新缺陷中心  $H_2$  和  $H_x$ . 图 3 给出这些能级的浓度与退火条件的关系.  $H_2$  被认为与处于硅晶格间隙的 Pt 原子有关;  $H_x$  反映了退火过程中引入的某种杂质/缺陷. 随退火温度的提高,  $H_x$  的浓度迅速提高.

图 4 给出了室温 (对 N-Si) 和液氮温度 (对 P-Si) 下,  $C-V$  法得到的所有硅化物/硅二极管的势垒高度值. 实验的测量误差范围是  $\pm 0.02 \text{eV}$  (由于 P-Si 样品的势垒高度很

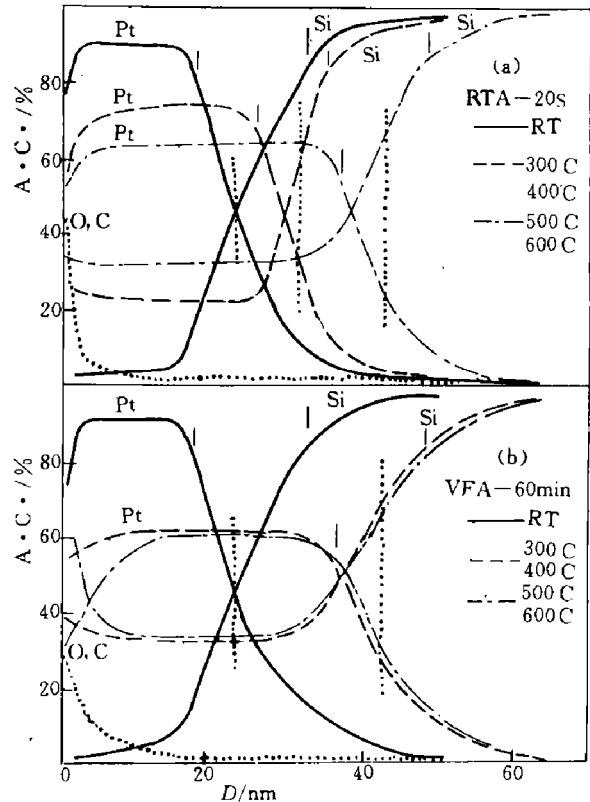


图 1 各种退火条件形成的样品界面 AES 剖面结果

Fig. 1 The AES profile results at the interfaces formed under various annealing conditions

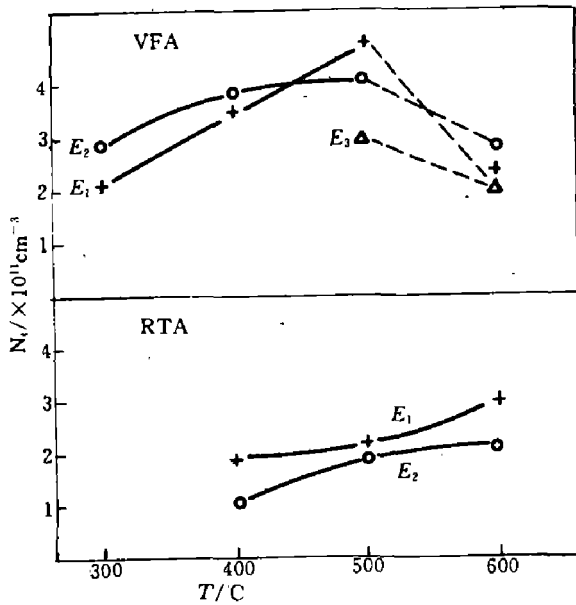


图 2 N-Si 衬底样品界面深能级 ( $E_1, E_2, E_3$ ) 浓度随退火条件的变化

Fig. 2 Variation of deep centers ( $E_1, E_2, E_3$ ) in density with annealing conditions

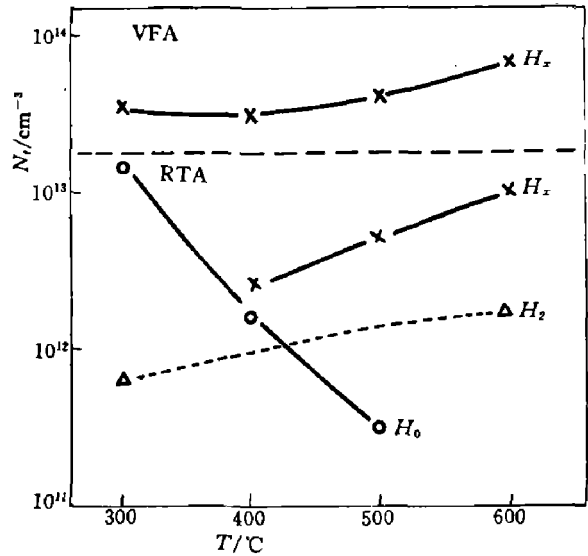


图 3 P-Si 衬底样品界面深能级 ( $H_0, H_2, H_x$ ) 浓度随退火条件的变化

Fig. 3 Variation of deep centers ( $H_0, H_2, H_x$ ) in density with annealing conditions

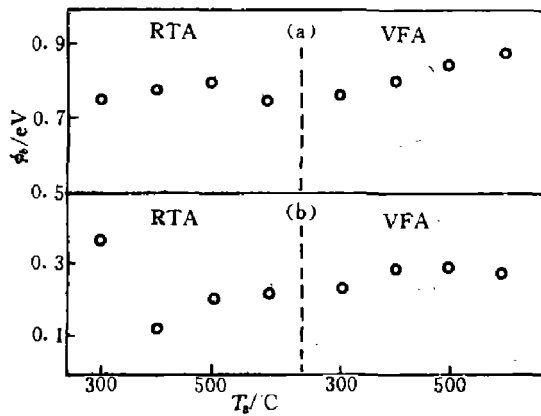


图 4 C-V 法测得的各种退火条件下形成的肖特基势垒高度

Fig. 4 The Schottky barrier heights of the diodes formed under different annealing conditions measured by C-V characteristic

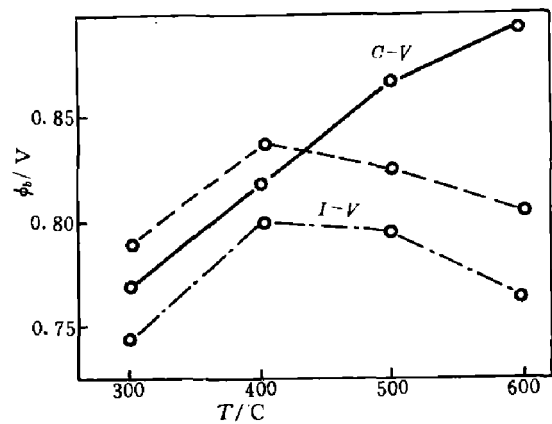


图 5 I-V 法与 C-V 法测量 VFA-N 型样品势垒高度的结果比较 (虚线表示 I-V 法结果经镜像力修正之后的值)

Fig. 5 The comparison of SBHs measured by I-V and C-V characteristics (the dashed fine indicates the SBHs by I-V measurement after correction of image force)

低, 用 C-V 法测量时误差可能大一些). 由图可见, 势垒高度与样品的退火条件有明显关系. 由于 RTA-300°C 退火形成  $Pt_2Si/P-Si$  接触, 其较高的势垒是合理的. 为检验实验结果的可靠性, 对部分样品的势垒还进行了 I-V 特性测量. 图 5 所示为 I-V 法和 C-V 法

测量 N-Si 衬底真空退火样品的势垒高度的结果比较, 其中虚线表示  $I-V$  法结果经镜像力修正之后的势垒高度值. 显然, 对于低温退火形成的样品, 两种方法所得结果比较一致, 高温退火样品的结果差别较大.

### 3 讨论

实验结果表明, 不同的退火条件会得到不同的反应生成物, 对应明显不同的势垒高度. RTA-300°C 退火形成的 Pt<sub>2</sub>Si/N-Si 肖特基二极管具有最低的势垒高度 (0.75 eV), 而对应的 Pt<sub>2</sub>Si/P-Si 肖特基二极管则具有最高的势垒值 (0.38 eV). 两种势垒高度之和正好与硅的禁带宽度相当, 说明了实验结果的正确性. AES 剖面和 DLTS 结果表明, Pt<sub>2</sub>Si/Si 界面为最陡峭和最完整的界面. 一方面, 其界面互混层相对为最薄, 另一方面, 其深能级中心也最少, 浓度最低.

其它样品虽然都形成了 PtSi/Si 肖特基二极管, 但由于退火条件的不同, 它们之间仍然存在许多差别. 首先, 由 AES 剖面结果可知, 500°C 和 600°C 下真空退火形成的样品的界面原子结构与其它样品的基本一致, 但样品最表面却是富硅的. 经长时间的高温退火, 足够的声子能量可以打破 Si-Si 之间的键合, 使界面上的 Si 原子容易扩散到样品表面. 不难理解, 正是由于界面 Si 原子的扩散, 在界面上产生了新的缺陷中心, 表现在 DLTS 谱上就出现了  $E_3$  和  $H_x$  两个瞬态峰. 此外, 由图 2 和 3 可知, 各个深能级的浓度基本上随着退火温度 and 时间的提高而增加. 对于 600°C 真空退火的 PtSi/N-Si 界面,  $E_1$ ,  $E_2$ ,  $E_3$  的浓度反常下降, 由于没有进一步的实验数据, 目前还不能给出明确的解释. 这可能是 Pt-Si 原子在界面进一步互扩散, 并充分键合, 减少了电活性缺陷中心引起, 也可能是实验误差所致.

图 4 清楚地表明, 退火温度和时间对势垒高度都有明显影响. 考虑测量误差 (0.02 eV), 势垒高度  $\phi_b$  随退火温度 and 时间的增加而有所上升. 特别是真空退火的 PtSi/Si 样品, 由于时间长, 势垒高度随温度升高而升高的变化十分明显, 变化范围约为 0.1~0.15 eV. 结合前面的讨论, 可以认为正是由于高温退火过程中在界面引入了一些杂质/缺陷, 改变了界面情况, 从而在半导体耗尽区内产生缺陷态. 这些缺陷态的荷电情况会随所加偏压而变化, 并产生附加电容, 改变了势垒的  $C-V$  特性及其得到的势垒高度. 换句话说, 也可以认为是杂质/缺陷态的引入改变了耗尽区的空间电荷分布, 从而改变了势垒的形状和高度. 这一结论与 Dimitriadie<sup>[3]</sup> 的研究结果一致. 作者认为, VFA 高温长时间退火形成的样品会大大降低载流子的扩散长度, 即在耗尽区内有较大的复合, 其原因是引入了较多的深能级复合中心. 相反, RTA 低温退火样品, 载流子的扩散长度很大, 认为界面比较完整, 因为 RTA 退火过程是一个非损伤过程.

由于测量原理的不同, 同一样品分别利用  $C-V$  法和  $I-V$  法测量, 所得势垒高度会存在一定的差别. 造成这种差别的主要原因是用  $I-V$  法时有镜像力的影响. 如图 5 所示. 考虑镜像力的修正之后, 两种方法所得结果在低温时基本一致, 但高温时差别仍然很大, 其原因还是高温退火过程中引入的杂质/缺陷态. 它们一方面产生附加电容, 改变势垒的  $C-V$  特性, 从而得到较高的势垒值; 另一方面表现为复合中心, 产生附加载流子, 使

总的势垒电流增加, 影响了理想的  $I-V$  特性, 得到较低的势垒值.

以上分析表明, 不同的退火条件会产生不同的硅化物/硅界面, 同时对应不同的势垒特性和高度. 因此, 可以根据要求来选择合适的退火条件. 一般说, 适当温度的快速退火可以得到比较完整的界面和理想的肖特基势垒.

## 4 结论

不同的退火条件对应的硅化物界面情况不同, 其对应的势垒高度也不同. 随退火温度的提高和时间的增长, 势垒高度一般都表现出升高的趋势. 这是因为退火过程中, 特别是高温长时间的退火, 会引起衬底中 Si 原子向界面和硅化物中扩散, 同时产生一些热杂质/缺陷, 它们可以改变界面附近的电荷分布, 从而对势垒特性及高度产生影响. 这种影响对 VFA 退火样品更为明显, 因此建议使用 RTA 退火可以得到比较完整的界面和理想的肖特基势垒.

**致谢:** 本工作得到中国科学院上海技术物理所的资助, 在此表示衷心感谢.

## 参考文献

- 1 丁孙安. 硅化物表面与硅化物界面研究, 中国科学院半导体研究所博士论文, 1992.
- 2 Hsu C C, Ding S A, Lu Liwu *et al.* *Appl. Surface Science*, 1993;70/71:438
- 3 Dimitriadis C A. *Appl. Phys. Lett.*, 1990;56:143

## THE EFFECT OF ANNEALING CONDITIONS ON THE SCHOTTKY BARRIER OF Pt-SILICIDES/Si\*

DING SUNAN, XU ZHENJIA

(*National Laboratory for Surface Physics, Institute of Semiconductors,  
Chinese Academy of Sciences, Beijing 100083, China*)

**Abstract:** Electrical measurements (DLTS,  $I-V$  and  $C-V$ ) were combined with Auger Electron Spectroscopy (AES) to study the relation between the formation conditions of silicides and Schottky barrier heights. The mechanism of the barrier height depending on the distribution of defects/impurities produced during annealing, and the best annealing condition to form the ideal Schottky barrier of Pt silicides/Si are discussed in the present paper in detail.

**Key words:** silicide/silicon interface, Schottky barrier, deep level.

\*The project supported by the National Natural Science Foundation of China.