

# 基于 CSMRC 的 WR-3 全频段三倍频器设计

郭健<sup>1\*</sup>, 沈玮<sup>2</sup>, 孟洪福<sup>1</sup>

(1. 东南大学毫米波国家重点实验室, 江苏南京 210096;

2. 上海航天电子技术研究所, 上海 201109)

**摘要:** 给出了覆盖 WR-3 波导全频段的基于石英基片的高效全频段平衡式三次倍频器的设计方法. 采用紧凑悬置微带谐振器 (Compact Suspended Microstrip Resonator Cell (CSMRC)) 作为倍频器的输入端滤波及匹配电路, 不但提高了带外抑制, 还有效地降低了电路尺寸和所需的腔体宽度. 倍频器电路包括两个波导/悬置微带转换电路, 一个反向并联二极管对、一个 CSMRC 和两段匹配传输线构成. 通过仿真和测试结果的对比可以看出, 设计及仿真方法是准确有效的. 在 225~330 GHz 范围内, 两套样品的测试输出功率为 45~95  $\mu\text{W}$ , 平均功率约为 60  $\mu\text{W}$ . 倍频器的最佳倍频效率对应的输入功率约为 +5 dBm, 全频段范围内倍频效率为 1.5%~3%.

**关键词:** 太赫兹; 紧凑悬置微带谐振器; 肖特基二极管; 三次倍频器

**中图分类号:** TN771 **文献标识码:** A

## Design of a frequency tripler based on CSMRC covering full WR-3 band

GUO Jian<sup>1\*</sup>, SHEN Wei<sup>2</sup>, MENG Hong-Fu<sup>1</sup>

(1. State Key Laboratory of Millimeter Waves, Southeast University, Nanjing 210096, China;

2. Shanghai Aerospace Electronic Technology Institute, Shanghai 201109, China)

**Abstract:** An accurate design approach of full WR-3 waveguide band balanced frequency tripler is proposed in this paper. Compact Suspended Microstrip Resonator Cell (CSMRC) is adopted for input filtering and circuit matching. CSMRC brings relatively higher out-of-band rejection and reduce the size and the channel width of the tripler. The entire tripler is composed of two waveguide-to-suspended stripline transitions, a pair of two anti-parallel diodes, a CSMRC and two matching lines. The design approach is verified by comparing the measured results with the simulated ones. The measured output power of two samples is between 45 to 95  $\mu\text{W}$  at frequencies from 225 to 330 GHz, and the average output power is 60  $\mu\text{W}$ . The conversion efficiency is from 1.5% to 3%, and the optimum efficiency is 3% with +5 dBm drive power.

**Key words:** THz, CSMRC, Schottky diode, frequency tripler

**PACS:** 85.30.Hi, 85.30.Kk, 84.30.Vn, 07.57.Hm

## 引言

随着太赫兹波段固态半导体工艺的不断发展和成熟, 国内外都开展了大量的基于固态半导体的太赫兹器件及系统的开发, 在射电天文、通信及雷达中都得到了较多的研究和应用. 基于肖特基二极管的

倍频器是获得太赫兹源的一种主要方式, 通过多级倍频器级联将微波信号倍频到太赫兹波段, 这种倍频链一般用来作为太赫兹接收机或者发射机的本振激励源、成像系统中的辐射源等. 基于肖特基二极管的倍频器通常可分为两种, 即基于变容二极管的高效率倍频器以及基于变阻二极管的宽带倍频器. 基

收稿日期: 2017-09-28, 修回日期: 2018-01-18

Received date: 2017-09-28, revised date: 2018-01-18

基金项目: 国家自然科学基金(61401091), 上海航天科技创新基金(SAST2016098)

**Foundation items:** Supported by National Natural Science Foundation of China(61401091), Shanghai Aerospace Electronic Technology Institute Foundation of China(SAST2016098)

**作者简介 (Biography):** 郭健 (1982-), 男, 江苏扬州人, 副教授, 博士, 主要研究领域为毫米波电路理论与技术、太赫兹科学与技术等. E-mail: jguo@seu.edu.cn

\* 通讯作者 (Corresponding author): E-mail: jguo@seu.edu.cn

于变容二极管的倍频器往往倍频效率比较高,三次倍频的效率通常在 5% 以上,其功率容量也比较高,但工作带宽一般相对较窄<sup>[1-2]</sup>. 基于变阻二极管的倍频器工作带宽比较宽,甚至可以覆盖整个波导频段,但一般效率较低,三倍频器的倍频效率通常在 5% 以下<sup>[3-4]</sup>. 传统三倍频器设计中,在信号输入端通常需要加入一个低通滤波器,这个滤波器用来防止二极管产生的三次谐波信号反馈到输入端口,并提供三次谐波的信号回路. 该滤波器通常用阶跃阻抗低通滤波器来实现<sup>[3-6]</sup>,这主要是因为该类型滤波器与开路线低通滤波器相比在宽度方向上较小,可以放置于狭窄的倍频器腔体中.

紧凑悬置微带谐振器(CMRC)与传统谐振器相比,具有体积紧凑的优点,并且能够改善电路性能,在振荡器、混频器等电路设计中得到了比较广泛的应用<sup>[7]</sup>,例如文献[8]采用两个不同谐振频率的 CSMRC 构成宽阻带滤波器,进行四倍频器的设计. 该设计通过 CSMRC 结构减小了电路宽长比,增加安装的可靠性.

本文将采用变阻二极管设计一款基于 CSMRC 的覆盖 WR-3 全频段的三次倍频器,该倍频器将用于宽带远场天线测量系统中.

## 1 225 ~ 330 GHz 天线测量系统简介

本文设计的宽带倍频器将用于一个 WR-3 波导全频段天线测量系统,其框图如图 1 所示. 该测量系统主要由毫米波频段的标准测试仪器,太赫兹频段倍频器、谐波混频器,以及标准天线和待测天线构成.

发射通道采用 Keysight E8267D 和 Farran 的 6 次倍频器将微波信号倍频到 W 波段,经由本文设计的 3 次倍频器倍频到 225 ~ 330 GHz,再通过发射天线发射出去.

接收信号经过待测天线后到达四次分谐波混频器,该混频器的本振由 E8257D 和二次倍频器构成. 四次谐波混频器及本振二倍频器可实现 WR-3 全频段信号下变频. 谐波混频器的输出中频信号直接接到频谱仪或者示波器,可测得输出信号幅度的大小.

## 2 宽带三倍频器设计

天线测量系统要求倍频源能够覆盖整个波导频段,但对倍频器的输出功率要求不高. 因此,变阻二极管比较适合该应用的设计需求.

按照原理结构,倍频器可以分为单管倍频器及

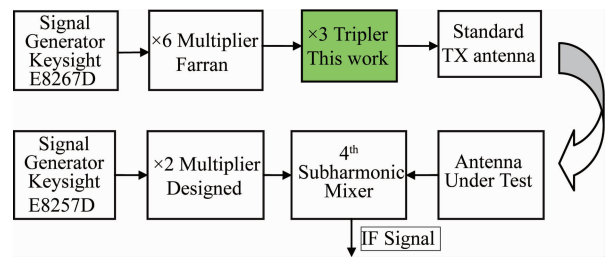


图 1 太赫兹波段 (225 ~ 330 GHz) 远场天线测量系统框图  
Fig. 1 Far-field antenna measurement system at Terahertz band (225 ~ 330 GHz)

平衡式倍频器两种. 单管倍频器只使用一只(或等效于一只)二极管,但是需要较为复杂的外围电路来滤除空闲频率分量. 在太赫兹波段,这样的电路往往损耗较大,并对倍频效率产生比较明显的影响. 此外,全频段的匹配及滤波器电路设计难度往往也比较大.

平衡式倍频器利用倍频器的平衡结构来实现对空闲频率分量的抑制甚至重新利用,简化了外围电路设计,从而可以有效的提高倍频器的倍频效率. 此外,平衡式倍频器由于采用多个二极管,因此还可以有效的提高倍频器的功率容量.

平衡式三次倍频器一般包括两种结构,其一,采用并联二极管对;其二,采用同向串联二极管. 这两种结构的等效原理电路其实是完全一致的,不同之处在于二极管的偏置方式. 基于反向并联二极管的倍频器在两只二极管内部实现直流自偏置,而采用同向串联二极管的倍频器,既可以采用自偏置,也可以采用外部偏置. 而外部偏置一般有利于提高倍频器的工作带宽以及倍频效率. 一般在毫米波频段,驱动功率较大,倍频器通常采用外部偏置来获得最佳工作状态;而在 300 GHz 以上,一般倍频器都不需要采用外部偏置.

实际上,变容二极管对外部偏置比较敏感,改变偏置可以有效的改变倍频器的状态,因此一般基于变容二极管的倍频器会采用外部偏置. 而阻性二极管在反偏电压状态下的电容变化范围较小,二极管的阻抗状态对外部偏置敏感性远不如变容二极管,因此采用变阻二极管的倍频器一般不采用外部偏置. 因此,三倍频器设计不考虑采用外部直流偏置.

二极管选用英国 Teratech 公司反向并联的变阻肖特基二极管 AP1-G2-0P95,该二极管的三维模型如图 2 所示.

设计宽带、高效率倍频器的要点是尽量简化匹配及滤波电路,在基波及所需谐波的频率上,只需要

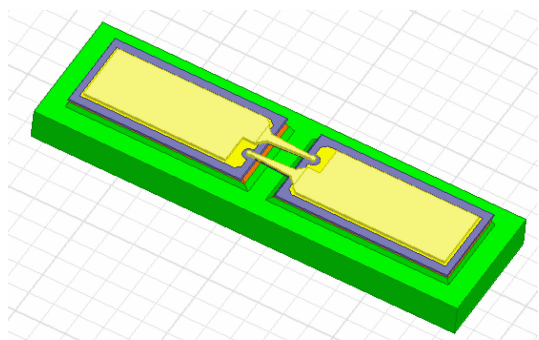


图2 AP1-G2\_0P95 反向并联肖特基二极管模型  
Fig. 2 3D-model of antiparallel schottky diode AP1-G2-0p95

提供必要的回路即可,基于上述原则,所设计的倍频器基本原理图如图3所示。

该倍频器包括:输入、输出微带/波导转换,反向并联二极管对,CSMRC 滤波器以及两段传输线 TL1, TL2. 其中 CSMRC 为一个低通滤波器,该滤波器可以通过基波信号,而抑制三次谐波信号. 输入基波信号经过微带/波导转换、低通滤波器进入二极管对. 二极管对右侧为一段传输线 TL2 和微带/波导过渡,WR-3 波导对基波信号呈截止效应,利用该效应和 TL2 形成基波信号回路. 对于由二极管对产生的三次谐波信号,其左侧的低通滤波器在三次谐波上呈现截止效应. 适当调整 TL1 的长度及宽度,就可以在 A 点形成对三次谐波接地,形成相应的信号回路。

而对于以二次谐波为主的偶次谐波,平衡式的倍频结构可以抵消偶次谐波分量. 更高次的奇次和偶次谐波由于能量较小,对倍频器性能产生的影响已经比较小,设计中不再予以考虑。

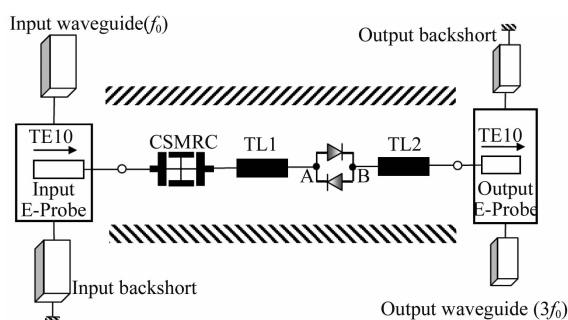


图3 平衡式三倍频器原理图  
Fig. 3 The proposed balanced frequency tripler

由于需要设计覆盖 WR-3 波导的全频段倍频器,因此对于上述低通滤波器来说,通带频率为 75 ~ 110 GHz,阻带频率覆盖 WR-3 波导频段 (225 ~

330 GHz). 通常平衡式三倍频器中采用阶跃阻抗线低通滤波器<sup>[3-5]</sup>,但由于受腔体宽度限制,低阻抗线的宽度也有所限制,从而在一定程度上限制了该低通滤波器的性能. 腔体宽度的设置需要考虑在倍频器工作频率范围内不能出现波导寄生模式,选择腔体宽度为 0.36 mm,对应截止频率为 416 GHz. 此外,由于倍频器的输入输出都是波导,二极管是唯一的有源器件,因此可以根据腔体尺寸以及实际需要灵活选择悬置微带线的宽度及特性阻抗. 为了使主传输线的宽度与二极管的尺寸相匹配,选择其宽度为 0.06 mm.

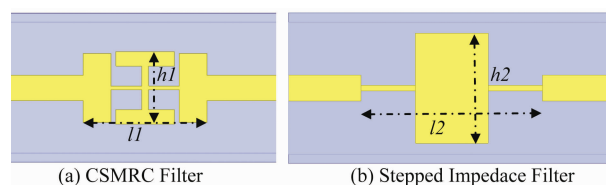


图4 CSMRC 及三阶阶跃阻抗低通滤波器结构对比 ( $l_1 = 0.34$  mm,  $h_1 = 0.2$  mm,  $l_2 = 0.5$  mm,  $h_2 = 0.3$  mm)  
Fig. 4 The structure comparison between CSMRC and 3-pole stepped impedance LPF ( $l_1 = 0.34$  mm,  $h_1 = 0.2$  mm,  $l_2 = 0.5$  mm,  $h_2 = 0.3$  mm)

图4给出了阶跃阻抗低通滤波器和 CSMRC 谐振器的模型,图5给出了两者仿真结果及其对比. 首先在尺寸上,CSMRC 比阶跃阻抗滤波器在长度和宽度方向都较小,所占面积前者是后者的一半. 其次,在同样的端口阻抗以及腔体尺寸前提下,CSMRC 在 220 ~ 325 GHz 范围内的抑制在 22 dB 以上,带内回波损耗小于 15 dB,只使用一个 CSMRC 已能满足倍频器的设计需求;而对于阶跃阻抗滤波器,带外抑制只能达到 12 dB 左右,带内回波损耗也比较差,这将在一定程度上影响倍频器的性能指标. 采用三阶阶跃低通滤波器的倍频器性能仿真结果也在下文的倍频器测试结果中作为对比一并给出. 若要达到更好的带内回波及带外抑制性能,只有进一步增加滤波器的阶数,然而这样会引入额外的损耗,同时也会增加石英基片的长度及加工的难度。

在宽度方向上,CSMRC 只有 0.2 mm,这给设计带来了很大的灵活性,即可以进一步压缩腔体宽度,有效抑制寄生波导模式. 这也说明 CSMRC 结构还可以用于更高频率的倍频器设计。

此外从图5还可以看出,CSMRC 在阻带有两个传输零点. 其中,近端的传输零点由中间的高阻线及低阻线形成,而远端的传输零点由位于两端的开路

线构成. 通过调整相应的尺寸, 可以调整两个零点的位置, 从而在感兴趣的频带范围内形成足够的抑制.

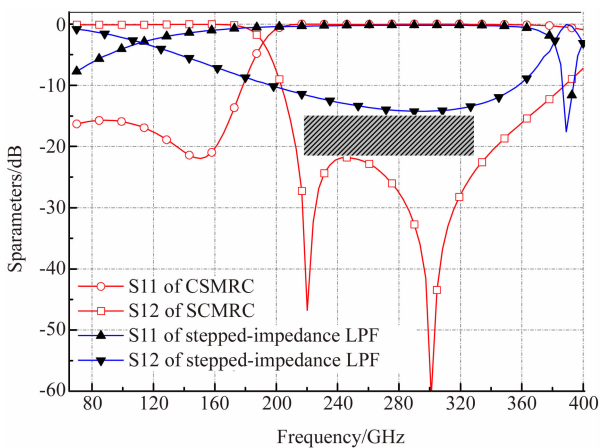


图5 CSMRC 及三阶阶跃阻抗低通滤波器仿真结果对比  
Fig. 5 Simulation results of CSMRC and 3-pole stepped impedance LPF

输入输出波导/悬置微带转换为了达到全频段性能, 都采用了减高波导. 输入 WR-10 波导高度由 1.27 mm 降低到 0.4 mm, 输出波导高度由 0.43 mm 降低到 0.28 mm. 由于高度方向变化较大, 由减高波导到标准高度波导的转换过渡段也需要一定的长度来达到宽带转换性能. 由于减高波导到标准波导的转换结构比较大, 且模型中还存在二极管外延层、空气桥等这样的精细结构, 将转换结构直接放在整体仿真模型中仿真、优化会比较慢. 减高波导到标准波导的过渡都是全频段仿真设计的, 如果过渡结构优化的比较好 (本文设计的波导过渡回波损耗小于 -20 dB), 对倍频器的最终性能不会产生明显的影响. 因此在倍频器整体性能仿真时, 可先不加入标准波导的过渡段以提高三维电磁场仿真效率, 在完成初步参数调整优化后在整体模型中再加入转换结构进行性能仿真确认和必要的微调.

设计中另一关键尺寸为悬置微带腔体的高度, 该高度同样也是在波导/悬置微带转换在波导宽边上开窗的高度. 该高度的选择会影响转换的转换的带宽特性, 此外, 若该高度大于悬置微带腔体的宽度 (0.36 mm), 会使得该腔体的寄生传输模式取决于高度方向. 根据以上因素, 本文所选择的悬置微带线腔体高度为 0.3 mm. 图 6 给出了 WR-10 波导/悬置微带转换的仿真性能, 在 75 ~ 110 GHz 范围内, 平均回波损耗小于 15 dB, 最小为 12 dB. 图 7 给出了 WR-3 波导/悬置微带转换的仿真性能, 在 225 ~ 330 GHz 范围内, 回波损耗大于 16 dB. 从仿真结果可以

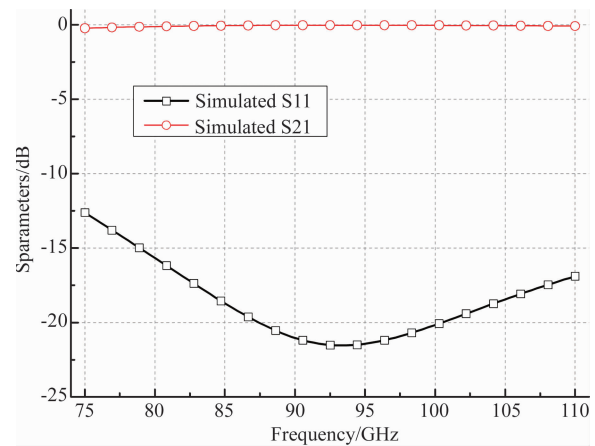


图6 输入 WR-10 波导/悬置微带转换仿真性能  
Fig. 6 Simulation results of the input WR-10 waveguide-to-suspended microstrip line transition

看出, 上述两个转换都基本达到了全频段覆盖的要求.

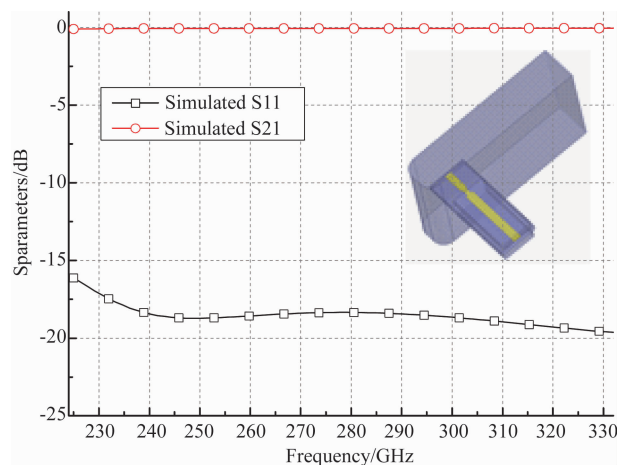


图7 输出 WR-3 波导/悬置微带转换仿真性能  
Fig. 7 Simulation results of the output WR-3 waveguide-to-suspended microstrip line transition

除了上述无源结构外, 还需对含有二极管对的悬置微带线腔体进行仿真. 在 HFSS 中, 将输入输出悬置微带线端口校准到二极管的输入输出端, 并将仿真得到的 S 参数导入到 ADS. 同时, 导入上述组成倍频器的各个模型 S 参数, 对倍频器的输出功率进行初步仿真, 并通过调整输入、输出匹配电路 (TL1, TL2) 的特性阻抗和电长度 (在 ADS 中直接调用理想传输线) 来迭代优化倍频器性能. 在达到最优结果后, 在 HFSS 中建立输入、输出匹配三维电路模型, 并与其他所有模型集成起来进行整体三维电磁场仿真, 对应模型如图 8(a) 所示.

将该三维电磁场模型的仿真得到的 S 参数导入

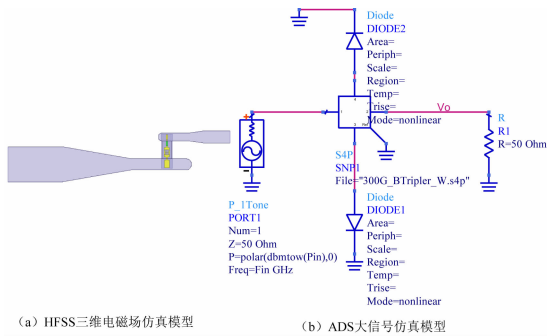


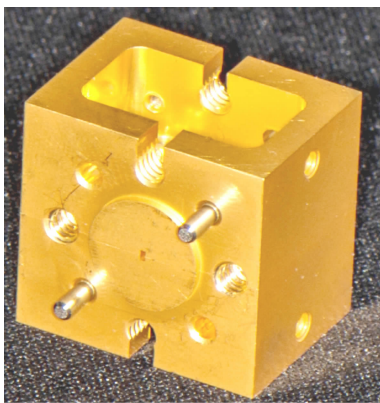
图 8 WR-3 全频段三倍频器整体性能仿真

Fig. 8 Simulation model of the whole WR-3 full band tripler

到 ADS 中,加入二极管的本振参数模型以及驱动信号源和负载,采用谐波平衡分析法对整个倍频器的性能进行仿真. ADS 中的仿真模型如图 8(b) 所示. 由于将多个模型在 HFSS 中组合集成时,相互之间存在一定的影响,导致倍频器输出功率与上述最优结果存在一定的偏差. 此时,可以在 HFSS 中继续微调匹配电路,以得到更优的输出功率. 倍频器的最终仿真优化输出功率将与测试结果一并在下文给出.

### 3 倍频器测试

根据仿真模型,本文设计并加工了两套倍频器实物. 倍频器照片如图 9 所示,其采用铜镀金盒体. 装配时,首先将肖特基二极管通过导电胶 H20E 安装到石英基片,再将基片粘接于悬置微带腔体之中.

图 9 WR-3 全频段三倍频器实物照片  
Fig. 9 Photo of the WR-3 full band tripler

为了测量倍频器在全频段范围内的输出功率,需要 W 波段全频段的信号源. 采用的测量方案如图 10 所示. W 波段信号源由 Farran 的 6 倍频信号源将微波信号倍频到 W 波段,在 75 ~ 110 GHz 全频段范围内至少可达到 10 dBm 以上的输出功率. 在测量

待测三倍频器时,为了保证全频段范围内的驱动功率为固定值,在倍频器前加入了 W 波段可调衰减器. 倍频器的输出功率由 VDI 公司的 PM5 功率计进行测量.

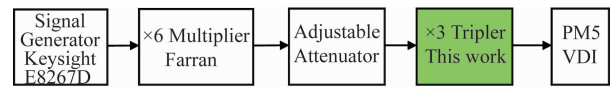


图 10 三倍频器测试系统框图

Fig. 10 Test bench of the frequency tripler

测试得到的频率响应特性如图 11 所示,一并给出的还有倍频器分别采用 CSMRC 及阶跃阻抗滤波器的仿真结果. 对于仿真结果,由对比可以看出,采用三阶阶跃阻抗低通滤波器的倍频器输出功率略低于基于 CSMRC 的倍频器,尤其在频率低端差异较大. 这主要因为 1) 阶跃阻抗滤波器本身带内就存在损耗; 2) 阶跃阻抗滤波器带外抑制性能较差,尤其在频率低端,这导致一部分输出功率泄露到输入端; 3) 前两个因素以及他们与肖特基二极管的相互作用使得在频率低端的倍频输出功率较小. 对于测试结果,对比可以看出,其与仿真结果(基于 CSMRC)吻合度较好,这说明本文提出的设计方法是有效的. 在全频段范围内,两套倍频器的输出功率都在 35  $\mu\text{W}$  以上,典型输出功率为 60  $\mu\text{W}$  (-12 dBm),最大输出功率为 95  $\mu\text{W}$ . 通过样品的测量输出功率可以计算出带内平坦度,计算结果分别为 3.2 dB 和 3.6 dB.

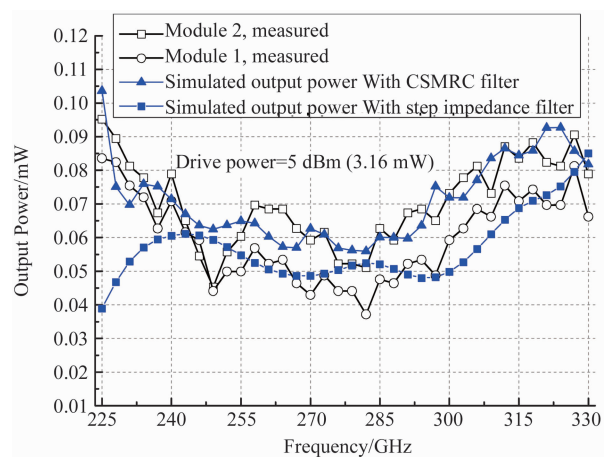


图 11 WR-3 全频段三倍频器仿真及测试结果(驱动功率 + 5 dBm)

Fig. 11 Simulated and measured output power of the tripler (with +5 dBm drive power)

图 12 给出了倍频器在不同频率点不同驱动功

率下的倍频效率. 由图可以看出,最佳倍频效率对应的输入功率约为 +5 dBm,对应倍频效率在 1.5% ~ 3% 之间. 在驱动频率为 95 GHz 时,对应的倍频效率最低,这与图 11 也是相吻合的. 图 11 中,两个模块的输出功率曲线趋势基本吻合,但数值上存在一定的差异. 图 12 中,在 0 dBm 驱动时,110 GHz 处的倍频效率差异较大,分别约为 2.2% 以及 0.25%,差异达到约 10 倍. 随着驱动功率的增加差异逐渐减小,在驱动功率为 +5 dBm 时,在 110 GHz 处的倍频效率分别为 2% 及 1.5% (前者约是后者的 1.3 倍). 而输入功率为 +11 dBm 时,所有三个频点(75 GHz, 95 GHz, 110 GHz) 倍频效率在 1.75% ~ 1.5% 之间(前者约是后者的 1.17 倍). 导致该差异的可能原因如下:(1)两个模块本身的差异,即金属箱体、电路基片、二极管个体存在差异;(2)装配效果差异. 由于工作频率高,电路基片及箱体结构比较精细,二极管尺寸也较小,在将基片安装到箱体以及将二极管安装到基片时,都会带来安装上的偏差,而这种偏差在太赫兹频段是不可忽略的,必然对模块性能影响产生不可忽略的影响.(3)倍频器输入功率较小时,两套倍频模块的输出功率差异也较大,这主要是因为倍频器中的二极管没有被有效驱动.

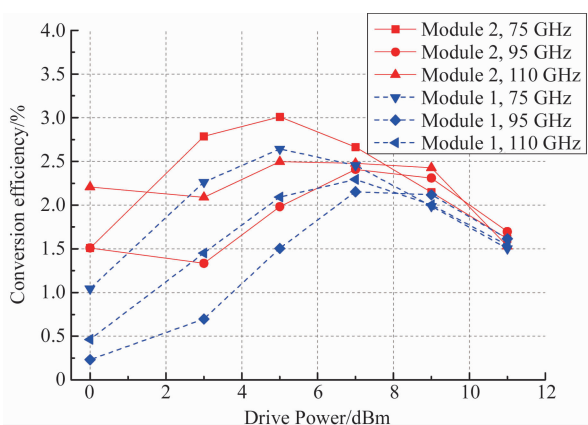


图 12 三倍频器倍频效率与输入功率的关系  
Fig. 12 The dependence of the conversion efficiency of the tripler on the drive power

表 1 给出了本文设计的三倍频器与国内外报道的三倍频器的对比情况. 文献[3]为 W 波段全频段倍频器,其整个频段的倍频效率与本文报道的相比略好,但其工作频率是本文的三分之一. 文献[4]和文献[5]报道的倍频器为窄带倍频器,其倍频效率与本文相当. 文献[8]采用单面集成工艺以及变容二极管,在 540 ~ 640 GHz 范围内,典型倍频效率为 6%. 由对比可以看出,作为变阻二极管倍频器,本文设计的全频段三倍频器的倍频效率指标是相对比较优异的. 这也说明,本设计已发挥了所选择二极管的性能,而输出功率较低则是因为二极管本身的功率容量较低. 即便如此,该输出功率已能满足常规天线指标的测量要求.

#### 4 结论

设计宽带、高效率倍频器的要点是尽量简化匹配及滤波电路. 本文提出了一种基于单个 CSMRC 的 WR-3 全频段三倍频器,该倍频器优化 CSMRC 使得同时满足宽通带及宽阻带抑制的要求. 此外,结构紧凑的 CSMRC 有效减少了整个倍频器电路基片的尺寸,这有利于减少电路损耗,提高倍频效率,提高薄膜电路成品率及安装可靠性. 通过仿真还发现,这种 CSMRC 谐振器宽度远小于必要的腔体宽度,这也说明 CSMRC 可以应用到更高频段的倍频器设计中.

#### References

- [1] Ward J, Schlecht E, Chattopadhyay G, et al. Capability of THz sources based on Schottky diode frequency multiplier chains [J]. *IEEE MTT-S Digest*, 2004, TH6B-4: 1587 - 1590.
- [2] Schlecht E, Chattopadhyay G, Maestrini A, et al. 200, 400 and 800 GHz Schottky diode "substrateless" multipliers: design and results [J], 2001 *IEEE MTT-S International Microwave Symposium Digest*, AZ, USA, 2001, 3:1649 - 1652.
- [3] Chen Z H, Xu J P. Design of a W-band frequency tripler for broadband operation based on a modified equivalent circuit model of GaAs Schottky varistor diode [J]. *Journal Infrared, Millimeter, and Terahertz Waves*, 2013, 34:28 - 41.

(下转第 211 页)

表 1 三倍频器性能比较

Table 1 Performance comparison with other published frequency triplers

Reference	Circuits type	Output frequency/GHz	Output Power/dBm	Conversion efficiency/(%)
[3]	Hybrid Integrated, Varistor	75 ~ 110	1.0 ~ 6.5	1 ~ 4.5
[4]	Hybrid Integrated, Varistor	220 ~ 240	-7.0 ~ 0.0	0.6 (typ)
[5]	Hybrid Integrated, Varistor	210 ~ 230	3.0 (typ)	2.5 (typ)
[9]	Hybrid Integrated, Varistor	106 ~ 114	5.0 (max)	2.5 (typ)
[10]	MMIC, Varactor	540 ~ 640	1.0 (typ)	6.0 (typ)
This work	Hybrid Integrated, Varistor	225 ~ 330	-12 (typ)	2.0 (typ)