

基于标准 CMOS 工艺线性 APD 倍增区的优化仿真

鞠国豪^{1,2,3}, 程正喜¹, 陈永平^{1*}, 钟燕平^{1,2}

(1. 中国科学院上海技术物理研究所 红外成像材料与器件重点实验室, 上海 200083;

2. 中国科学院大学, 北京 100049;

3. 上海科技大学 信息科学与技术学院, 上海 201210)

摘要: 采用标准 CMOS 工艺制备的 $n^+ - p - \pi - p^+$ 结构的线性 APD, 其倍增区 p 层的掺杂分布极大地影响着器件的性能. 采用 Silvaco 仿真软件对倍增区 p 层进行了设计仿真, 研究了 p 层的注入剂量和注入峰值浓度深度对器件特性的影响. 仿真结果表明, 设定器件增益为 50, 在 p 层的最佳注入剂量为 $1.82 \times 10^{12}/\text{cm}^2$, 峰值浓度深度为 2.1 μm 左右的最佳工艺条件下, 器件的工作电压为 73.1 V, 过剩噪声因子为 4.59, 过剩噪声指数在 0.34 ~ 0.45 之间 ($\lambda = 800 \text{ nm}$), 优于目前已报道的结果. 通过工艺的优化, 器件的性能可以得到进一步提高.

关键词: 标准 CMOS 工艺; 线性 APD; 掺杂分布; 峰值浓度深度; 仿真

中图分类号: TN364 文献标识码: A

Simulation of the multiplication zone for linear APD based on standard CMOS process

JU Guo-Hao^{1,2,3}, CHENG Zheng-Xi¹, CHEN Yong-Ping^{1*}, ZHONG Yan-Ping^{1,2}

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China;

3. ShanghaiTech University, School of Information Science & Technology, Shanghai 201210, China)

Abstract: The doping distribution in the multiplication zone of $n^+ - p - \pi - p^+$ structured linear avalanche photodiode (APD) based on standard CMOS process greatly determines the device performance. The influences of implanting dose and the depth of its peak concentration of the p-layer on device characteristics are simulated using Silvaco. The simulation results show that, at a given gain of 50, the optimized doping dose of P layer is $1.82 \times 10^{12}/\text{cm}^2$ with depth of peak concentration 2.1 μm . Under optimized conditions, the reverse bias voltage is 73.1 V, the excess noise factor is 4.59, and the excess noise index is 0.34 ~ 0.45 ($\lambda = 800 \text{ nm}$), which are better than those reported. The performance of the APD may be further improved through process optimization.

Key words: standard CMOS process, linear APD, doping distribution, depth of peak concentration, simulation

PACS: 61.72.uf, 85.60.Bt, 85.60.Dw

引言

APD (avalanche photodiode) 是探测微弱光信号的关键光电探测器, 在光通信、光互联和光测距等领

域有着广泛的应用^[1]. 对于工作在线性模式下的 APD, 器件利用雪崩过程实现信号的内部增益放大, 可以在不改变信号输出特征的情况下达到更高的灵敏度. 因此, 线性 APD 是微光探测器技术研究的一

收稿日期: 2017-08-09, 修回日期: 2018-01-18

Received date: 2017-08-09, revised date: 2018-01-18

基金项目: 中国科学院上海技术物理研究所重点培育方向性项目

Foundation items: Supported by Shanghai Institute of Technical Physics, Chinese Academy of Sciences Focus on Cultivating Directional Project

作者简介 (Biography): 鞠国豪 (1989-), 男, 山东临沂人, 硕士研究生, 主要从事光电器件的仿真测试工作. E-mail: jugh@shanghaitech.edu.cn

* 通讯作者 (Corresponding author): E-mail: chen_yp@mail.sitp.ac.cn

个重点.

在成像应用领域^[2-4],尤其是微光成像方面,基于标准 CMOS 工艺的线性 APD 一直是一个非常有吸引力的研究方向^[5-6].采用专门工艺可以制备出高性能的 APD,但其器件工艺与标准 CMOS 工艺不兼容,器件工作需要片外电路,限制了器件的规模,并影响了系统的性能.而采用标准 CMOS 工艺制备的 APD 器件可以与 CMOS 电路进行单片集成,具有成本低、一致性好、功耗低、带宽高和噪声低等优点,且在规模上具有拓展性.

在经典的穿通型 APD 结构中,倍增区的掺杂浓度分布直接决定了电场强度分布,从而决定了 APD 的性能.因此有必要对器件的结构及工艺参数进行仿真分析,为器件的优化设计提供依据.文中仿真的 APD 采用的是 0.35 μm 标准 CMOS 工艺,在设定器件的增益 $M = 50$ 前提下,使工作电压低于 100 V,满足光电器件和电路单片集成的电压要求和器件可靠性要求.因为对线性 APD 来说,工作电压越低,器件的可靠性和兼容性越好.此外,较低的工作电压也有利于减小器件的过剩噪声因子.

文中结构如下:首先是介绍标准 CMOS 工艺的线性 APD 的基本结构、基本物理模型和掺杂浓度分布模型;其次,利用 Silvaco 软件对 APD 进行二维仿真,根据击穿电压、临界击穿电场、增益 $M = 50$ 时的反向偏置电压、倍增区内最大场强和过剩噪声因子等性能参数,对 p 层的注入剂量和注入的峰值浓度深度进行优化仿真.

1 基本结构和掺杂浓度分布模型

与盖格模式的 APD(G-APD)一样,线性 APD 的工作原理也是基于碰撞电离效应.在硅的 PN 结处,当电场强度增加到约 $1 \times 10^5 \text{ V/cm}$ 以上时,载流子将获得足够能量,通过碰撞晶格原子使其电离产生电子-空穴对,从而产生自身内部增益^[7].线性 APD 的增益有限,其输出光电流与输入光强基本成正比.

1.1 基本结构

采用标准 CMOS 工艺制备的线性 APD 通常采用如图 1 所示的穿通型结构. B. Steindl 等人^[8]均采用这种 $n^+ - p - \pi - p^+$ 结构开展了器件的研制.在该结构中,在半导体表面采用 n 型的重掺杂,使其达到简并状态,保证金属电极和半导体有良好的欧姆接触.但是 n^+ 层不宜太深,因为太深的 n^+ 层内会有大量的光生载流子生成,引入空穴雪崩,导致噪声过大.

n^+ 层也不宜太浅,太浅的 n^+ 层可能会导致表面暗电流增加.结合标准工艺要求,仿真选取 n^+ 层为 0.3 μm 左右.外延层的总厚度按代工厂提供的数据选为 15 μm .

结电容是影响光电探测器响应速度的主要因素.因此 Youn 和 Lee 等人^[9-10]深入研究了不同 PN 结面积下 APD 器件的响应速度的不同,结果显示适当减小 PN 结面积,可以使器件的响应速度明显提高.仿真采用了 0.35 μm 标准 CMOS 工艺的厚度为 15 μm 的外延片.由于 p 层扩散以及 p^+ 衬底的反扩散影响,剩余有效光吸收区会较小. PN 结的面积选择了典型的 100 $\mu\text{m} \times 100 \mu\text{m}$,与 B. Steindl 等人^[11]的设计接近.

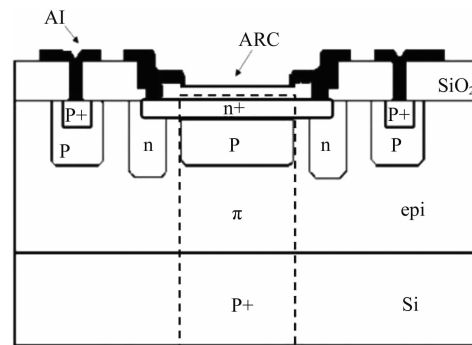


图 1 穿通型 APD 基本截面结构
Fig. 1 Cross-section view of the punch-through APD

1.2 简化的纵向器件结构

基于标准 CMOS 工艺的线性 APD 优化设计的关键是对 p 层的优化设计.本文主要对器件的纵向结构参数进行仿真,暂时忽略保护环等部分的设计影响,此时的标准 CMOS 工艺的线性 APD 的结构可以简化为图 2 所示.

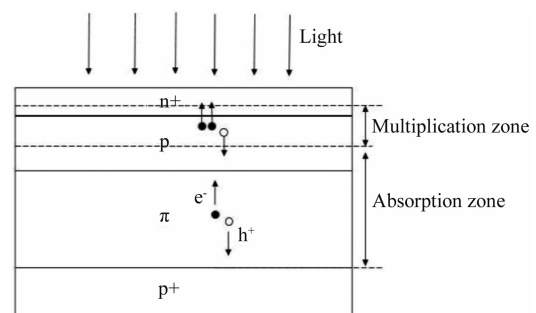


图 2 APD 纵向结构图
Fig. 2 Vertical structure of APD

图 2 的结构是按照纵向浓度分布情况来划分的

层次,雪崩效应主要发生在 n^+/p 结的倍增区,因为 n^+ 层和 p 层设计的十分薄,以减小该区域内任何光子吸收,大部分光照在吸收区被吸收.按照图 2 所示,可以将纵向掺杂浓度分布情况简化为纵向一维分布模型来研究,这样可以大大简化仿真优化过程.

1.3 物理模型和掺杂浓度分布模型

基于标准 CMOS 工艺的线性 APD 的仿真优化采用的是 Silvaco International 公司的一款商业软件 Silvaco. Silvaco 由很多仿真器组成,其中 Atlas 器件仿真器是最常用的器件仿真模块.在 Atlas 中,可以定义结构参数来对器件进行建模、划分网格. Atlas 中包含了很多基本方程和物理模型.在仿真过程中,主要以漂移-扩散模型为基础,计算器件的泊松方程和载流子连续性方程,泊松方程为:

$$\operatorname{div}(\varepsilon \nabla \Psi) = -\rho \quad , \quad (1)$$

$$\vec{E} = -\nabla \Psi \quad , \quad (2)$$

方程(1)和方程(2)中的 Ψ 为局部的电势, ε 为局部的介电常数, ρ 为局部的空间电荷密度.

载流子连续性方程为:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \vec{J}_n + G_n - R_n \quad , \quad (3)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \operatorname{div} \vec{J}_p + G_p - R_p \quad , \quad (4)$$

方程(3)和方程(4)中的 \vec{J}_n 和 \vec{J}_p 分别为电子和空穴的电流密度. G_n 和 G_p 分别为电子和空穴的产生率, R_n 和 R_p 分别为电子和空穴的复合率, q 为单电子的电荷量.

然后仿真软件再根据各种物理模型来计算器件的光学性能和电学性能.文中仿真用到的物理模型有产生复合模型(Shockley-Read-Hall)、带间直接隧穿模型(Band-to-Band Tunneling)、俄歇复合模型(Auger)、陷阱辅助隧穿模型(Trap-Assisted Tunneling)、辐射复合模型(Radiative Recombination)、Selb 碰撞电离模型(Selberherr's Impact Ionization Model).

为了表征碰撞电离过程,采用的是 Selb 碰撞电离模型(Selberherr's Impact Ionization Model). Selb 碰撞电离模型中电子与空穴的离化率方程为:

$$\alpha_n = AN \exp\left[-\left(\frac{BN}{E}\right)^{\text{BETAN}}\right] \quad , \quad (5)$$

$$\alpha_p = AP \exp\left[-\left(\frac{BP}{E}\right)^{\text{BETAP}}\right] \quad , \quad (6)$$

方程(5)和方程(6)中的 E 为特定点沿电流方向的电场,参数 AN、AP、BN、BP、BETAN 和 BETAP 采用

Overstraeten 和 De Man 的实验拟合值^[12],其值如表 1 所示.

表 1 Overstraeten 和 De Man 的实验拟合值

Table 1 Fitting coefficients from Overstraeten and De Man

| 参数 | 拟合值 | 电场强度范围(V/cm) |
|--------|----------------------|---|
| AN1 | 0.703×10^6 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| AN2 | 0.703×10^6 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| BN1 | 1.0231×10^6 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| BN2 | 1.0231×10^6 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| BETAN1 | 1 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| BETAN2 | 1 | $1.75 \times 10^5 \sim 6.0 \times 10^5$ |
| AP1 | 0.671×10^6 | $4.0 \times 10^5 \sim 6.0 \times 10^5$ |
| AP2 | 1.582×10^6 | $1.75 \times 10^5 \sim 4.0 \times 10^5$ |
| BP1 | 1.693×10^6 | $4.0 \times 10^5 \sim 6.0 \times 10^5$ |
| BP2 | 2.036×10^6 | $1.75 \times 10^5 \sim 4.0 \times 10^5$ |
| BETAP1 | 1 | $4.0 \times 10^5 \sim 6.0 \times 10^5$ |
| BETAP2 | 1 | $1.75 \times 10^5 \sim 4.0 \times 10^5$ |

在软件仿真过程中需要用到很多材料参数,文中的器件仿真过程中需要的主要材料参数如表 2 所示.

表 2 器件仿真的主要材料参数

Table 2 Material parameters in simulation

| 参数 | 单位 | Si |
|----------------------------|---|-----------------------|
| Bandgap | eV | 1.08 |
| Nc300 per cc | | 2.8×10^{19} |
| Nv300 per cc | | 1.04×10^{19} |
| Electron mobility | $\text{cm}^2/(\text{V} \cdot \text{s})$ | 1 000.0 |
| Hole mobility | $\text{cm}^2/(\text{V} \cdot \text{s})$ | 500.0 |
| Electron Auger coefficient | | 2.8×10^{-31} |
| Electron Auger coefficient | | 9.9×10^{-32} |
| Electron SRH lifetime | sec | 1.0×10^{-7} |
| Hole SRH lifetime | sec | 1.0×10^{-7} |

APD 器件的掺杂分布情况对于器件性能影响非常重要.其中 p 层的注入剂量和注入峰值浓度深度对器件性能影响至关重要,因此也是研究的重点.此外,基于标准 CMOS 工艺的线性 APD 的设计必须符合一定的标准工艺规则,文中采用的标准工艺规则如表 3 所示.

表 3 CMOS 0.35 μm 工艺标准规则

Table 3 CMOS 0.35 μm standard process rules

| 层 | 峰值浓度/ cm^{-3} | 深度/ μm |
|------------|------------------------|-------------------|
| p^+ | 2.0×10^{17} | 20.0 |
| $\pi(p^-)$ | 1.0×10^{14} | 15.0 |
| p | 待优化设计 | 待优化设计 |
| n^+ | 5.0×10^{18} | 0.3 |

仿真采用了 Takao Kaneda 等人^[13]提出的掺杂分布模型,掺杂浓度分布情况如图 3 所示.模型中的

n^+ 层、 π 层和 p^+ 层的深度及峰值浓度的值如表3中所示. 其中 p 层的峰值浓度一般在 10^{16} cm^{-3} 量级, 远高于 π 层的掺杂浓度. 因为 p 层是单一能量的离子注入形成, 所以呈现高斯分布形式. 假设 p 层的峰值浓度深度为 d_p , 按照 Atlas 中高斯分布来定义杂质分布情况, 用参数 junction 定义 n^+ 层与 p 层的结到 n^+ 层峰值浓度深度点的距离为 $0.6 \mu\text{m}$, 同理定义 p 层与 π 层的结到 p 层峰值浓度深度点的距离为 $0.6 \mu\text{m}$. 考虑到 p^+ 层在工艺实现过程中的反扩散对吸收区的影响, 将 p^+ 层与 π 层的结到 p^+ 层峰值浓度深度点距离设为 $1.2 \mu\text{m}$, 各层的浓度的高斯分布如下方程所示:

$$N(y) = \text{peak} * \exp\left(-\left(\frac{y}{y. \text{char}}\right)^2\right), \quad (7)$$

方程(7)中, y 为距离峰值浓度深度点的距离, $y. \text{char}/\sqrt{2}$ 为纵向高斯分布的标准差, $y. \text{char}$ 决定了浓度随深度的变化速率, peak 为峰值浓度, $N(y)$ 为距离峰值浓度深度点的距离为 y 处的浓度.

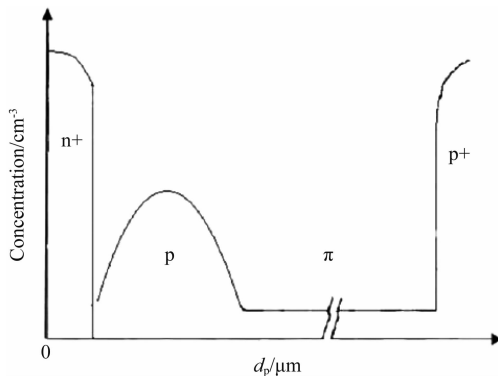


图3 掺杂浓度分布模型示意图
Fig. 3 Schematic of doping concentration distribution model

2 p层的仿真设计过程

基于标准 CMOS 工艺的线性 APD 的优化设计关键是对 p 层的注入剂量和注入的峰值浓度深度的仿真设计.

2.1 电压特性

2.1.1 击穿电压

基于标准 CMOS 工艺的线性 APD 发生临界击穿时的反向偏置电压为击穿电压 V_b . 其值定义为增益^[14] M 趋于无穷大时的反向偏置电压.

击穿电压是衡量线性 APD 的可靠性和线性工作范围的一个重要参数. 击穿电压在一定程度上反映了线性 APD 的工作电压的上限, 在其它性能参数

不变的情况下, 击穿电压的值越高越好. 一般情况下, 线性 APD 工作在击穿电压以下, 如果反向偏置电压过高会使 APD 发生盖格雪崩击穿. 图4所示的是在不同的注入剂量条件下, 击穿电压 V_b 随着 p 层的注入峰值浓度深度 d_p 变化而变化的情况.

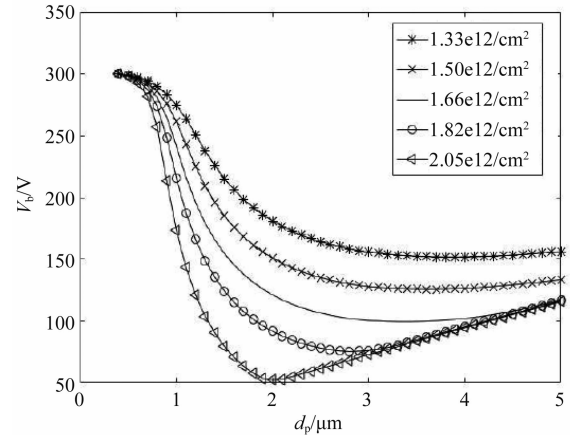


图4 在不同的注入剂量下, 击穿电压 V_b 与 p 层注入峰值浓度深度 d_p 关系曲线

Fig. 4 The dependence of the breakdown voltage V_b on the implantation depth of peak concentration of the p -layer for different implantation doses

如图4所示, 在图例所示的注入剂量条件下, 随着注入峰值浓度深度的增加, 击穿电压先在一定范围内急剧下降. 其原因是, APD 在 d_p 小于 $2.5 \mu\text{m}$ 的范围内, 发生击穿时, 电场强度基本维持在约 $3 \times 10^5 \text{ V/cm}$ 以上, 随着注入峰值浓度深度的增加, 电子发生碰撞电离引发雪崩的概率上升, 因此所需的反向偏置电压随之下降. 随着峰值浓度深度继续增加, 击穿电压开始上升, 其原因是倍增区雪崩需要一定场强, 而注入峰值浓度深度增加可以减小倍增区电场强度, 因此需要更大的反向偏置电压.

从图4还可以看出, 在注入峰值浓度深度一定的条件下, 随着注入剂量的增加, 击穿电压随之下降, 这是因为在相同的反向偏置电压下, 随着注入剂量增加, 倍增区分担的电压升高, 倍增区的电场强度会上升, 此时发生击穿所需的反向偏置电压将会减小.

考虑到实际工艺实现过程的偏差, 希望击穿电压对注入峰值浓度深度不要太敏感, 从图4中可以看到当注入峰值浓度深度在 $2.0 \mu\text{m}$ 以下时, 击穿电压对 p 层的注入峰值浓度深度是十分敏感的, 因此 p 层的注入峰值浓度深度应该不小于 $2.0 \mu\text{m}$. 此外, 在 p 层的注入峰值浓度深度大于 $2.0 \mu\text{m}$ 的部

分,观察五条曲线,相对平滑的曲线的击穿电压对 p 层的注入峰值浓度深度不敏感。

2.1.2 线性模式下的反向偏置电压

图 5 所示为 APD 在设定 $M = 50$ 的线性模式下,在 p 层的不同的注入剂量条件下,反向偏置电压 V_r 随注入峰值浓度深度 d_p 变化的曲线。

如图 5 所示,在 p 层的注入剂量一定的条件下,反向偏置电压 V_r 随着注入峰值浓度深度 d_p 的增加先减小然后缓慢增大。在注入峰值浓度深度一定的条件下,随着 p 层的注入剂量的减小,反向偏置电压 V_r 增大,这个变化趋势和器件在临界击穿情况下的击穿电压的变化趋势一致。

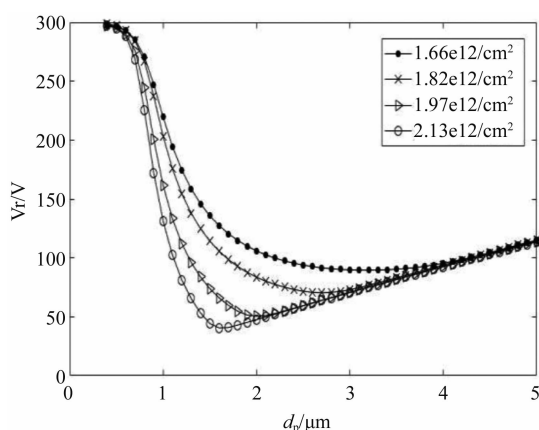


图 5 在不同的注入剂量下,反向偏置电压 V_r 与 p 层的注入峰值浓度深度关系曲线 ($M = 50$)

Fig.5 The relation curve of the breakdown voltage V_r and the implantation depth of peak concentration of the p-layer for different implantation doses ($M = 50$)

图 6 所示为固定增益 $M = 50$,在不同的 p 层注入剂量条件下,倍增区的最大电场强度随 p 层注入峰值浓度深度变化的曲线。如图 6 所示,对于线性工作的 APD, p 层的注入峰值浓度深度应大于 $1.5 \mu\text{m}$,此时的最大电场强度适中,且最大电场强度对 p 层注入剂量的变化不敏感。

2.2 倍增区的临界击穿电场

临界击穿电场定义为当器件发生临界击穿时,倍增区内的最大电场强度。电子和空穴的离化率^[12]对电场是十分敏感的,临界击穿电场影响电子和空穴的离化率。电场强度太大会导致空穴的离化率升高,从而引起噪声增加。

图 7 所示的是在不同的 p 层注入剂量条件下,临界击穿电场随着 p 层的注入峰值浓度深度变化而变化的曲线。从图 7 可以看出,在一定的注入剂量条件下,随着注入峰值浓度深度的增加,临界击穿电场

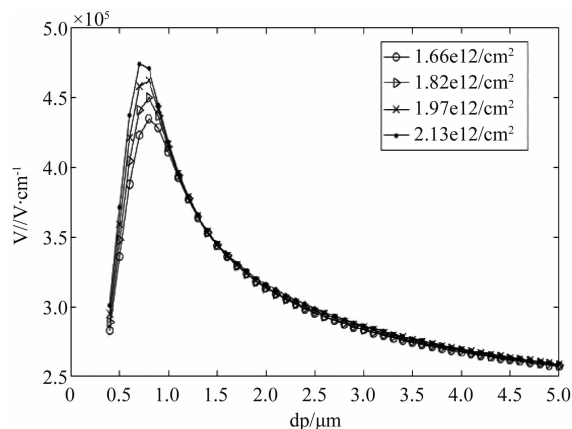


图 6 在不同的注入剂量下,最大电场强度 E 与 p 层注入峰值浓度深度 d_p 关系曲线 ($M = 50$)

Fig.6 The dependence of maximum electrical field E on the implantation depth for different implantation doses ($M = 50$)

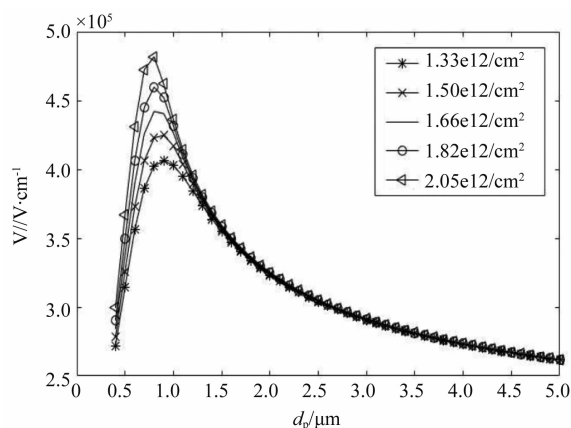


图 7 在不同的注入剂量下,临界击穿电场 E 与 p 层注入峰值浓度深度 d_p 关系曲线

Fig.7 The dependence of the critical breakdown field E on the implantation depth of peak concentration of the p-layer for different implantation doses

先急剧增加然后缓慢下降。这是因为在较浅的注入峰值浓度深度的位置,有一部分 p 型掺杂离子被 n^+ 层中和掉。随着注入峰值浓度深度的增加, p 层被 n^+ 层中和部分在减小,可以等效为 p 层的注入剂量在增加,此时注入剂量是影响临界击穿电场的主要因素,可由高斯定理推知,注入剂量的增加引起了临界电场强度急剧增加^[15-16]。当注入峰值浓度深度达到一定值之后,中和作用的效果消失,有效的倍增区域范围在增大,因此临界击穿电场下降。

如图 7 示,当 p 层的注入峰值浓度深度在 $0.5 \sim 1.5 \mu\text{m}$ 范围内时,临界击穿场强随着注入剂量的增加而增加,在 p 层的注入峰值浓度深度大于 $1.5 \mu\text{m}$ 范围时,这种趋势并不明显。在 p 层注入峰值浓

度深度大于 $1.5 \mu\text{m}$ 范围时,临界击穿场强小于 $3.5 \times 10^5 \text{ V/cm}$,临界击穿场强适中。

2.3 线性模式下的最佳穿通工艺点

对于 APD 器件来说,大部分的光被吸收区吸收,并在吸收区产生光生载流子,当吸收区的电场大于 $1 \times 10^4 \text{ V/cm}$ 时,电子可以以接近饱和运动速度^[17]漂移到倍增区。

因为 π 层的掺杂浓度远小于 n^+ 层的掺杂浓度,以致雪崩尚未发生而空间电荷区已经扩展到与 p^+ 层相接,这种现象被称为器件穿通,此时的反向偏置电压为穿通电压^[18]。本文将吸收区的最小场强达到 $1 \times 10^4 \text{ V/cm}$ 定义为最佳器件穿通,此时的反向偏置电压定义为最佳穿通电压。

图 8 所示是增益 $M = 50$ 时,三种不同的 p 层注入剂量条件下,器件穿通电压和器件最佳穿通电压随着 p 层注入峰值浓度深度变化的曲线。图中的实线表示增益 $M = 50$ 时,反向偏置电压随注入峰值浓度深度变化的曲线;虚线表示穿通电压随注入峰值浓度深度变化的曲线;* 实线表示最佳穿通电压随注入峰值浓度深度变化的曲线。

这里将 $M = 50$ 时的反向偏置电压的实曲线和器件最佳穿通电压的 * 实线的交点定义为器件在线性模式下的最佳穿通工艺点。此时的注入剂量和注入的峰值浓度深度可以保证器件的增益 M 达到 50 时,吸收区的电场达到 $1 \times 10^4 \text{ V/cm}$,吸收区的自由载流子可以以接近饱和速度漂移到倍增区。

从图 8 (a) 可以看到,在 p 层的注入剂量为 $1.66 \times 10^{12}/\text{cm}^2$ 时,最佳穿通工艺点为注入峰值浓度深度为 $3.0 \mu\text{m}$,反向偏置电压为 89.8 V ;从图 8 (b) 可以看到,在 p 层注入剂量为 $1.82 \times 10^{12}/\text{cm}^2$ 时,最佳穿通工艺点为注入峰值浓度深度为 $2.1 \mu\text{m}$,反向偏置电压为 73.1 V ;从图 8 (c) 可以看到,在 p 层注入剂量为 $1.97 \times 10^{12}/\text{cm}^2$ 时,最佳穿通工艺点为注入峰值浓度深度为 $1.7 \mu\text{m}$,反向偏置电压为 60 V 。

为了降低反向偏置电压和保证 $M = 50$ 时反向偏置电压对注入剂量变化和注入峰值浓度深度变化的敏感度,应尽量选取注入剂量较小和注入峰值浓度深度较大的工艺。在标准 CMOS 工艺中,注入剂量的调整可以通过空间调制技术来实现^[11,19]。

2.4 过剩噪声因子 F

过剩噪声因子 F 是由雪崩效应的随机性引起噪声增加的倍数。增益 M 在某一平均值上随机起伏。碰撞电离过程统计结果是在倍增散粒噪声中增

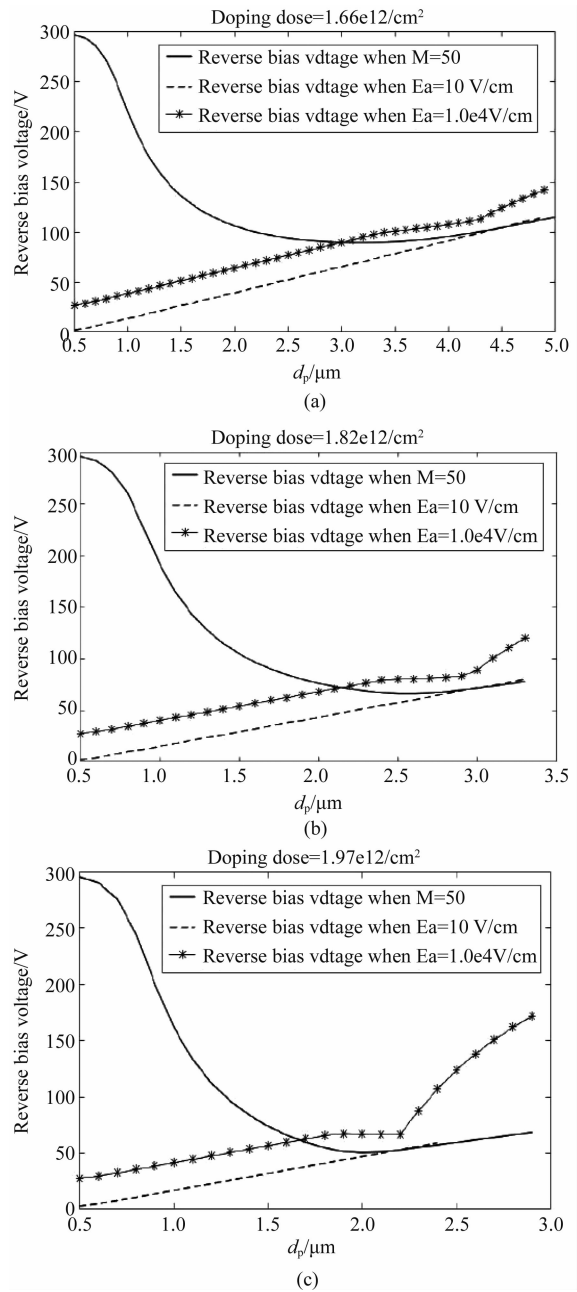


图 8 反向偏置电压、穿通电压和最佳穿通电压曲线 ($M = 50$)

Fig. 8 Reverse bias voltage, punch-through voltage and optimum punch-through voltage curve ($M = 50$)

加过剩噪声,成为雪崩噪声。

文中采用的是 Selberherr 的局域电场碰撞电离模型^[20]。在局域电场碰撞电离模型情况下,不考虑 Dead Space 效应对过剩噪声因子的影响,此时仿真结果表征的是器件处于最坏情况下的过剩噪声因子,因为 Dead Space 效应有利于降低过剩噪声因子^[21]。

为了降低噪声电流,在一定的增益 M 条件下,

要尽量减小过剩噪声因子 F . 图 9 所示的是在增益 $M = 50$ 时,在不同的注入剂量条件下,过剩噪声因子 F 随着 p 层的注入峰值浓度深度 d_p 变化的曲线.

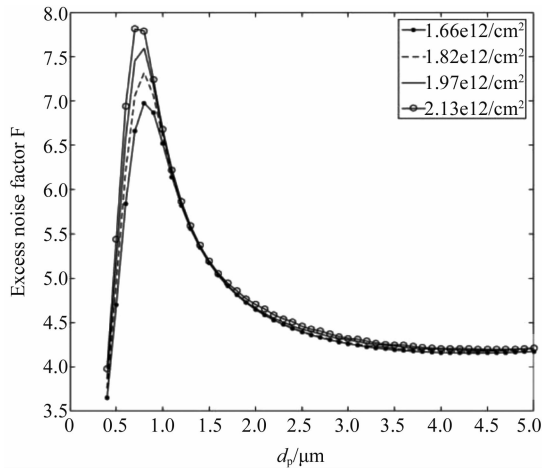


图 9 增益 $M = 50$ 时,过剩噪声因子 F 与 p 层注入峰值浓度深度 d_p 关系曲线

Fig. 9 The dependence of excess noise factor on the implantation depth of peak concentration for different implantation doses ($M = 50$)

图 9 表明过剩噪声因子 F 随着 p 层的注入峰值浓度深度的增加先急剧增加然后缓慢下降. 而且在 p 层的注入峰值浓度深度大于 $1.2 \mu\text{m}$ 后,噪声因子 F 对 p 层的注入剂量变化不敏感. 在 p 层注入峰值浓度深度大于 $1.7 \mu\text{m}$ 后,过剩噪声因子 F 小于 5.

图 10 所示是 p 层注入剂量为 $1.82 \times 10^{12}/\text{cm}^2$ 时,不同的增益 M ($M = 30/50/100$) 条件下,过剩噪声因子 F 与 p 层的注入峰值浓度深度关系的曲线. 如图 10 所示,在注入峰值浓度深度一定的情况下,增益越大,过剩噪声因子也就越大. 当 $M = 50$ 时,随着注入峰值浓度深度的增加,过剩噪声因子先增加后随之减小. 这与电场强度随注入峰值浓度深度变化有关.

2.5 I - V 特性、 M - V 特性和 M - F 特性

对于线性 APD 的 I - V 特性, A. Karar 等人^[22]做了详细研究,其研究的 APD 的击穿电压约为 100 V,比较理想的线性范围大约在 100 ~ 440 V 范围内. 增益 M 为 50 时,反向偏置电压约为 200 V. B. Steindl 等人^[11,19]采用类似外延结构做了相关研究,其制备的未经浓度调制的 APD100 的击穿电压为 68.25 V, $M = 50$ 时的反向偏置电压为 63 V. 经过 90% 浓度调制的 APD90 的击穿电压为 83.5 V, $M = 50$ 时反向偏置电压为 79 V, 经过 75% 浓度调制的 APD75 的击穿电压为 119.25 V, $M = 50$ 时的反向偏置电压为 115 V.

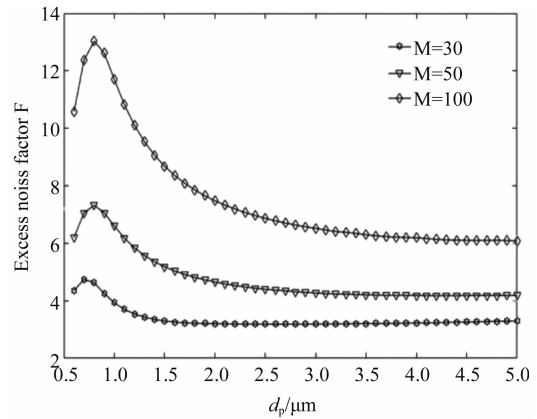


图 10 注入剂量为 $1.82 \times 10^{12}/\text{cm}^2$ 时,过剩噪声因子 F 与 p 层注入峰值浓度深度 d_p 关系曲线

Fig. 10 The dependence of excess noise factor on the implantation depth of peak concentration of the p -layer for different multiplication factor M with $1.82 \times 10^{12}/\text{cm}^2$ doping-dose

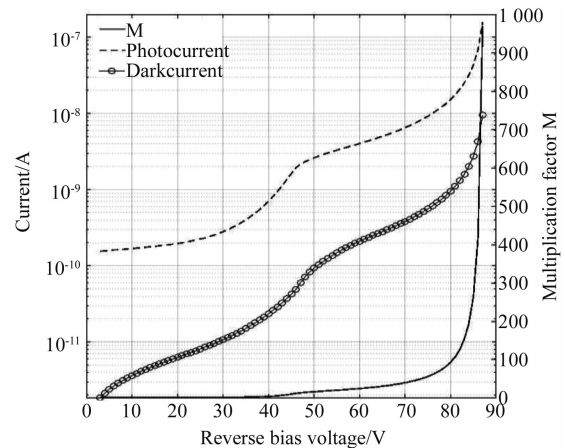


图 11 I - V 和 M - V 曲线

Fig. 11 The curve of I - V and M - V

采用标准 CMOS 工艺进行仿真,在 p 层注入剂量为 $1.82 \times 10^{12}/\text{cm}^2$,注入峰值浓度深度为 $2.1 \mu\text{m}$ 的最佳穿通工艺点条件下,利用波长为 800 nm,光强为 $1.0 \times 10^{-3} \text{W}/\text{cm}^2$ 的条件得到图 11 所示的暗电流,光电流和增益 M 随反向偏置电压变化的曲线. 如图 11 所示,器件的穿通电压约为 50 V. 比较理想的线性范围大约在 50 ~ 87.8 V 范围内,而且增益 M 为 50 时,反向偏置电压约为 73.1 V,击穿电压约为 87.8 V. 与 B. Steindl 等人的结果相比,动态范围更大. 按照本文的仿真结果,在最佳的注入剂量和峰值浓度深度条件下,预计器件的性能可以进一步提高.

APD 的每单位带宽的噪声功率被定义为 $I_{N2} = 2qI_{p0}M^2F$ ^[23-24],一般暗电流可以忽略, I_{p0} 是初始光电流. 采用 Selberherr 的局域场碰撞电离模型得到的过

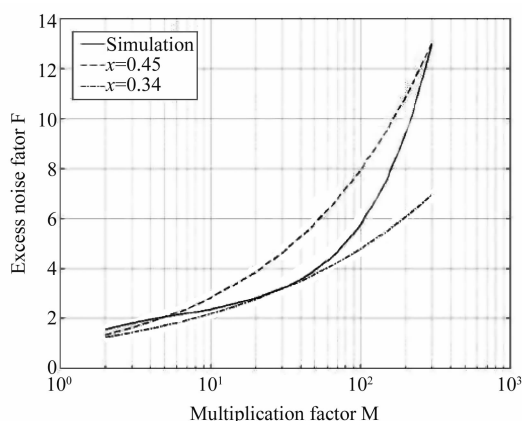


图 12 M-F 曲线($\lambda = 800 \text{ nm}$)
Fig. 12 The curve of M-F($\lambda = 800 \text{ nm}$)

剩噪声因子 F 可以简化为 $F = M^x$ 的形式^[25], x 为过剩噪声指数. 从图 12 可以得到, 在波长为 800 nm 的条件下, 采用标准 CMOS 工艺优化的线性 APD 在 $4 < M < 300$ 范围内, 过剩噪声指数在 $0.34 \sim 0.45$ 范围内.

3 结论

采用 Silvaco 软件对基于标准 CMOS 工艺的 $n^+ - p - \pi - p^+$ 结构的线性 APD 的倍增区 p 层进行了仿真研究, 发现器件的击穿电压、临界击穿电场、过剩噪声因子等关键性能与注入剂量及其峰值的深度非常敏感. 设定器件的增益 $M = 50$, 在 p 层注入剂量为 $1.82 \times 10^{12} / \text{cm}^2$, 注入峰值浓度深度为 $2.1 \mu\text{m}$ 的最佳穿通工艺点下, 反向偏置电压为 73.1 V , 过剩噪声因子为 4.59 , 过剩噪声指数在 $0.34 \sim 0.45$ 之间 ($4 < M < 300$). 该仿真结果优于目前已报道的结果. 优化器件工艺, 线性 APD 的性能还有较大的提高空间.

References

[1] Radovanovic S, Annema A J, Nauta B. A 3-Gb/s optical detector in standard CMOS for 850-nm optical communication[J]. *IEEE J Solid-State Circuits*, 2005, **40**(8): 1706 - 1717.
[2] Kubota M, Kato T, Suzuki S, et al. Ultra high sensitivity new super-HARP camera [J]. *IEEE Trans. Broadcast*. 1996, **42**(3): 251 - 258.
[3] Hynccek J. Impactron-A new solid state image intensifier [J]. In *IEEE Workshoap on Charge-Coupled Devices & Advanced Image Sensor*, 2001, page 197 - 200.
[4] Yang Y, Barna S L, Campbell S, et al. A high dynamic range CMOS APS image sensor[J]. In *IEEE Workshop on Charge-Coupled Devices & Advanced Image Sensor*, 2001,

page 137 - 140.
[5] Huang W K, Liu Y C, Hsin Y M. A high-speed and high responsivity photodiode in standard CMOS technology [J]. *Photon. Technol. Lett.* 2007, **19**(4): 197 - 199.
[6] Rochas A, Pauchard A R, Besse P A, et al. Low-noise silicon avalanche photodiodes fabricated in conventional CMOS technologies [J]. *IEEE Trans. Electron Devices*, 2002, **49**(3): 387 - 394.
[7] MENG Qing-Jun, LIU Hai-Bo, MENG Qing-Hui. *Physics of Semiconductor Devices* [M]. 2nd ed. Beijing: Science Press (孟庆巨, 刘海波, 孟庆辉. 半导体器件物理) 第二版. 北京: 科学出版社, 2009: 98 - 103.
[8] Steindl B, Gaberl W, Enne R S, et al. Linear mode avalanche photodiode with 1-GHz bandwidth fabricated in $0.35\text{-}\mu\text{m}$ CMOS [J]. *IEEE Photon. Technol. Lett.* 2014, **26**(15): 1511 - 1514.
[9] Youn J S, Kang H S, Lee M J, et al. High-speed CMOS integrated optical receiver with an avalanche photodetector [J]. *IEEE Photon. Technol. Lett.* 2009, **21**(20): 1553 - 1555.
[10] Lee M J, Choi W Y. Area-dependent photodetection frequency response characterization of silicon avalanche photodetectors fabricated with standard CMOS technology [J], *IEEE Trans. Electron Devices*, 2013, **60**(3): 998 - 1004.
[11] Steindl B, Enne R, Schidl S, et al. Linear mode avalanche photodiode with high responsivity integrated in high-voltage CMOS [J]. *IEEE Electron. Device Lett.* 2014, **35**(9): 897 - 899.
[12] Van Overstraeten R. De Man H. Measurement of the ionization rates in diffused silicon p-n junctions [J]. *Soild-State Electronics*. 1970, **13**: 583 - 608.
[13] Kaneda T, Matsumoto H, Yamaoka T. A model for reach-through avalanche photodiode [J]. *Journal of Applied Physics*, 1976, **47**(7): 3135 - 3139.
[14] Kasap S O. *Optoelectronics and photonics: principles and practices* [M], 2nd ed, Luo Feng-guang, Beijing: Publishing House of Electronics Industry (Kasap S O. 罗风光译, 光电子学与光子学: 原理与实践: 第二版. 北京: 电子工业出版社), 2016, pp: 349 - 350.
[15] WEN Dong-Xue, ZHONG Ze-Xiang. The computation of junction parameters and multiplication characteristic of reach-through avalanche photodiode [J]. *Southwest Institute of Technical Physics*. (文冬雪, 钟泽祥. 达通型硅雪崩光电二极管结参数与倍增特性的计算. *激光技术*), 1993, **17**(4): 209 - 214.
[16] Ruegg H W. An optimized avalanche photodiode [J]. *IEEE Trans. on Electron Devices*, 1967, **ED-14**(5): 239 - 251.
[17] Caughey D M, Thomas R E. Carrier mobilities in silicon empirically related to doping and field [J]. *Proceedings of the IEEE*, 1967, **55**(12): 2192 - 2193.
[18] Kao Y C. The design of high-voltage high-power silicon junction rectifiers. *IEEE Trans Electron Devices*, 1970, **17**(9): 657 - 660.
[19] Enne R, Steindl B, Zimmermann H. Speed optimized linear-mode high-voltage CMOS avalanche photodiodes with high responsivity [J]. *Optics Lett.* 2015, **40**(19): 4400 - 4403.