

利用 ICPCVD 方法在 GaN 上沉积氧化硅 薄膜的特性

刘秀娟^{1,2}, 张燕¹, 李向阳¹

(1. 中国科学院上海技术物理研究所 传感技术国家重点实验室, 上海 200083;

2. 中国科学院研究生院, 北京 100039)

摘要: 使用感应耦合等离子体化学气相沉积 (Inductively coupled plasma chemical vapor deposition, ICPCVD) 方法在 GaN 上沉积 SiO_x 薄膜, 生长参数中采用不同 RF 功率, 研究 RF 功率对薄膜物理性能和电学性能的影响. 结果发现, 随着 RF 功率增大, 薄膜应力增大, 表面粗糙度减小, 薄膜致密度增大. 选择最优的 RF 功率参数, 制作了 $\text{SiO}_x/\text{n-GaN}$ 金属-绝缘体-半导体 (metal-insulator-semiconductor, MIS) 器件, 结果得到薄膜漏电流密度在外加偏压为 90 V 时小于 $1 \times 10^{-7} \text{ A/cm}^2$, $\text{SiO}_x/\text{n-GaN}$ 界面态密度为 $2.4 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$. 表明利用 ICPCVD 低温沉积的 SiO_x -GaN 界面态密度低, 薄膜绝缘性能良好.

关键词: ICP-CVD; SiO_x ; 薄膜应力; 表面粗糙度; 界面态密度

中图分类号: TN23 **文献标识码:** A

Characterization of silicon oxide film grown on GaN deposited by ICPCVD

LIU Xiu-Juan^{1,2}, ZHANG Yan¹, LI Xiang-Yang¹

(1. State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics,
Chinese Academy of Sciences, Shanghai 200083, China;

2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Silicon oxide (SiO_x) films on GaN were synthesized at 75°C , using the inductively coupled plasma chemical vapor deposition (ICPCVD) with different radio-frequency chuck power (RF power). The physical and electrical properties of the deposited SiO_x thin films were characterized by various methods. It is found that as the RF power increased, the films' stress increased while the surface roughness and the film density increased. With optimized RF power, the $\text{SiO}_x/\text{n-GaN}$ metal-insulator-semiconductor (MIS) structures were fabricated. The electrical properties of the SiO_x films were investigated by current density-voltage (J-V) and capacitance-voltage (C-V) measurements. The results show that the leakage current density is lower than $1 \times 10^{-7} \text{ A/cm}^2$ at 90 V, the minimum interface state density is $2.4 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$, indicating good electrical properties of ICPCVD deposited SiO_x films.

Key words: ICP-CVD, SiO_x films, film stress, surface roughness, interface trap density

PACS: 42.66. Ew

引言

在 GaN 基紫外探测器制作工艺中, 一般采用氧化硅薄膜作为钝化膜. 钝化膜沉积有很多方法, 例如反应离子溅射^[1-2]、化学气相沉积 (CVD)^[3-4] 等. 在半导体材料、集成电路和光电器件制造中, 使用较为广泛的沉积手段有 LPCVD (low pressure chemi-

cal vapor deposition) 和 PECVD (plasma enhanced chemical vapor deposition)^[5]. 在器件制作工艺中, 若沉积温度过高, 容易引起材料的热损伤、金属熔融以及各层之间相互扩散等问题. 虽然与沉积温度为 $700 \sim 900^\circ\text{C}$ 的 LPCVD 相比, PECVD 沉积温度较低一些 ($200 \sim 400^\circ\text{C}$), 但在 GaN 基器件制作中, 此温度依然过高, 无法达到器件制作要求. 近年来,

收稿日期: 2013-08-28, 修回日期: 2014-10-08

基金项目: 国家自然科学基金资助项目 (61204134)

Foundation items: Program of National Natural Science Foundation of People's Republic of China (GrantNos. 61204134)

作者简介 (Biography): 刘秀娟 (1989-), 女, 甘肃天水人, 博士, 主要从事 AlGaN 日盲紫外探测器的研究工作. E-mail: blueskynju@163.com

Received date: 2013-08-28, revised date: 2014-10-08

ICPCVD (Inductively coupled plasma chemical vapor deposition) 沉积方法由于具有高浓度等离子体 (大于 10^{11} cm^{-3}) 和低沉积温度 (小于 $150 \text{ }^\circ\text{C}$)^[5] 的优点, 被逐渐应用于钝化工艺中.

钝化膜的质量对于降低器件表面和侧面漏电流、提高器件信噪比起很大作用. 通常从以下几个方面来表征钝化膜的质量: 薄膜内应力、致密度、薄膜内部针孔密度、击穿电场和界面态密度. 通常在化学气相沉积 (CVD) 的薄膜中均存在薄膜应力问题, 薄膜应力很大程度上影响了器件的可靠性, 一般需要控制薄膜应力在 500 MPa 以下, 才能应用于器件中. 若薄膜应力过大, 当薄膜沉积厚度超过临界值后, 会出现薄膜开裂甚至脱落的现象^[6-7]. 薄膜致密度主要与薄膜中 Si 含量有关, Si 含量越大, 薄膜越致密. 在 Si 含量一定的情况下, 薄膜致密度则反映了薄膜内部针孔密度水平, 若薄膜内部较多孔, 则致密度较低. 薄膜击穿电场、界面态则反映了薄膜的绝缘性和对衬底表面的钝化性能.

利用 ICPCVD 方法在 Si 基器件上沉积 SiO_x 薄膜已经有较多报道^[5, 8-10], 但是在 GaN 基器件中利用 ICPCVD 方法沉积 SiO_x 钝化膜的报道较少^[11]. 因此研究在 GaN 衬底上利用 ICPCVD 方法沉积 SiO_x 薄膜的质量以及薄膜与 GaN 界面的电学特性, 对于将 ICPCVD 方法引入 GaN 基器件领域具有重要意义. 实验发现, 在 GaN 衬底上沉积 SiO_x 薄膜时, 改变生长参数中 RF 功率对薄膜性能影响较大. 因此本文首先研究 RF 功率对薄膜内应力、薄膜致密度、表面粗糙度的影响, 根据这三方面薄膜物理特性的表征结果, 挑选最优 RF 功率, 在 GaN 上沉积 SiO_x 薄膜, 制作 GaN- SiO_x MIS 器件, 研究 SiO_x 的电学特性以及与 GaN 的界面态等特性.

1 薄膜制备

本实验采用牛津仪器公司生产的 Oxford ICP-CVD 180 设备进行 SiO_x 薄膜的制备, 设备结构示意图如图 1 所示^[10]. SiO_x 薄膜沉积时使用两种气源: SiH_4 和 N_2O . 其中 SiH_4 是由位于腔体底部的载气环 (Gas Ring) 中送入, 而 N_2O 则是由腔体顶部送入并直接被 ICP 源离解. ICP 源为内径 180 mm 的氧化铝管, 周围缠绕着铜线, 并连接 13.56 MHz 的 RF 源用以产生高浓度的等离子体. 同样, 下电极板也连接有一个 13.56 MHz 的 RF 源, 本实验中通过改变这个 RF 功率的大小, 来研究 RF 功率对薄膜性能的影响.

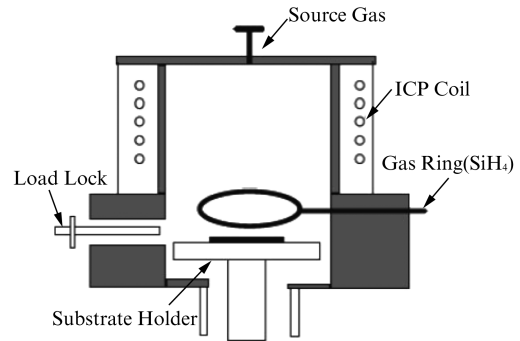


图 1 ICP-CVD 生长腔体示意图

Fig. 1 Schematic diagram of ICP-CVD reactor

本实验中, 首先利用 MOCVD (metal organic chemical vapor deposition) 方法在蓝宝石衬底上外延生长厚度为 500 nm 的 N 型 GaN 材料, 然后使用丙酮、酒精等有机溶剂清洗样品, 去掉表面沾污和有机物, 最后利用 ICPCVD 方法在不同 RF 功率下沉积 SiO_x 薄膜, 其中沉积温度为 $75 \text{ }^\circ\text{C}$, 沉积薄膜的厚度均为 300 nm .

2 实验结果和讨论

2.1 内应力

当薄膜沉积在具有一定厚度的基片上时, 由于应力的作用, 基片将发生弯曲. 通过对这个弯曲量的测量, 可以得到薄膜应力的大小. 在已知基片曲率半径的情况下, 应力表示为

$$S = \frac{E_s t_s^2}{6(1-\gamma)t_r} \left(\frac{1}{R_f} - \frac{1}{R_o} \right), \quad (1)$$

其中 E_s 为基片的杨氏弹性模量; γ 为泊松比; t_s 为基片厚度; t_r 为薄膜厚度; R_o 和 R_f 分别为沉积薄膜前、后基片的曲率半径. 计算时取杨氏模量为 150 GPa , 泊松比为 0.372 ($\langle 1001 \rangle$ 方向)^[12]. 根据公式 (1) 计算得到 $S > 0$ 时为薄膜应力张应力, $S < 0$ 时为压应力. 本实验中首先利用 Ambios 公司的 XP2 型台阶仪测量薄膜沉积前后在同一路径上的形貌曲线, 然后将形貌曲线、衬底厚度、薄膜厚度、杨氏模量等参数代入台阶仪自带的 Thin film stress software 程序 (该程序计算应力原理与公式 (1) 相同), 最终通过该程序计算出薄膜的应力.

为了研究 RF 功率与薄膜应力的关系, 在其他生长参数 (如腔压、沉积温度、ICP 源能量) 固定的情况下, 分别采用不同 RF 功率和 SiH_4 流量沉积 SiO_x 薄膜, 计算薄膜应力. 计算结果表明薄膜应力均呈现压应力特性, 应力大小与 RF 功率关系如图 2(a) 所示. 可以看出, 薄膜应力随着 RF 功率的增大而增

大. 关于薄膜应力来源, 尚未得到统一的解释. 有一种说法认为薄膜应力与 H 含量有关. 当 RF 功率增大时, 等离子体对 SiH_4 的离化作用增强, 使得更多 H 离子参与到薄膜沉积中来, 这样使得薄膜中 H 含量增大, 薄膜应力增大^[7].

为了验证这一观点, 我们在薄膜生长参数中改变反应气体中 SiH_4 的流量, 计算薄膜应力, 实验结果如图(b)所示. 可以发现, 随着 SiH_4 流量的增大, 即薄膜中 H 含量增大, 薄膜的应力呈增大趋势, 这一结果与前面所得到的结论一致. 因此为了防止薄膜应力过大, 应选择较小的 RF 功率. 一般认为, 若薄膜应力小于 500 MPa 即符合工艺要求, 从图 2 可以看出, 在我们选定的 RF 功率和 SiH_4 流量范围内, 薄膜应力均小于 500 MPa. 薄膜应力较小一方面是因为利用 ICPCVD 生长时, 使用的反应气体是 SiH_4 和 N_2O . 由于 N-H 键结合能小于 Si-H 键结合能, 因此 H 原子更易与 N 结合, 而不易与 Si 结合. 随着 N-H 生成物的溢出, 使得在薄膜内部 H 含量较少. 另一方面, 由于沉积温度低, 薄膜沉积速率较低, 使得 N-H 生成物具有足够的时间逸出或被清扫, 这样在薄膜中 H 含量进一步减小. 可见, 利用 ICPCVD 方法在 GaN 上低温沉积的 SiO_x 薄膜应力较小, 可以将其应用于器件制作中.

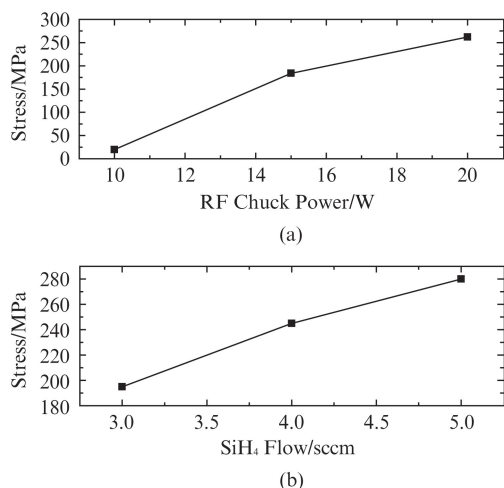


图2 (a) RF 功率和 (b) SiH_4 流量对薄膜压应力的影响
Fig. 2 The compressive stress of silicon oxide films deposited at (a) various RF power and (b) various SiH_4 flow

2.2 AFM 测试

在其他生长参数固定的情况下, 采用三种不同 RF 功率的生长条件生长薄膜后, 对三个样品表面 $2\ \mu\text{m} \times 2\ \mu\text{m}$ 范围内进行 AFM 测试, 结果如图 3 所示. 当 RF 功率为 20、15、10 W 时, 其表面粗糙度

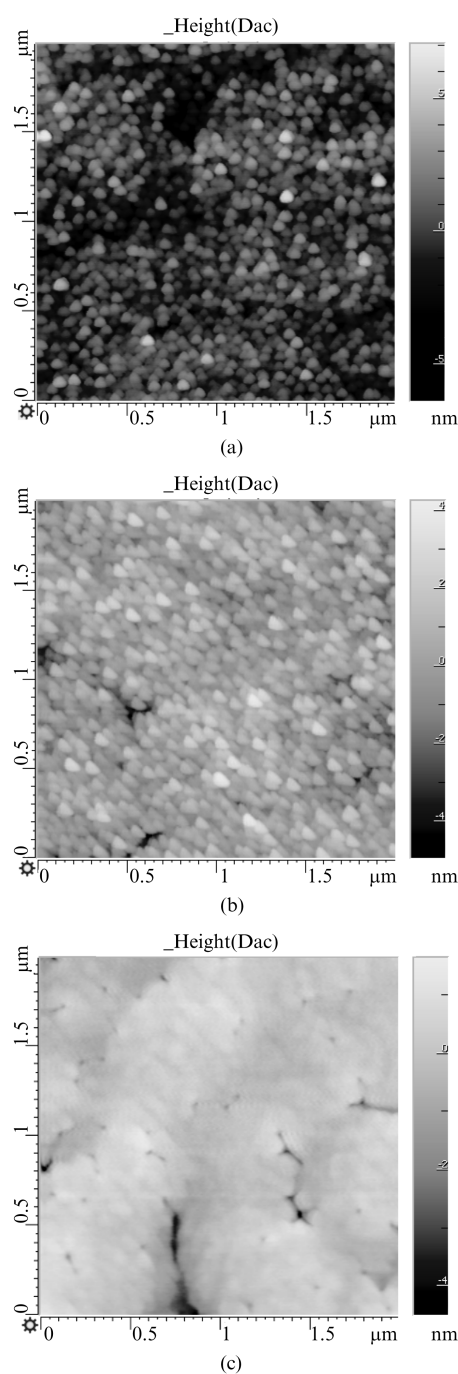


图3 RF 功率分别为 (a) 20 W (b) 15 W (c) 10 W 时对应薄膜 AFM 图
Fig. 3 AFM images of SiO_x with RF power (a) 20 W, (b) 15 W, and (c) 10 W

RMS 分别为 1.41 nm、0.94 nm、0.36 nm. 也就是说, 随着 RF 功率增大, 表面粗糙度增大. 这是由于 RF 功率变大时, 反应物等离子体对衬底和衬底表面反应物的溅射作用增大, 这种溅射带来一种类似刻蚀的效应, 从而使得表面粗糙度变大^[9]. 可见, 表面粗糙度与衬底受到的溅射损伤强度有关, 更光滑的表面表明了更低的溅射损伤的程度. 图 3 所示的所有

薄膜表面粗糙度 RMS 均在 2 nm 以下, 对应薄膜表面具有原子级平整度, 进一步表明在薄膜生长过程中等离子体对衬底溅射损伤较小, 且薄膜生长均匀, 沉积速率适中。

2.3 致密度

利用室温下 SiO_x 薄膜在 BOE 溶液 ($\text{HF}:\text{NH}_4\text{F}:\text{H}_2\text{O} = 3:6:10$) 中的湿法腐蚀速率的大小来表征薄膜致密度. 如图 4 所示为其他生长参数相同的情况下, 不同 RF 功率对所生长的 SiO_x 薄膜的腐蚀速率的影响. 可以看出, 随着 RF 功率的增大, SiO_x 薄膜的腐蚀速率迅速减小; 在 RF 功率为 20 W 时腐蚀速率为 150 \AA/s . 这是由于当 RF 功率增大时, 反应物等离子体能量增大, 对衬底的溅射作用增强, 这样在薄膜生长过程中疏松的粒子团被不断地扫除, 导致生长的薄膜更加致密, 进而在 BOE 溶液中的腐蚀速率减小. 如前面所述, 在 Si 含量一定的情况下, 薄膜致密度反映了薄膜内部针孔密度水平. 若薄膜内部较多孔, 则致密度降低. 薄膜内部针孔会为漏电流提供通道, 从而导致漏电流增大和击穿电压的大大降低, 绝缘性能降低, 不利于对器件的隔绝和保护. 因此, 在保证对衬底的溅射作用在可接受范围内的前提下, 应该选择较大的 RF 功率.

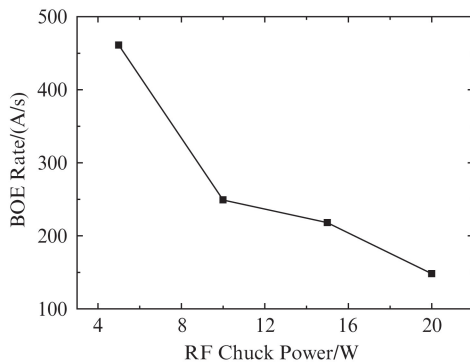


图 4 RF 功率对腐蚀速率的影响

Fig. 4 The etching rate of SiO_x films deposited with various RF power

2.4 对 GaN 表面钝化特性研究

由前面实验结果可知: 当 RF 功率较高时, 会造成薄膜应力太大, 表面粗糙度增大; 而当 RF 功率过小时, 所生长薄膜致密度会下降. 因此取适中的 RF 功率, 并利用此参数在 n 型 GaN 上制作金属-绝缘体-半导体 (MIS) 器件, 器件结构示意图如图 5 所示, 其中 SiO_x 厚度为 300 nm. 对器件进行电流密度-电压 (J - V) 和电容-电压 (C - V) 测试, 测量结果如图 6 所示. 从图 6(a) 中可以发现: 1) 当器件偏压加至 90 V,

薄膜尚未击穿, 即薄膜击穿电场大于 3.0 MV/cm , 证明该 SiO_x 薄膜具有较好的绝缘特性; 2) 外加偏压为 90 V 时, 漏电流密度在 $1 \times 10^{-7} \text{ A/cm}^2$ 以下, 与 Shu-Yi Tsai 等人制作的 MIS 器件漏电流相比小两个数量级^[9]. 如此小的电流密度是由于 SiO_x 薄膜内部针孔密度较小, 由薄膜内部针孔导致的漏电大幅减小.

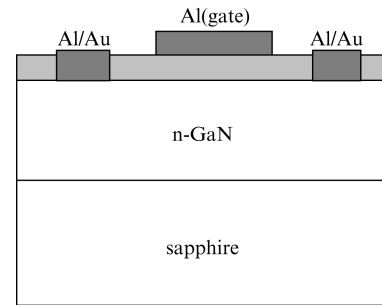


图 5 SiO_x/GaN MIS 器件的结构图

Fig. 5 Schematic diagram of SiO_x/GaN MIS diodes

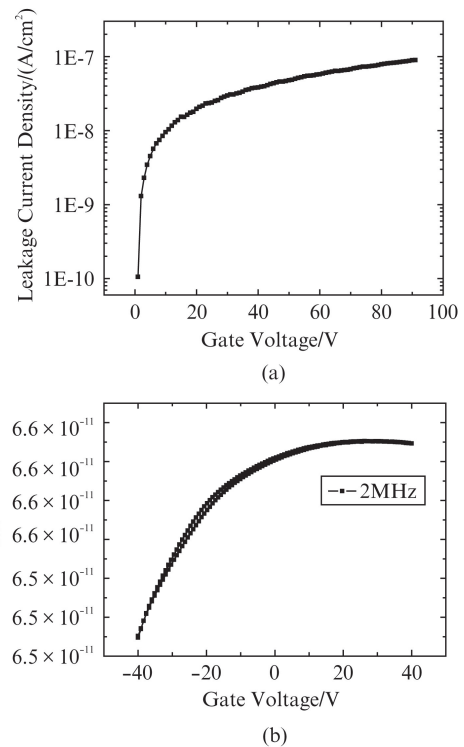


图 6 SiO_x/GaN MIS 器件的 (a) J - V 曲线和 (b) 测试频率为 2 MHz 下双扫 C - V 曲线

Fig. 6 (a) J - V curve and (b) C - V curve measured at 2 MHz of SiO_x/GaN MIS diodes

图 6(b) 是扫描频率为 2 MHz 下的正反向双扫 C - V 曲线, 可以看出: 1) 当所加偏压为 -40 V 时 SiO_x/GaN MIS 表现出深耗尽行为, 并未达到反型状态. 这是由于 GaN 禁带宽度大, 要到达反型所需要的电压较高, 经式(2)计算阈值电压 V_T 为 76 V (其

中 Ψ_{Bn} 为 n-GaN 费米能级与中间能级 E_i 的电势差, ϵ 、 N_d 分别为 n-GaN 的介电常数和掺杂浓度, C_i 为 SiO_x 绝缘层电容). 类似现象在其他文献中也有报道^[13-14]. 2) 双扫弛豫窗口宽度为 0.4 V, 计算对应慢界面态密度为 $3.6 \times 10^{10} \text{ cm}^{-2}$.

$$V_T = 2\Psi_{Bn} + \frac{\sqrt{2\epsilon q N_d (2\Psi_{Bn})}}{C_i} \quad (2)$$

图 7(a) 是扫描频率分别为 1 kHz 和 1 MHz 下的正反向双扫 C-V 曲线. 图 7(b) 为利用高低频法计算得到的每个偏置点下的界面态密度(快界面态, 一般表示为界面态). 高低频法是由 Castagne 和 Va-paille 提出, 计算公式为式(3). 其中, ΔC 为每个偏置点下高低频对应的电容差, C_{HF} 为高频电容, C_i 为 SiO_x 绝缘层电容. 由图 7(b) 得到平均界面态密度为 $2.4 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$.

$$D_{it} = \frac{\Delta C}{q^2} \left(1 - \frac{C_{HF} - \Delta C}{C_i} \right)^{-1} \left(1 - \frac{C_{HF}}{C_i} \right)^{-1} \quad (3)$$

将本文得到的实验结果与 PECVD 法得到的实验结果^[15] 相对比, 如表一所示. 对于 SiO_x/GaN MIS 结构, 计算得到的薄膜界面慢态密度与文献[15]中报道的 PECVD 法生长的薄膜在同一个数量级(对应

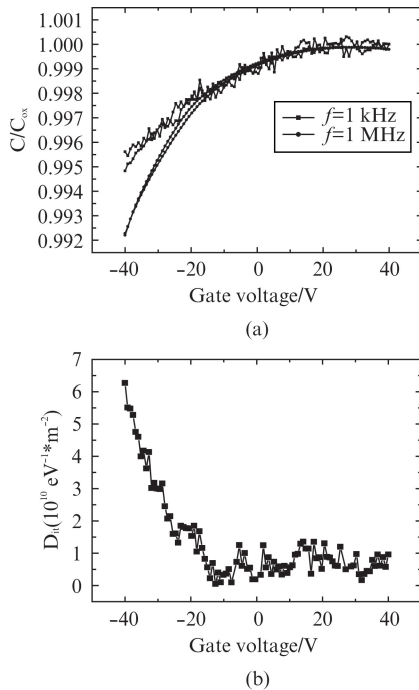


图 7 (a) 测试频率分别为 1 kHz 和 1 MHz 时的双扫 C-V 曲线 (b) 高-低频法计算得到的界面态密度随偏压的变化

Fig. 7 (a) Dual scanned C-V curves measured at 1 kHz and 1 MHz independently. (b) The density of interface state (D_{it}) calculated by high - low frequency method

弛豫窗口宽度), 其界面态密度比 PECVD 法生长的薄膜小一个数量级, 说明利用 ICP-CVD 法低温生长的 SiO_x 薄膜对 GaN 表面的钝化效果较好.

表 1 对 ICPCVD - SiO_x 和 PECVD- SiO_x 的击穿电场、弛豫窗口宽度、界面态密度值的对比

Table 1 Comparison of breakdown voltage, hysteresis window width and interface state density values for ICPCVD- SiO_x and PECVD- SiO_x

参数	ICPCVD- SiO_x	PECVD- SiO_x
击穿电场(MV/cm)	>3.0	2.5
弛豫窗口宽度(V)	0.40	0.14
界面态密度 D_{it} ($\text{eV}^{-1} \text{ cm}^{-2}$)	2.4×10^{10}	2.5×10^{11}

3 结论

使用 ICP-CVD 方法, 采用不同 RF 功率, 在 GaN 上低温沉积 SiO_x 薄膜. 通过测量和计算得知, 随着 RF 功率增大, 薄膜应力增大, 薄膜致密度增大, 表面粗糙度减小. 综合以上几点, 优化生长参数, 在 n-GaN 上制作 SiO_x/GaN MIS 器件, 测量 J-V 和 C-V 曲线. 结果表明: 1) 利用低温 ICP-CVD 方法沉积的 SiO_x 薄膜, 其漏电流小, 击穿电压大, 自身具有良好的绝缘性能; 2) 相比于文献中报道的 PECVD 法生长的 SiO_x 薄膜, ICPCVD- SiO_x/GaN 界面具有相同数量级的慢态密度, 其快界面态密度要小一个数量级, 表明 ICP-CVD 法生长的 SiO_x 薄膜对 GaN 表面的钝化效果较 PECVD 法更好.

References

- [1] KARCHER R, LEY L, JOHNSON R L, *et al.* Electronic-structure of hydrogenated and unhydrogenated amorphous SiN_x : a photoemission study [J]. *Phys. Rev. B*, 1984, **30** (4): 1896 - 1910.
- [2] REBIB F, TOMASELLA E, DUBOIS M, *et al.* SiO_xN_y thin films deposited by reactive sputtering: Process study and structural characterisation [J]. *Thin Solid Films*, 2007, **515**(7-8): 3480 - 3487.
- [3] TOIVOLA Y, THURN J, COOK R F, *et al.* Influence of deposition conditions on mechanical properties of low-pressure chemical vapor deposited low-stress silicon nitride films [J]. *J. Appl. Phys.*, 2003, **94**(10): 6915 - 6922.
- [4] ZAMBOM L D, MANSANO R D, FURLAN R. Silicon nitride deposited by inductively coupled plasma using silane and nitrogen [J]. *Vacuum*, 2002, **65**(2): 213 - 220.
- [5] LEE J W, MACKENZIE K D, JOHNSON D, *et al.* Low temperature silicon nitride and silicon dioxide film processing by inductively coupled plasma chemical vapor deposition [J]. *J. Electrochem. Soc.*, 2000, **147**(4): 1481 - 1486.
- [6] ZHAO Yong-Jun, WANG Min-Juan, YANG Yong-Jun. Study on stress of PECVD SiN_x film [J]. *Chinese journal of semiconductors* (赵永军, 王民娟, 杨拥军. PECVD SiN_x 薄膜应力的研究. *半导体学报*), 1999, **20**(3): 183 - 187.

- [7] SUN Jun-Feng, SHI-Xia. Study of internal stress in PECVD SiO₂ thin films [J]. *Process technique and materials* (孙俊峰, 石霞. PECVD SiO_x 薄膜内应力的研究. *工艺技术与材料*), 2008, **33**(5): 397–400.
- [8] XU Q, RA Y, BACHMAN M, *et al.* Characterization of low-temperature silicon nitride films produced by inductively coupled plasma chemical vapor deposition [J]. *J. Vac. Sci. Technol. A*, 2009, **27**(1): 145–156.
- [9] TSAI S Y, LU Y M, HON M H, *et al.* Study on the low leakage current of an MIS structure fabricated by ICP-CVD (C), *Journal of Physics: Conference series 100*, 2008, 042030.
- [10] KSHIRSAGAR A, NYAUPANE P, BADAS D, *et al.* Deposition and characterization of low temperature silicon nitride films deposited by inductively coupled plasma CVD [J]. *Appl. Surf. Sci.*, 2011, **257**(11): 5052–5058.
- [11] PARK B R, LEE J G, CHOI W, *et al.* High-quality ICPCVD SiO₂ for normally off AlGaIn/GaN-on-Si recessed MOSFETs [J]. *IEEE Electron Device Lett.*, 2013, **34**(3): 354–356.
- [12] HUANG-Jin. Research on separation of GaN LED films by laser lift-off[D]. Xia-Men: Xiamen University(黄瑾, GaN LED 器件外延膜的激光剥离的研究. 厦门大学), 2009.
- [13] HASHIZUME T, OOTOMO S, INAGAKI T, *et al.* Surface passivation of GaN and GaN/AlGaIn heterostructures by dielectric films and its application to insulated-gate heterostructure transistors [J]. *J. Vac. Sci. Technol. B*, 2003, **21**(4): 1828–1838.
- [14] HONG M, ANSELM K A, KWO J, *et al.* Properties of Ga₂O₃(Ga₂O₃)/GaN metal-insulator-semiconductor diodes [J]. *J. Vac. Sci. Technol. B*, 2000, **18**(3): 1453–1456.
- [15] ARULKUMARAN S, EGAWA T, ISHIKAWA H, *et al.* Investigations of SiO₂/n-GaN and Si₃N₄/n-GaN insulator-semiconductor interfaces with low interface state density [J]. *Appl. Phys. Lett.*, 1998, **73**(6): 809–811.

(上接 9 页)

bandwidth and high efficiency. While comparing with VDI commercial products^[13], our typical efficiency is low about 2.5%, but our doubler design is more cost-effective with discrete diodes. The developed doubler achieves the state-of-the-art performance reported in abroad.

Table 1 Doubler performance comparison

表 1 二倍频器性能比较

References	Model	Diode style	Multiply factor	Frequency(GHz)	Multiply Efficiency(%)
This paper	—	Discrete	2	190~225	Typ 7.5, Max 9.6@202 GHz
[9]	—	Integrated	2	177~202	Typ 7.0, Max 9.0@188 GHz
[10]	—	Integrated	2	140~220	Typ 3.8, Max 6.4@204 GHz
[11]	—	Discrete	3	240	Max 2.5@252 GHz
[12]	—	Discrete	3	282	7@282 GHz
[13]	WR4.3 × 2	Integrated	2	170~250	Typ 10.0, Max 12.5@216 GHz

3 Conclusions

A high multiplying efficiency hybrid integrated balanced frequency doubler was developed. The circuit is flip-chip mounted to provide an improved thermal path for heat flow from the diodes to the metal waveguide block, and present an effective RF signals grounding without adding parasitic. The reliability and performance of the doubler is improved. The doubler operates at self-biasing and fix-tuned. The highest efficiency of 9.6% and corresponding output power of 8.25 mW are measured at 202 GHz with input power of 85.5 mW. The tested efficiency is between 6% and 9.6% in 190~225 GHz. The doubler efficiency response is flat and broad bandwidth. It is attractive for terahertz test instruments and transceiver systems.

References

- [1] Eisele H, Haddad G I. Potential and capabilities of two-terminal devices as millimeter and submillimeter-wave fundamental sources [C]. *IEEE MTT-S International Microwave Symposium Digest*, 1999: 933–936.
- [2] Uchida K, Matsuura H, Yakihara T, *et al.* A series of InGaP/InGaAs HBT oscillators up to D-band [J]. *IEEE Transaction on Microwave Theory and Techniques*, 2001, **49**(5): 858–865.
- [3] Nicolson S T, Yau K H K, Chevalier P, *et al.* Design and scaling of W-band SiGe BiCMOS VCOs [J]. *IEEE Journal of solid-state circuits*, 2007, **42**(9): 1821–1833.
- [4] Maestrini A, Mehdi I, Siles J V, *et al.* Design and characterization of a room temperature all-solid-state electronic source tunable from 2.48 to 2.75 THz [J]. *IEEE Transaction on Microwave Theory and Techniques*, 2012, **2**(2): 177–185.
- [5] Campos R Y, Schwörer C, Leuther A, *et al.* A D-band frequency doubler MMIC based on a 100 nm metamorphic HEMT technology [J]. *IEEE Transaction on Microwave Wireless Components Letters*, 2005, **15**(7): 466–468.
- [6] Campos R Y, Schwörer C, Leuther A, *et al.* G-band metamorphic HEMT-based frequency multipliers [J]. *IEEE Transaction on Microwave Theory and Techniques*, 2006, **4**(7): 2983–2992.
- [7] Erickson N. High efficiency submillimeter frequency multipliers [C]. *IEEE MTT-S International Microwave Symposium Digest*, 1990: 1301–1304.
- [8] Yao C F, Zhou M, Luo Y S, *et al.* 150 GHz and 180 GHz fixed-tuned frequency multiplying sources with planar Schottky diodes [J]. *Journal of infrared and millimeter waves*, 2013, **32**(2): 102–107.
- [9] Siles J V, Maestrini A, Alderman B, *et al.* A single-waveguide in-phase power-combined frequency doubler at 190 GHz [J]. *IEEE Transaction Microwave Wireless Components Letters*, 2011, **21**(6): 332–334.
- [10] Tero K, Krista D, Juha M, *et al.* Schottky frequency doubler for 140–220 GHz using MMIC foundry process [C]. *Proceedings of the 7th European Microwave Integrated Circuits Conference*, 2012: 84–87.
- [11] Jones J. R, Bishop W L, Jones S H, *et al.* Planar multibarrier 80/240-GHz heterostructure barrier varactor triplers [J]. *IEEE Transaction on Microwave Theory and Techniques*, 1997, **44**(4): 512–518.
- [12] Josip V, Tomas B, Fistein O, *et al.* Monolithic HBV-based 282-GHz tripler with 31-mW output power [J]. *IEEE Electron Device Letters*, 2012, **33**(6): 800–802.
- [13] [DB/OL]: <http://www.vadiodes.com>.
- [14] Alderman B, Henry M, Hoshier S, *et al.* Schottky diode technology at rutherford appleton laboratory [C]. *IEEE International Conference on Microwave Technology & Computational Electromagnetics*, 2011: 4–6.