

绝缘层上应变 SiGe 沟道 p-MOSFET 电学特性模拟分析

于杰¹, 王莞^{1*}, 杨洲¹, 陈效双², 杨宇^{1*}

(1. 云南大学 光电信息材料研究所, 云南 昆明 650091;

2. 中国科学院上海技术物理研究所 红外物理国家重点实验室, 上海 200083)

摘要:利用数值模拟软件 ISE TCAD 对绝缘层上应变 SiGe (SGOI) 和 Si (SOI) p-MOSFET 的电学特性进行了二维数值模拟. 计算结果表明, 与传统的 SOI p-MOSFET 相比, SGOI p-MOSFET 的漏源饱和电流几乎要高出两倍; 其亚阈值电流要高出 1~3 个数量级. Ge 合金组分作为应变 SiGe 沟道 MOSFET 的重要参数, 就不同 Ge 合金组分对 SGOI p-MOSFET 的电学特性的影响也进行了较为深入的研究. 随着 Ge 合金组分的增大, SGOI p-MOSFET 的总体电学性能有所提高.

关键词:SGOI; p-MOSFET; Ge 合金组分

中图分类号:TN386.1 **文献标识码:**A

Simulation analysis of electrical characteristics of strained SiGe channel-on-insulator p-MOSFET

YU Jie¹, WANG Chong^{1*}, YANG Zhou¹, CHEN Xiao-Shuang², YANG Yu^{1*}

(1. Institute for Optoelectronic Information Materials, Yunnan University, Kunming 650091, China;

2. National Laboratory for Infrared Physics, Shanghai Institute of Technical Physics,
Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: The strained SiGe-on-Insulator (SGOI) p-MOSFET and Si-on-Insulator (SOI) p-MOSFET were studied via 2-D numerical simulation by ISE TCAD software, respectively. The results indicate that the drain-source saturation current of SGOI p-MOSFET is almost more than twice that of conventional SOI p-MOSFET. The sub-threshold current of SGOI p-MOSFET is 1~3 orders of magnitude higher than that of SOI p-MOSFET. Because Ge alloy mole fraction is an important parameter for the strained SiGe channel MOSFET, its effect on the electrical characteristics of the SGOI p-MOSFET was studied in detail. With the increasing of Ge alloy mole fraction, the overall electrical properties of SGOI p-MOSFET were improved.

Key words: SGOI, p-MOSFET, Ge alloy mole fraction

PACS: 71.15.-m, 73.40.Qv, 73.63.Hs

引言

集成电路进入深亚微米后, 体硅器件的特征尺度也要求被缩小到亚 100 nm 的领域, 互补金属氧化物半导体 (CMOS) 器件尺寸按比例缩小已经到达了极限. 若要保证纳米尺度下的体硅金属氧化物半导

体场效应管 (MOSFET) 器件仍能正常工作, 相应的栅氧化层厚度需要进一步减薄, 沟道的掺杂浓度也需要进一步提高. 但是, 超薄栅氧化层的隧穿电流会使漏电流增加, 高的沟道掺杂浓度会引起载流子迁移率退化, 从而使得器件尺寸缩小后的体硅 MOSFET 性能降低. 近年来一种更为新颖的沟道结构器

收稿日期: 2012-08-28, 修回日期: 2013-04-01

Received date: 2012-08-28, revised date: 2013-04-01

基金项目: 国家自然科学基金 (10990103, 11274266); 教育部科学研究重点项目 (210207); 云南省自然科学基金重点项目 (2008CC012)

Foundation items: Supported by National Natural Science Foundation of China (10990103, 11274266), the Key Science Project of Chinese Ministry of Education (210207), and the Key Project of Natural Science Foundation of Yunnan Province (2008CC012)

作者简介 (Biography): 于杰 (1988-), 江苏金坛人, 硕士研究生, 主要从事半导体器件的模拟与分析. E-mail: yujieynu@163.com

* 通讯作者 (Corresponding author): E-mail: cwang6@163.com, yuyang@ynu.edu.cn

件——绝缘层上 SiGe 沟道 (SGOI) MOSFET 被报道出来并迅速引起了人们的关注^[1-5],这种新型器件结合了应变 SiGe 沟道具有更高的空穴迁移率^[6-7]和 SOI 结构具有功耗小、抗干扰能力强、集成密度高、寄生电容小、工艺简单、抗辐照能力强,并能有效地减小体硅 CMOS 器件寄生门锁效应^[8-9]等优势,可有效提高载流子迁移率、增大驱动电流和抑制结漏电流。

目前,对绝缘层上 SiGe 沟道 p-MOSFET 性能的研究已经取得一些较为显著的进展:Toshifumi 等人^[10]利用侧面应变弛豫过程制备了 Ge 合金组分为 20% 的单轴应变 SGOI p-MOSFET,该器件的空穴迁移率相比 SOI 结构的提高了 100%;Junkyo 等人^[11]制备了高空穴迁移率的应变 SGOI p-MOSFET,并通过理论研究定量分析了 Ge 合金组分和应变对空穴迁移率提高的作用;Gao 等人^[12]制备了利用多晶 SiGe 肖特基型源/漏结、高 K 栅介质和金属栅的 SGOI p-MOSFET,器件的性能得到了提高。然而,现有的报道大多集中在长沟道 SiGe p-MOSFET 器件性能研究及其器件工艺改进上,未能就 Ge 合金组分对绝缘层上应变 SiGe 沟道 p-MOSFET 的电学特性的调控和影响进行分析。本文通过使用 ISE TCAD 模拟软件对短沟道的应变 SiGe/SiO₂ (SGOI) p-MOSFET 的电学特性进行二维数值模拟,计算结果表明,SGOI p-MOSFET 在电学综合性能上比 SOI p-MOSFET 更胜一筹。Ge 合金组分作为应变 SiGe 沟道 p-MOSFET 的一个极为重要的参数,其大小不仅决定了 Si/SiGe 异质结中的价带偏移量,还将影响沟道中空穴的迁移率。本文对 Ge 合金组分在短沟道 SGOI p-MOSFET 电学特性的作用和影响进行了深入讨论。

1 器件结构和数值模拟方法

设置了如图 1 所示的绝缘层上应变 SiGe 沟道 p-MOSFET 结构,其中应变 SiGe 层被嵌入到 Si 覆盖层和 SiO₂ 层之间作为导电沟道。直接在 SiGe 层上热生长栅极氧化层往往会造成 Ge 在 SiO₂/SiGe 界面富集使界面态增加,器件的开启性能变差。因此,在 SiGe 层与氧化层之间增加一层 Si 覆盖层,可以有效地避免 SiO₂/SiGe 界面粗糙度对沟道反型载流子的散射作用,从而提高器件的频率特性,Si 覆盖层合适的厚度约在 2~4 nm 的范围^[13]。计算过程中,将 Si 覆盖层的厚度设为 2 nm,引入栅极氧化层则是为了减小栅极漏电流对沟道的影响。

利用 ISE TCAD 软件对器件的电学特性进行二维数值模拟,选用 DEVISE 模块生成器件的二维结构,并根据该器件电学特性在 DESSIS 模块中选取适当的物理模型进行数值模拟计算。在研究过程中的运输模型采用了流体力学能量平衡运输模型 (Hydrodynamic energy balance transport model)^[14-16],量子效应模型采用的是密度梯度模型 (Density gradient model)。迁移率模型根据应变 SiGe 沟道 p-MOSFET 中载流子受到的相关散射选取了飞利浦统一迁移率模型 (Philips unified mobility model),该模型描述了载流子迁移率与温度的关系,以及迁移率减小与杂质散射和载流子散射的关系的机理。产生-复合模型选取了肖克莱-里德-霍尔模型 (Shockley-Read-Hall recombination model)、俄歇复合模型 (Auger recombination model)、带间隧穿模型 (Band-to-band tunneling model) 和雪崩产生模型 (Avalanche generation model)。

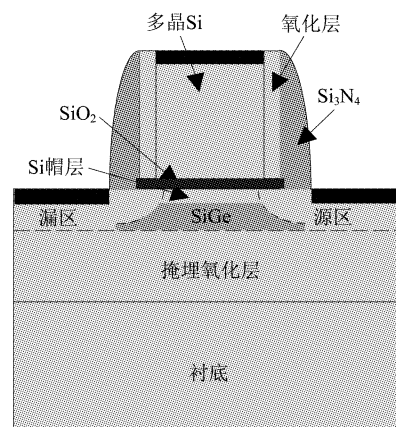


图1 绝缘层上应变 SiGe 沟道 p-MOSFET 的二维结构模型

Fig. 1 2D structure of strained SiGe-channel-on-insulator p-MOSFET

2 模拟结果分析与讨论

2.1 短沟道 SGOI p-MOSFET 的电学特性

图 2 显示了绝缘层上应变 SiGe 沟道 p-MOSFET 的数值计算模拟和实验结果的对比。根据文献 [17] 中提供的器件的实验参数,对器件的亚阈值特性进行了二维数值模拟计算。通过模拟计算结果和实验结果的对比,不难发现栅极偏压在 (-1.2 V, 1.0 V) 之间时两者的亚阈值特性基本上能够相符得很好,这表明本文在数值计算模拟中所采用的物理模型是较为合理的。

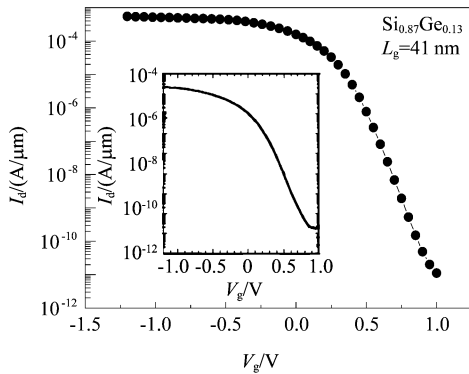


图2 器件的亚阈值特性曲线,内插图为文献[17]中相应的实验结果
Fig. 2 Subthreshold characteristics of the device, inset is the experimental results from Ref. [17]

图3分别给出了在不同栅极负偏压下 SOI p-MOSFET 与 SGOI p-MOSFET (Ge 合金组分 $x = 0.2$) 的输出特性曲线. 从图中可以明显地看出在相同的栅极偏压下 SGOI p-MOSFET 比 SOI p-MOSFET 的漏源饱和电流几乎要高出 2 倍, 意味着具有更强的驱动能力和更高的工作速度. 与 SOI p-MOSFET 不同, SGOI p-MOSFET 在器件结构中引入应变 SiGe 层作为器件的沟道. 在应变弛豫的 Si/SiGe 异质结构中, 由于在 SiGe 合金层引入了应变, 会使其能带结构发生改变, 同时可以抵消合金散射的不利影响, 而能带的进一步分裂会使能谷间声子散射几率减小, 从而导致载流子遭受散射的概率减小^[18-19]. 同时在输运方向的有效质量也会减小, 因此, 在 SGOI p-MOSFET 中的载流子的迁移率相对于 SOI p-MOSFET 可以得到很大程度上的提高.

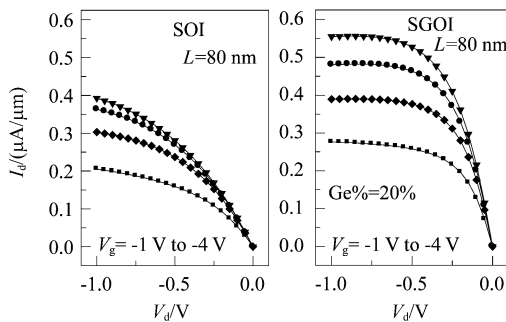


图3 SOI 与 SGOI p-MOSFET 的输出特性曲线
Fig. 3 Output characteristics of SOI and SGOI p-MOSFET

亚阈值电流主要决定了电路的静态功耗, 对 p-MOSFET 而言, 亚阈值电流由弱反型沟道的空穴扩散电流和漏结的反偏泄漏电流组成^[20]. 图4分别显

示了 SGOI p-MOSFET 和 SOI p-MOSFET 在亚阈值区的转移特性曲线. 从图中可以看出 SGOI p-MOSFET 的亚阈值电流普遍要比 SOI p-MOSFET 的亚阈值电流提高 1 ~ 3 个数量级. 这可能是因为亚阈值区空穴主要分布在应变 SiGe 沟道, 随着 Ge 合金组分的增加, 价带顶部 Si/SiGe 界面处能带的偏移 (突变) 越大, 同时 SiGe 层势阱变深, 空穴被限制在沟道层内的能力增强, 即更多的空穴因束缚能增大而限制在势阱 (沟道层) 内部, 使得应变 SiGe 沟道内的空穴浓度增加, 这就允许更多数量的空穴流经 SiGe 沟道到达漏极输出^[21], 所以亚阈值电流随着应变 SiGe 沟道 Ge 合金组分的增大而增大. 同时 Si 覆盖层的引入等效于栅极氧化层厚度的增加, 因而在亚阈值区栅极对沟道的控制能力相对下降, 这也会造成亚阈值电流增大.

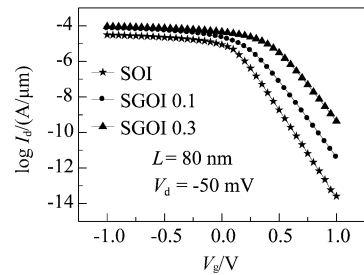


图4 SOI 与 SGOI p-MOSFET 的亚阈值特性曲线
Fig. 4 Subthreshold characteristics of SOI and SGOI p-MOSFET

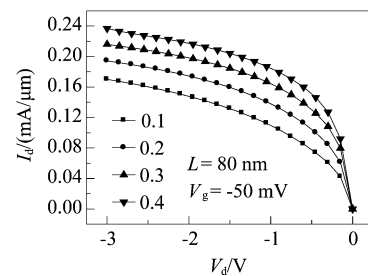


图5 不同 Ge 合金组分 SGOI p-MOSFET 的输出特性
Fig. 5 Output characteristics of SGOI p-MOSFET with different Ge alloy mole fraction

2.2 Ge 合金组分对短沟道 SGOI p-MOSFET 电学特性的影响

作为应变 SiGe 沟道 p-MOSFET 的一个极其重要的参数, Ge 合金组分的大小不仅决定了 Si/SiGe 异质结中的价带偏移量, 还将影响沟道中空穴的迁移率. 图5显示的是不同 Ge 合金组分 SGOI p-MOSFET 的输出特性曲线. 从图中可知当栅极偏压 V_g

为 -0.05 V 和漏源电压 V_d 为 -2 V 时,绝缘层上 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 、 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 和 $\text{Si}_{0.6}\text{Ge}_{0.4}$ 沟道 p-MOSFET 的漏源电流分别为 0.15 、 0.17 、 0.20 和 0.22 mA 。因此,在相同漏源和栅极偏压下的漏源电流随着 Ge 合金组分的增大而逐渐增大,其可能的原因是:沟道中的空穴受到自旋-轨道耦合作用,使得空穴的有效质量与 Ge 合金组分和应变有很大的关系,Ge 合金组分的提高和应变都能够减小空穴的有效质量,因而空穴的迁移率随着 Ge 合金组分增大而增大。

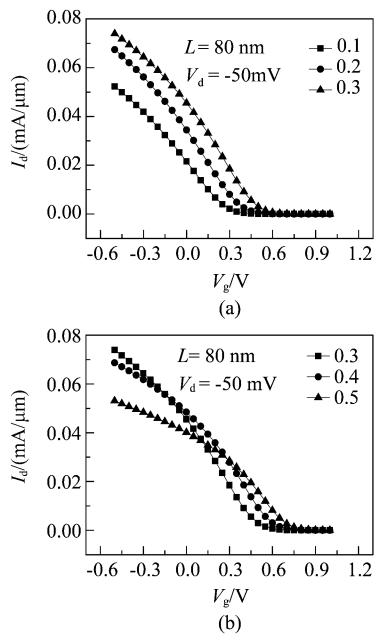


图 6 SGOI p-MOSFET 的转移特性随 Ge 合金组分变化的曲线

Fig. 6 Transfer characteristics of SGOI p-MOSFET as a parameter of Ge alloy mole fraction

图 6 显示的是 SGOI p-MOSFET 的转移特性随 Ge 合金组分变化的曲线,从图中可以看出当 Ge 合金组分 $x < 0.3$,在相同的栅极和漏源偏压下漏源电流随着 Ge 合金组分的增大而增大。但是,当 Ge 合金组分 $x > 0.3$,亚阈值电流随着 Ge 合金组分的增大而增长,随着栅极偏压越过阈值电压向负方向转移,在相同的栅极和漏源偏压下漏源电流随着 Ge 合金组分的增大而下降。这可能的原因是:在亚阈值区,漏源电流以载流子的扩散为主,应变 SiGe 沟道对载流子的限制能力随着 Ge 合金组分增大而增大,亚阈值电流也随着 Ge 合金组分的增大而增长;但是当器件的栅极偏压越过阈值电压,漏源电流以载流子的漂移为主^[22]。在短沟道器件中,随着电场的增加,沟道的迁移率变得与电场相关,栅极对沟道

的控制能力降低。当 SGOI p-MOSFET 的沟道缩短到 80 nm ,源端势垒降低致使额外的载流子被注入到沟道内,这导致漏源电流急剧增大。Ge 合金组分的增长限制了漏致势垒的降低,当 Ge 合金组分 $x > 0.3$,随着 Ge 合金组分的增大使漏致势垒降低幅度越来越小。另一种可能的原因是:Ge 合金组分的提高增大了合金散射的作用,同时造成 SiGe 薄膜与 Si 薄膜之间的晶格失配越来越严重,在短沟道器件中沟道中的载流子受到合金散射和晶格散射影响的几率变大,这也就造成了随 Ge 合金组分的增大 SGOI p-MOSFET 的漏源电流增大幅度变小,随着栅极偏压向负方向转移,高 Ge 合金组分器件的转移特性曲线慢慢被低 Ge 合金组分器件的转移特性曲线超越。

3 结论

通过对绝缘层上应变 SiGe 沟道(SGOI) p-MOSFET 和 SOI p-MOSFET 的电学特性进行二维数值模拟分析,研究结果表明,SGOI p-MOSFET 相对于 SOI p-MOSFET 在总体电学性能上更胜一筹,而且前者比后者可能有更好地抗击短沟道效应的能力,将会有利于改善 CMOS 电路的性能和集成密度。Ge 合金组分作为应变 SiGe 沟道 MOSFET 的一个很重要的参数,围绕 Ge 合金组分这个应变 SiGe 沟道 MOSFET 的重要参数对器件的电学特性影响进行的二维数值模拟结果表明:随着应变 SiGe 沟道 Ge 合金组分的增大,SGOI p-MOSFET 的总体电学性能有所提高,而且 Ge 合金组分的增大可能有利于抑制漏致势垒降低的幅度,但是 Ge 组分的过度增大却有可能造成载流子在沟道内受到合金散射和晶格散射影响的几率增大。所做的研究将为实际制备小尺寸、高性能的 SGOI MOS 器件提供可靠的参考。

致谢:中国科学院上海技术物理研究所红外物理国家重点实验室采用分时段共用 License 的方法为本研究工作提供了 Synopsys 公司的 ISE TCAD 模拟软件,在此对红外物理国家重点实验室、Synopsys 公司及相关技术人员一并表示衷心的感谢。

REFERENCES

- [1] Tomohisa M, Naoharu S, Tsutomu T, *et al.* High-performance strained-SOI CMOS devices using thin film SiGe-on-insulator technology [J]. *IEEE Trans. Electron Devices*, 2003, **50**(4): 988-994.
- [2] Tsutomu T, Naoharu S, Tomohisa M, *et al.* Ultrathin body SiGe-on-insulator pMOSFETs with high-mobility SiGe surface channels [J]. *IEEE Trans. on Electron Devices*,

- 2003, **50**(4): 1328 – 1333.
- [3] Gao F, Balakumar S, Balasubramanian N, *et al.* High germanium content strained SGOI by oxidation of amorphous SiGe film on SOI substrates [J]. *Electrochem. Solid-State Lett.*, 2005, **8**(12): 337 – 340.
- [4] Tsutomu T, Shu N, Yoshihiko M, *et al.* High-mobility strained SiGe-on-insulator pMOSFETs with Ge-rich surface channels fabricated by local condensation technique [J]. *IEEE Electron Device Lett.*, 2005, **26**(4): 243 – 245.
- [5] Yang H G, Masatoshi I, Shogo I, *et al.* Effective passivation of defects in Ge-rich SiGe-on-insulator substrates by Al₂O₃ deposition and subsequent post-annealing [J]. *Solid-State Electron.*, 2011, **60**: 128 – 133.
- [6] Xie Y H, Don M, Fitzgerald E A, *et al.* Very high mobility two-dimensional hole gas in Si/Ge_xSi_{1-x}/Ge structures grown by molecular beam epitaxy [J]. *Appl. Phys. Lett.*, 1993, **63**(16): 2263 – 2264.
- [7] YANG Zhou, WANG Chong, YANG Yu, *et al.* Effects of Ge fraction on electrical characteristics of strained Si_{1-x}Ge_x channel p-MOSFET [J]. *Acta Phys. Sin.* (杨洲, 王茺, 杨宇, 等. Ge 组分对应应变 Si_{1-x}Ge_x 沟道 p-MOSFET 电学特性影响. *物理学报*), 2011, **60**(7): 7102 – 7107.
- [8] Thompson S E, Mark A, Chis A, *et al.* A 90-nm logic technology featuring strained-silicon [J]. *IEEE Trans. on Electron Devices*, 2004, **51**(11): 1790 – 1797.
- [9] ZHANG He-Ming, CUI Xiao-Ying, HU Hui-Yong, *et al.* Study on threshold voltage model of strained SiGe quantum well channel SOI PMOSFET [J]. *Acta Phys. Sin.* (张鹤鸣, 崔晓英, 胡辉勇, 等. 应变 SiGe SOI 量子阱沟道 PMOSFET 阈值电压模型. *物理学报*), 2007, **56**(6): 3504 – 3508.
- [10] Toshifumi I, Toshinori N, Tsutomu T, *et al.* High current drive uniaxially-strained SGOI pMOSFETs fabricated by lateral strain relaxation technique [C]. *Symposium on VLSI Technology Digest of Technical Papers*, 2005: 178 – 179.
- [11] Junkyo S, Ryosho N, Noriyuki T, *et al.* Highly strained-SiGe-on-insulator p-channel metal-oxide-semiconductor field-effective transistors fabricated by applying Ge condensation technique to strained-si-on-insulator substrates [J]. *Appl. Phys. Lett.*, 2011, **99**(14): 2108 – 2111.
- [12] Gao F, Balakumar S, Li R, *et al.* 100 nm gate length Pt-germanosilicide Schottky S/D PMOSFET on SGOI substrate fabricated by novel condensation approach [C]. *Proceedings of 13th IPFA*, 2006: 311 – 313.
- [13] Toshifumi I, Toshinori N, Tsutomu T, *et al.* High-performance uniaxially strained SiGe-on-insulator pMOSFETs fabricated by lateral-strain-relaxation technique [J]. *IEEE Trans. Electron Devices* 2006, **53**(11): 2809 – 2815.
- [14] Benvenut A, Pinto M R, Coughran J W M, *et al.* Evaluation of the influence of convective energy in HBTs using a fully hydrodynamic model [C]. *IEDM technical Digest* 1991: 499 – 502.
- [15] Vecchi M C, Reyna L G. Generalized energy transport models for semiconductor device simulation [J]. *Solid-State Electronics* 1994, **37**(10): 1705 – 1716.
- [16] Apanovich Y, Lyumkis E, Polsky B, *et al.* Steady-state and transient analysis of submicron devices using energy balance and simplified hydrodynamic models [J]. *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems* 1994, **13**(6): 702 – 711.
- [17] Tsutomu T, Toshifumi I, Toshinori N, *et al.* Relationship between hole mobility and current drive enhancement in uniaxially strained thin-body SiGe-on-Insulator pMOSFETs [C]. *Symposium on VLSI technology Digest of Technical Papers*, 2006: 146 – 147.
- [18] Yang L F, Watling J R, Wilkins R C W, *et al.* Si/SiGe heterostructure parameters for device simulations [J]. *Semicond. Sci. Technol.* 2004, **19**(10): 1174 – 1182.
- [19] Zhang X F, Xu J P, Zou X, *et al.* A low-field hole mobility model of strained Si_{1-x}Ge_x pMOSFET [J]. *Chin. J. Semicond.* 2006, **27**(11): 2000 – 2004.
- [20] HU Wei-Da, CHEN Xiao-Shuang, LU Wei, *et al.* Study on quantum and short-channel effects for sub-50 nm finfets [J]. *J. Infrared Millim. Wave* (胡伟达, 陈效双, 陆卫, 等. 亚 50 nm 自对准双栅场效应晶体管的量子效应和短沟道效应的研究. *红外与毫米波学报*), 2006, **25**(2): 90 – 94.
- [21] XU Shi-Liu. *SiGe microelectronics technology* [M]. National Defense Industry Press (徐世六. SiGe 微电子技术. 国防工业出版社), 2007: 315 – 317.
- [22] Goel A K, Tan T H. High-temperature and self-heating effects in fully depleted SOI MOSFETs [J]. *Microelectron. J.* 2006, **37**(9): 963 – 975.