

文章编号: 1672-8785(2009)11-0001-06

实时光谱探测中快速傅里叶变换的 FPGA 实现

刘辉志 张记龙 张 辉 李 晓 王志斌

(1. 中北大学仪器科学与动态测试教育部重点实验室, 山西太原 030051;

2. 山西省光电信息与仪器工程技术研究中心, 山西太原 030051)

摘 要: 根据实时光谱探测系统, 拟采用傅里叶变换光谱理论获取待测光谱信息。文中首先介绍了实时光谱探测系统的基本工作原理, 优化了基 2-FFT 算法, 然后详细描述了该算法的硬件结构和设计思路, 重点叙述了算法有限状态机设计地址的产生及控制单元的流程, 并利用 Xilinx 公司 XC3S400 芯片自带的 IP 核在 ISE9.1 软件开发平台上完成了 FFT 模块的硬件设计。最后采用以 VerilogHDL 语言编写的 Testbench 测试程序在第三方仿真软件 ModelsimSE6.3f 上对 FFT 模块进行了功能仿真。仿真结果与 Matlab 理论计算结果的对比表明 FPGA 硬件设计正确。当芯片工作在 100MHz 时, 实现 256 点 16bit 基 2-FFT 数据所需的时间约为 8.6 μ s, 可满足实时光谱探测的要求。

关键词: 光谱探测; FPGA; 快速傅里叶变换; VerilogHDL; Matlab

中图分类号: TN247 **文献标识码:** A

Implement of Fast Fourier Transform in Real-time Spectral Detection Based on FPGA

LIU Hui-zhi, ZHANG Ji-long, ZHANG Hui, Li Xiao, WANG Zhi-bin

(1. Key Laboratory of Instrumentation Science & Dynamic Measurement of Ministry of Education, North University of China, Taiyuan 030051, China;

2. Engineering Technology Research Center of Shanxi Province for Opto-Electronic Information and Instrument, Taiyuan 030051, China)

Abstract: In accordance with the requirements of a real-time spectral detection system, the Fourier transform spectral theory is utilized to obtain the spectral information to be detected. First, the basic operation principle of the real-time spectral detection system is presented and a radix-2 FFT algorithm is optimized. Then, the design of the hardware structure of the algorithm is described in detail, the address generation and control process designed by an Algorithm State Machine (ASM) is illustrated emphatically and the hardware design of the FFT module is completed by using a XC3S400 chip with an IP core produced by Xilinx Inc. on an ISE9.1 software development platform. Finally, the Testbench program written in VerilogHDL language is used to simulate the functions of the FFT module on ModelsimSE6.3f, a third-party simulation software. The simulation result is compared with the result calculated by Matlab in theory. It shows that the FPGA hardware is designed correctly. It takes about 8.6 μ s for the chip operating at 100MHz to implement 256-point 16 bit radix-2 FFT data, which can meet the real-time requirement for spectral detection.

收稿日期: 2009-06-10

基金项目: 科技部国际合作重点项目 (2006DFB72510); 国家自然科学基金 (60572019); 山西省科技攻关项目 (20090321044)

作者简介: 刘辉志 (1981-), 男, 研究生, 研究方向光电信息处理、数字信号的 FPGA 处理。E-mail: liupardon@163.com

Key words: spectral detection; FPGA; FFT; VerilogHDL; Matlab

1 引言

随着光谱技术的快速发展,光谱探测在战场侦察、大气污染物检测、毒气探测等研究领域有着越来越重要的应用,其中普遍采用傅里叶变换光谱技术获取待测光谱信息^[1-3]。目前实现傅里叶变换主要有软件和硬件两种方法。用软件进行傅里叶变换因受指令周期本身的限制,具有延时长、速度慢的缺点,不能满足战场侦察、大气污染物检测以及毒气探测等光谱获取的实时性需要,因此为了提高光谱信息的获取速度,研究硬件处理方法实现傅里叶变换具有重要意义^[4,5]。同时,微电子技术的蓬勃发展也为用硬件实现 FFT 算法提供了强有力的支持,本文将介绍如何用 FPGA 实现光谱探测中干涉条纹 FFT 算法的处理和硬件设计,从而实时获取待测光谱信息的情况。

2 实时光谱探测原理及硬件设计

在实时光谱探测系统中,为了获取待测光谱信息,人们一般是运用光学相干性来设计干涉装置的,其原理框图如图 1 所示。图中 M-Z 干涉具用以对入射光源信号进行分束、干涉,从而使其相干叠加^[6]。光输入透镜后通过 M-Z 干涉具发生干涉,然后由聚焦透镜将干涉具出射的平行光束聚焦在线阵 CMOS 探测器的感光单元上,形成明暗相间的干涉条纹。每个感光单元上的亮度经采样和量化后被变换成随时间变化的周期性电压信号。然后经电平转换,这些时间序

列电信号被输入 FPGA 接受处理。根据傅里叶变换光谱理论,干涉图与光谱图之间存在傅里叶变换关系^[7]。将探测器像元序号的横坐标看成时间,用 FFT 算法对线阵探测器的干涉条纹进行快速傅里叶变换处理,就可得到入射光的频谱分布。

2.1 基 2-FFT 算法的数学原理

在实时光谱探测系统中,处理干涉条纹的核心算法是 FFT 算法。长度为 N 的序列 $x(n)$ 的离散傅里叶变换可用式 (1) 表示

$$X(k) = \sum_{n=0}^{N-1} x(n)e^{-j\frac{2\pi}{N}nk} = \sum_{n=0}^{N-1} x(n)W_N^{nk} \quad (1)$$

式中, $k, n = 0, 1, 2, \dots, N-1$, N 为 2 的整数倍。按照基 2 时间抽取,将一个 N 点的序列分解为两个 $N/2$ 点的序列,分别进行 DFT 计算。每个 $N/2$ 的计算再进一步分解为两个 $N/4$ 点的计算,依次类推,直到将 N 点的 DFT 分解成 $N/2$ 个基 2 蝶形运算单元^[8]。基 2-FFT 是在时域上将 $x(n)$ 分为基数序列和偶数序列的,这样上式就可表示为

$$X(k) = \sum_{m=0}^{\frac{N}{2}-1} x(2m)W_N^{2mk} + \sum_{m=0}^{\frac{N}{2}-1} x(2m+1)W_N^{(2m+1)k} \quad (2)$$

式中, $0 \leq m \leq N/2$, $0 \leq k \leq N-1$ 。

因为 $W_N^2 = (e^{-j2\pi/N})^2 = e^{-j2\pi/\frac{N}{2}} = W_{N/2}$, 所以式 (2) 变为

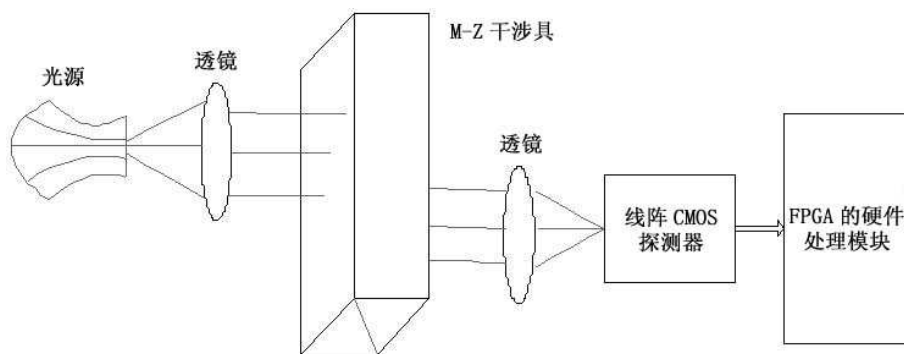


图 1 实时光谱探测原理框图

$$X(k) = \sum_{m=0}^{\frac{N}{2}-1} x(2m)W_{N/2}^{mk} + W_N^k \sum_{m=0}^{\frac{N}{2}-1} x(2m+1)W_{N/2}^{mk} \quad (3)$$

令 $A(k) = \sum_{m=0}^{\frac{N}{2}-1} x(2m)W_{N/2}^{mk}$, $B(k) = \sum_{m=0}^{\frac{N}{2}-1} x(2m+1)W_{N/2}^{mk}$, 则式 (3) 变为

$$\begin{cases} X(k) = A(k) + W_N^k B(k) \\ X(k + N/2) = A(k) - W_N^k B(k) \end{cases} \quad (4)$$

可见基 2 蝶形运算单元可看作是输入序列先乘以旋转因子, 再与对应的序列进行加减运算。按照流水实现的原则, 每输入一个新的点数据时, 上一个点数据已经处理完毕, 因此每一级只需一个蝶形处理器, 共需 $\log_2^N$ 个蝶形处理器。

由欧拉公式已知 $W_N^k = \cos(2\pi k/N) - j\sin(2\pi k/N)$, 若令式 (4) 中的 $B(k) = x_r + jx_i$, $\alpha = 2\pi k/N$, 则 $Y = W_N^k B(k)$ 可以化简为

$$\begin{cases} y_r = x_r \cos \alpha - x_i \sin \alpha \\ y_i = x_r \sin \alpha + x_i \cos \alpha \end{cases} \quad (5)$$

这就是蝶形运算中的复数乘法表达式, 算法的硬件结构由四个实数乘法器、一个加法器和一个减法器组成。

2.2 优化的基 2-FFT 算法及其硬件设计

在 FPGA 的实际设计中, 进行实时光谱数据处理往往需要消耗大量硬件资源。由于芯片本身的硬件资源非常宝贵, 如果不优化算法, 则会增加硬件资源和电路的复杂性, 同时也会引起系统不稳定。考虑到实际应用的需要, 故将式

(5) 进一步化简为

$$\begin{cases} y_r = (x_r - x_i) \cos \alpha - x_i (\sin \alpha - \cos \alpha) \\ y_i = x_r (\sin \alpha + \cos \alpha) - (x_r - x_i) \cos \alpha \end{cases} \quad (6)$$

从式 (6) 可知, 复数乘法由三个实数乘法器、三个减法器和一个加法器组成。在 FPGA 芯片中, 一个实数乘法器占用的资源远远大于一个减法器占用的资源^[9], 因此优化后的算法节省了很多芯片资源, 可以降低系统成本。

从运算速度和硬件实现两方面综合考虑, 本设计采用定点流水线结构基 2-FFT 算法^[10]。每一级运算由蝶形运算单元、地址产生与控制单元、数据存储单元、旋转因子以及通路选择等部分组成^[11], 如图 2 所示。

在硬件设计过程中, 蝶形运算单元是 FFT 算法的主体部分, 由复数乘法器设计实现; 数据存储模块由 FPGA 内部的 BlockRAM 设计实现; 旋转因子由 Matlab 提前计算好, 然后被初始化到蝶形系数存储器 ROM 里面; 通路选择器由组合逻辑电路设计实现; 地址产生与控制单元利用独热编码设计状态变换, 其中采用算法有限状态机 (ASM) 实现数据控制是设计中的难点^[12]。具体设计思路如下:

在第一级运算中, 地址产生与控制单元有三个状态: S0, 空闲状态, 当线阵 CMOS 探测器没有明暗相间的干涉条纹时, 一直保持空闲状态; S1, 数据进入数据存储系统状态, 当有明暗条纹转换成数据进入时, 数据存储系统开始存

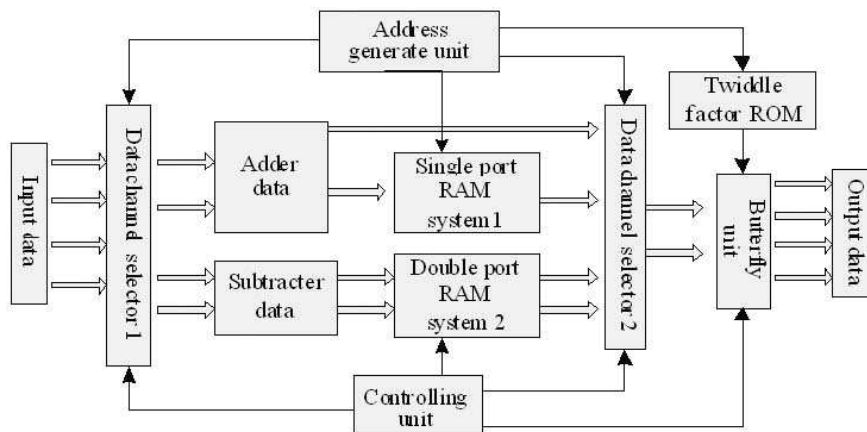


图 2 优化的基 2-FFT 算法某级结构的框图

储数据; S2, 数据进入蝶形运算状态, 当数据被存储一半后, 通路选择器直接将后一半数据送入蝶形运算单元, 同时从数据存储系统中读出已经存入的前一半数据至蝶形运算单元, 完成相应的蝶形运算。在第二级运算中, 地址产生与控制单元有四个状态: S0, 空闲状态, 当第一级输出没有数据进入时, 一直空闲; S1, 数据分别进入数据存储系统 1 和存储系统 2 状态, 其中, 当第一级蝶形运算后, 加法运算部分的数据进入存储系统 1, 减法运算部分的数据进入存储系统 2; S2, 存储系统 1 的数据进入蝶形运算状态; S3, 存储系统 2 的数据进入蝶形运算状态。依此类推, 后面几级的运算状态同第二级状态类似。

假设线阵 CMOS 探测器的感光单元是一款 256×1 元的线阵芯片, 对 256 块感光单元的数据进行基 2-FFT 运算, 由数学原理可知共需要进行 8 级蝶形处理。当 256 点数据进入第一级蝶形

单元时, 需要先将数据存入数据存储系统。当存入前 128 个数据后, 通路选择器将后面的 128 个数据依次送入蝶形单元, 同时控制存储模块读出前 128 个数据至蝶形运算单元, 与对应的数据进行蝶形运算。图 3 所示为利用 ASM 设计的第一级流程图。

以上计算结果依次进入第二级, 蝶形运算加法器输出的数据通过通路选择器进入数据存储系统 1, 蝶形运算减法器输出的数据直接进入数据存储系统 2。当加法器输出的数据达到 64 时, 通路选择器直接将从上一级加法器输出的数据送入蝶形运算单元, 同时控制存储模块, 从数据存储系统 1 中读出存入上一级加法器后输出的 64 点数据至蝶形运算单元, 完成相应的蝶形运算。此时, 上一级减法器输出的数据继续被存入数据存储系统 2, 当上一级加法器中输出的数据的蝶形运算完成后, 控制系统上一级减法

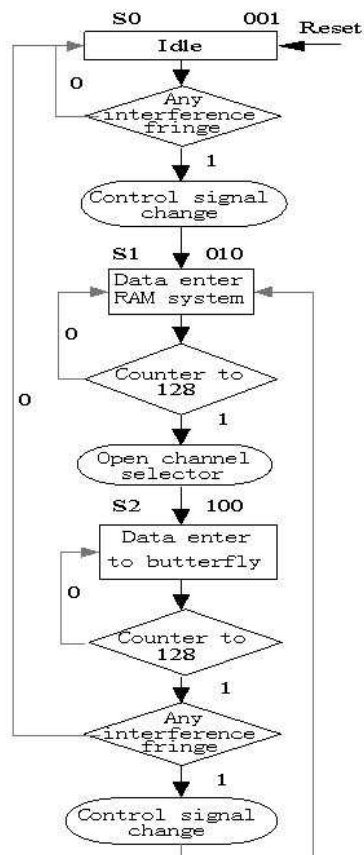


图 3 第一级地址产生控制单元 ASM 图

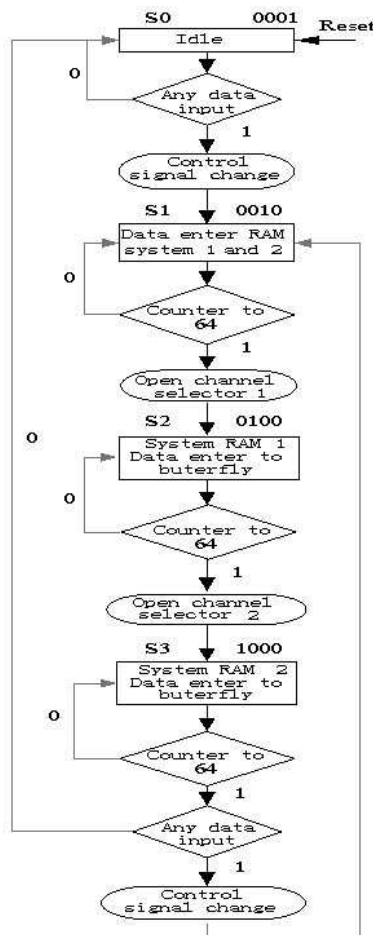


图 4 第二级地址产生控制单元 ASM 图

器输出的数据按第二级蝶形运算顺序成对输出, 然后由通路选择器送入蝶形运算单元, 直到计算完毕。利用 ASM 设计的第二级流程图如图 4 所示。后面的运算过程与第二级模块相近, 即对上一级蝶形处理器中由加法和减法运算得到的数据分别进行处理。

3 FPGA 的硬件实现与波形仿真

本设计采用 Xilinx 公司的 Spartan-3 系列 XC3S400 芯片作为处理器。这一器件的最大容量为 40 万门, 有 16 个乘法器、8064 个逻辑单元、16 块 18kb 的 BlockRAM 和 4 个时钟管理器。在 ISE9.1 软件开发平台上, 利用自带的 IP 核设计了 256 点 16bit 基 2-FFT 模块, 逻辑综合生成的模块如图 5 所示。经过时序约束及面积约束之后^[13], 代码在 FPGA 芯片中布局布线生成的线路如图 6 所示。

在对代码生成的硬件电路进行功能仿真和

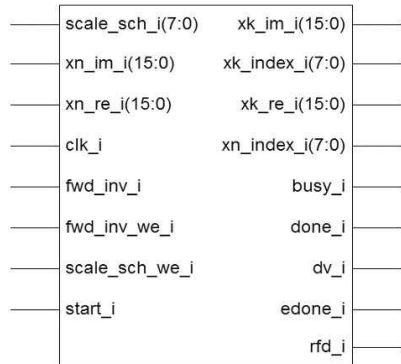


图 5 利用 IP 核设计的 FFT 模块

时序仿真时, 选任意示例函数: $x = \cos(100 \times 2\pi \times t) + \cos(200 \times 2\pi \times t)$, 在 Matlab 上以 1kHz 采样频率采集 256 点数据, 数据精度为 16bit, 其中前 8bit 是整数部分, 后 8bit 是小数部分 (可表示小数点后 0.0002)。利用 VerilogHDL 语言编写的 Testbench 程序, 在第三方仿真软件 ModelsimSE 6.3f 中进行功能仿真, 仿真波形如图 7 所示。当芯片时钟频率为 100MHz 时, 系统复位, 然后当 rfd_i 为高电平时, 数据开始进入存储系统; 在约 1.4μs 时, busy_i 为高电平, 开始从存储系统中读取数据并将其送入蝶形单元进行运算; 在约 6.1μs 时, dv_i 变为高电平, 蝶形运算完成, 同时输出第一点 FFT 数据。直到 done_i 变为高电平, 256 点 FFT 数据全部输完。数据处理系统共耗时约 8.6μs。

4 仿真结果与误差分析

利用 FPGA 芯片完成 256 点 16 位基 2-FFT

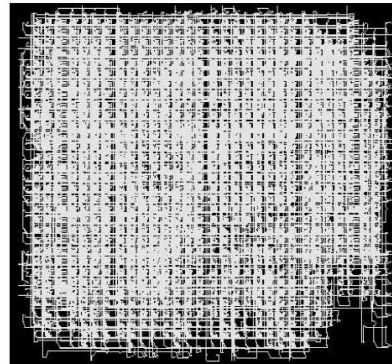


图 6 FPGA 芯片中的布局布线图

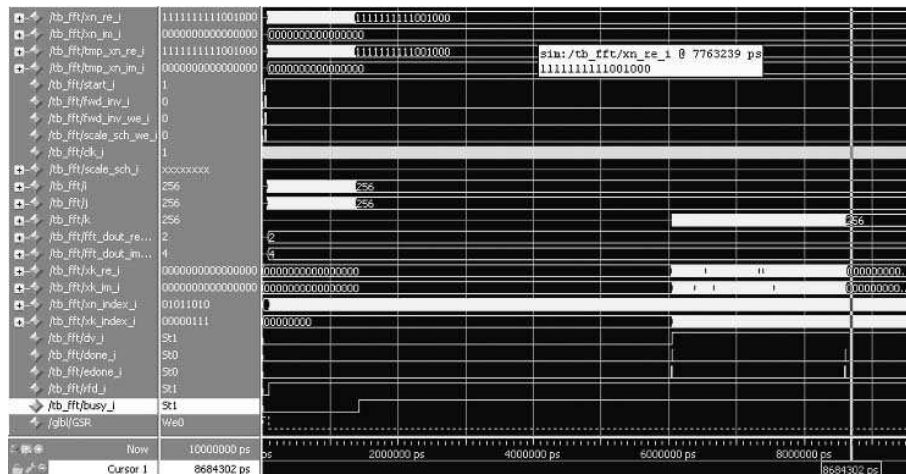


图 7 Testbench 测试文件 ModelsimSE6.3f 的仿真波形

模块设计并用 ModelsimSE 6.3f 进行功能仿真, 表 1 所列为仿真结果及芯片资源的消耗情况。

从仿真波形中导出 FPGA 实际计算的 256 点 16 位 FFT 数据, 利用 Matlab 画出频谱图 (蓝色线) 与 Matlab 理论计算的 FFT 频谱图 (红色*), 如图 8 所示。通过比较发现, 利用 FPGA 硬件设计的 FFT 模块的实际计算频率为 100Hz 和

200Hz, 与 Matlab 在理论上计算的频率一致。为了验证具体数值上的一致性, 特对实际计算结果与理论计算结果进行了误差分析^[14]。具体计算出的 100Hz 和 200Hz 处的幅值的相对误差为 1.89% 和 1.08%; 相位的相对误差为 1.57% 和 0.4%, 整体数据幅值的相对误差分布如图 9 所示。

表 1 FPGA 设计基 2-FFT 模块的仿真结果

输入数据	芯片型号	工作频率	使用逻辑资源	使用 BRAM	变换时间
256point-16bit	XC3S400	100.949MHz	6586	13	about 8.6 μ s

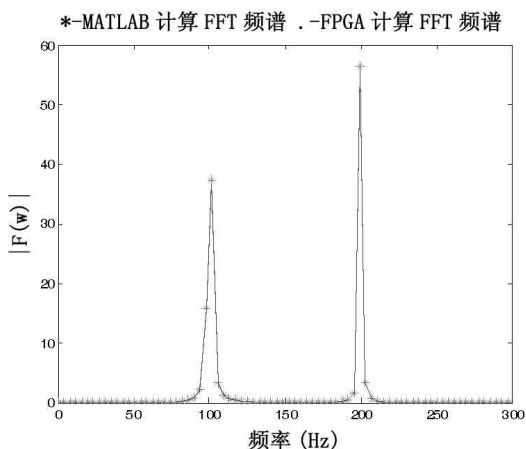


图 8 Matlab 理论值与 FPGA 实际值的比较

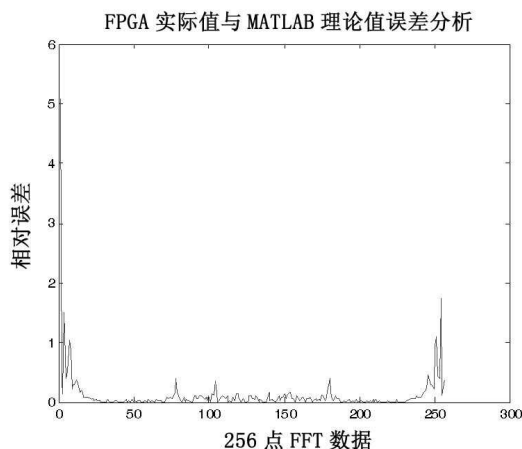


图 9 实际幅值与理论幅值的相对误差分析

5 总结

本文运用傅里叶变换光谱理论中干涉条纹与光谱图之间存在傅里叶变换关系这一特点, 利用由大容量高速 FPGA 芯片设计的数据处理模块实时获取了光谱探测信息。从实现结果来看, 这是行之有效的。当芯片的工作频率为 100MHz 时, 完成 256 点 16bit 定点数据基 2-FFT 约需 8.6 μ s。如果采用浮点实现 FFT 运算, 精度会更高, 但硬件结构会相当复杂, 速度也会变得较慢。从实际工程应用和实验结果可知, 采用定点流水线结构基 2-FFT 算法可满足实时光谱探测的要求, 并且具有体积小、运算速度快、稳定可靠等优点。实时光谱探测系统中快速傅里叶变换算法的硬件的成功实现, 将为战场侦察、大气污染物检测、毒气探测等实时应用领域提供良好的设计思路, 对军民两种应用都有重要的现实意义。

参考文献

- [1] 杨在富, 钱焕文. 激光告警技术发展现状 [J]. 激光技术, 2004, 28(1): 98-102.
- [2] 黄中华, 王俊德. 傅里叶变换红外光谱在大气遥感监测中的应用 [J]. 光谱学与光谱分析, 2002, 22(2): 235-238.
- [3] 张记龙, 聂宏斌, 王志斌, 等. 化学战剂红外光谱遥测技术现状及发展趋势 [J]. 中北大学学报 (自然科学版), 2008, 29(3): 265-271.
- [4] 王林泉, 皮亦鸣, 陈晓宁, 等. 基于 FPGA 的超高速 FFT 硬件实现 [J]. 电子科技大学学报, 2005, 34(2): 152-155.
- [5] 王远模, 赵宏钟, 张军, 等. 用 FPGA 实现浮点 FFT 处理器的研究 [J]. 国防科技大学学报, 2004, 26(6): 61-64.
- [6] 张记龙, 王志斌, 李晓, 等. 光谱识别与相干识别激光告警接收机评述 [J]. 测试技术学报, 2006, 20(2): 95-99.

(下转第 25 页)