

文章编号: 1672-8785(2015)08-0009-03

高速红外图像数据采集系统的设计

李根焰 王 茜 周弘扬

(空军勤务学院航空弹药系, 江苏徐州 221000)

摘 要: 在红外空空导弹中, 红外成像系统在图像处理中所涉及的数据量大, 难以实现实时处理。针对这一问题, 介绍了一种基于 RapidIO 和 PCI-Express 的高速红外图像数据采集系统, 重点讨论了以高速串行总线的 XMC 底板和 XMC 接口板为框架结构的关键模块图像采集板卡的设计。该系统不仅具有双通道数据采集功能, 还具有双通道数据播发功能。每通道的采集速率达到 1.2 Gbps, 码速率为 0~400 M。该系统可实现高频红外图像的实时采集和显示。

关键词: RapidIO; PCI-E; 红外图像数据; 采集系统

中图分类号: TP311.5 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2015.08.003

Design of High-speed Infrared Image Data Acquisition System

LI Gen-yan, WANG Qian, ZHOU Hong-yang

(Department of Aviation Ammunition, Air Force Logistics College, Xuzhou 221000, China)

Abstract: In an air-to-air missile, the amount of the data to be processed by the infrared imaging system is too large for real-time processing. To address this problem, a high-speed infrared image data acquisition system based on RapidIO and PCI-Express is presented. The design of a key modular image acquisition card which uses the XMC base plate and XMC interface board of a high-speed serial bus as its frame structure is discussed emphatically. The system not only has a dual channel data acquisition function, but also has a dual channel data broadcast function. Each channel has a data acquisition rate up to 1.2 Gbps and a code rate in the range 0 M to 400 M. The system can implement the real-time acquisition and display of high frame rate infrared images.

Key words: RapidIO; PCI-E; infrared image data; acquisition system

0 引言

红外导弹是机载精确制导格斗导弹。世界各国都大量装备这种导弹, 以美国响尾蛇系列导弹装备最多, 大多采用 3~5 μm 的 InSb 红外探测器和 8~12 μm 的 HgCd 红外探测器。随着半导体制造工艺的不断进步, 红外探测器性能也得到了迅速的发展, 多波段红外探测、大阵列探测

器、高分辨率红外探测以及在此基础上发展的图像处理和图像融合技术相继出现。然而, 过去基于 VME、PCI 和 PCI-X 等的多分支共享总线大多是采用多种技术提高性能的, 已经到达了开发极限。因此, 高速稳定地采集和实时处理有关数据的研究成为了当前的热点。这些问题的研究需要有一个统一的图像采集系统给予支持。

收稿日期: 2015-08-04

作者简介: 李根焰 (1990-), 四川乐山人, 在读硕士研究生, 主要从事系统与运用研究。

E-mail: 1205027333@qq.com

本文介绍一种高速图像采集系统。该图像采集系统可以从多个探测器处接收采集数据。这些探测器可以是多波段的红外探测器或者多种形式的红外探测器,比如高分辨率凝视焦平面探测器、大阵列扫描型探测器等。随着探测速率越来越高,对数据的采集、处理能力和 IO 带宽提出了更高的要求。而数字信号处理的瓶颈就是 IO 带宽不足。为满足这种大数据流交换的高速实时信号处理需求,出现了基于 RapidIO 和 PCI-Express 的高性能、低引脚数量与包交换的系统级互连架构。该架构是为满足当前及未来高性能嵌入式系统的需求而开发的标准,它能满足外部设备与计算机高速互联的 IO 要求。

1 RapidIO 和 PCI-Express 概述

一个 PCI-Express 互连称为一条链路,一条

链路在每个方向上可以有 $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 12$ 、 $\times 16$ 或 $\times 32$ 个信号对,这些信号被称为通道。

表 1 列出了各种链路宽度实现的总带宽数。

表 1 PCI-E 传输带宽^[1]

链路宽度	$\times 1$	$\times 2$	$\times 4$	$\times 8$	$\times 12$	$\times 16$	$\times 32$
总带宽	0.5	1	2	4	6	8	16

串行 RapidIO 协议适合芯片、背板和设备间的高速互联,支持 $\times 1$ 和 $\times 4$ 两种模式。每种模式支持三种工作频率: 1.25GHz、2.5GHz 和 3.125GHz,每种模式的传输带宽见表 2。

由表 1 和表 2 可以明显看出,用 PCI-Express、RapidIO 能够实现的峰值带宽比目前现有的任何总线都高得多。

表 2 RapidIO 传输带宽^[2]

Clock Rate	1-bit Wide			4-bit Wide		
	PEAK	Sustained 32 byte Op	Sustained 256 byte Op	PEAK	Sustained 32 byte Op	Sustained 256 byte Op
1.25GHz	2Gb	1Gb	1.8Gb	8Gb	4Gb	7.2Gb
2.5GHz	4Gb	2Gb	3.6Gb	16Gb	8Gb	14.4Gb
3.125GHz	5Gb	2.5Gb	4.5Gb	20Gb	10Gb	18Gb

2 硬件板卡概述

系统采用 XMC 底板 +XMC 接口板的架构实现数据的高速采集。XMC 底板采用市场上成熟的 XMC 转 PCI-E 适配器^[3]。图 1 为 Innovative Integration 公司的适配器产品。XMC 接口板采用单宽度 XMC 标准,因为它兼容 PCI-E 和 RapidIO 标准,对二者都有成熟的 VITA 标准,做到了通用化。XMC 接口板(图 2)插在 XMC 底板上, XMC 接口板通过 RapidIO 协议与信号处理板进行高速互联,完成 XMC 接口板与计算机的高速互联通信。当需要进行大容量高速数字信号处理时^[4],就可以选择高速数字信号处理板作为 XMC 底板。相同的子板配在不同的母板上,就可以实现不同的功能,不仅能解决制约高速数据采集的数据 I/O 速带宽问题,同时具有模块

化、通用化等特点。



图 1 XMC 底板



图 2 XMC 接口板

3 硬件板卡设计

3.1 XMC 底板设计

XMC 底板使用 $\times 8$ 的 XMC-PCIE 适配器, 选用市场上出售的 Innovative Integration 公司产适配器, XMC 底板与 XMC 接口板插在一起, 二者配合完成计算机与 FPGA 的 PCI-E 通信 [5]。

3.2 XMC 接口板设计

XMC 接口板包括信号处理模块、FPGA 模块、DDR2 模块、DDS 时钟模块和电源等硬件模块。结构框图如图 1~图 3 所示 [6]。

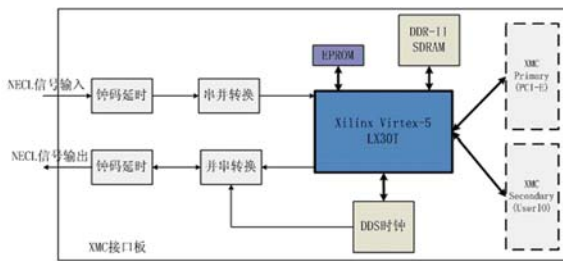


图 3 XMC 接口板系统结构框图

信号处理模块包括电平转换、钟码关系调整、串并转换和并串转换等硬件模块。

FPGA 模块采用目前最先进且成熟的 Xilinx Virtex5 系列, 该芯片带有一个 PCI-E 硬核和 8 对 RocketIO 接口, 可完成 $\times 8$ PCI-E 及 $\times 4$ RapidIO 协议 [3], 能满足系统高速互联的需求 [7]。

DDR2 模块板上集成了两片 2Gbit DDR2 芯片, 提供与 FPGA32 位的高位宽传输。DDR2 可工作在 667 MHz, 与 FPGA 的交互速率最高为 1.3 GB。DDR2 的缓存容量和交互速率足够满足系统需要。

DDS 时钟模块的情况是: 系统 FPGA 的 RocketIO 参考时钟需要 100 MHz 的时钟, FPGA 操作 DDR2 SDRAM 需要 200 MHz 时钟, 发送数据需要 10~400 MHz 连续可调整时钟。DDR2 SDRAM 需要的 200 MHz 时钟由 FPGA 内部 DCM 对外供的 100 MHz 时钟倍频产生。10~400 MHz 连续可调整时钟采用一片 DDS 芯片实现。此外, 板上还提供有一个外钟输入接口和一个 40 MHz 晶振, 可作扩展使用 [8]。

接口板的流程关系为: 双通道输入的 NECL 信号经过钟码延时和数据钟码关系调整后进行

电平转换、串并转换, 成为 TTL 信号, 然后被输入给 FPGA; 再经过 DDR2 缓存、数据格式处理后, 通过接口利用 PCI-E 协议将数据传输给上位机, 进行实时数据记录。发送数据时, DDS 根据需求产生相应的时钟调整钟码关系, 对 FPGA 输出的并行数据进行并串转换, 完成数据的播发功能。该板卡还支持利用外钟播发数据。

3.3 XMC 接口设计

VITA42 标准规定了 XMC 接口的规范。VITA42.2(RapidIO 协议)和 VITA42.3(PCI-E 协议)规范了 PCI-E、RapidIO 传输协议。板卡的 XMC 接口兼容 PCI-E 和 RapidIO 传输协议, 板卡的 XMC P15 接插件运行 $\times 8$ PCI-E 协议和 $\times 4$ RapidIO 协议。板卡的 XMC P16 接插件对外自定义数字 IO, 共 38 个, 能满足自定义总线的需要 [9,10]。

3.4 高速串行总线逻辑设计

板卡使用 LX30T FPGA 芯片, 该芯片集成了 PCI-E 协议中的物理层 (PHY)、数据链接层 (DLL) 和传输层 (TL), 同时它还实现了 PCI-Express 设备的功能配置。其结构如图 4 所示, 包含时钟和复位接口、配置和状态接口、电源管理接口、用户接口和传输层接口。

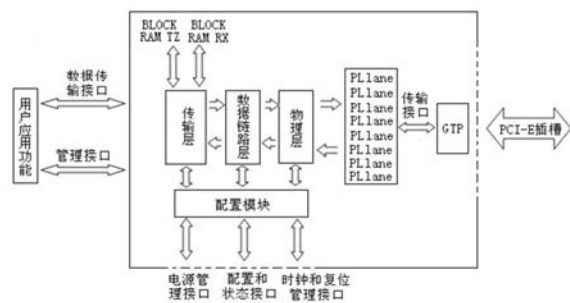


图 4 LX30T FPGA 芯片结构框图

LX30T FPGA 芯片硬核具有 PCI-E 的完整功能, 完全符合 PCIE V1.1 规格, 是可配置的 PCI-E 端点解决方案, 能大大增加设计的灵活性, 并且支持 $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 通道的实现, 为系统功能的扩展提供了有效途径。

(下转第 33 页)