

文章编号: 1672-8785(2014)06-0020-06

一种适用于目标快速定位和图像输出的有源图像传感器设计

王 俊 解 宁 张志浩 陈永平

(中国科学院上海技术物理研究所红外成像材料与器件重点实验室, 上海 200083)

摘 要: 提出了一种适用于目标快速定位和图像输出的有源图像传感器 (Active Pixel Sensor, APS) 的设计方案。与传统的图像传感器不同, 这种传感器可以根据目标信号的位置进行区域图像输出, 从而实现目标的快速定位和图像输出。阐述了这种传感器的区域划分原则和区域图像输出控制方法。通过设计和仿真测试一个 48×48 的面阵, 验证了这种传感器的目标快速定位能力。测试结果表明, 这种传感器的帧频比传统的传感器高 4 倍以上。

关键词: 目标快速定位; CMOS 有源图像传感器; 帧频

中图分类号: TN710.2 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2014.06.004

Design of Active Pixel Sensor for Fast Target Detection and Imaging

WANG Jun, XIE Ning, ZHANG Zhi-hao, CHEN Yong-ping

(Research Center for Advanced Materials and Devices, Shanghai Institute of Technology Physics, Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: An active pixel sensor (APS) for fast target detection and imaging is designed. Unlike the traditional image sensors, this sensor can output the image signals from a part of pixels in an array according to the location of the target signals. So, fast target location and image output can be implemented. The area partitioning principle and area image output control method of the sensor are described. By designing and simulating a 48×48 pixel area array, the fast target location ability of the sensor is verified. The test result shows that this new sensor has a frame rate four times higher than the traditional sensors.

Key words: fast target detection; CMOS APS imaging sensor; frame-rate

0 引言

对处在复杂背景中的特定目标进行快速搜索、跟踪和识别是现代和未来军用成像系统所希望实现的基本功能之一。目前, 传统的高分辨率成像系统采用的是固定帧频下的逐元像素信号

读出和处理模式, 系统负担重, 帧频难以提高。某些成像系统只要求能在大视场条件下快速输出有效的目标图像, 而无需对整个面阵进行读出。因此需要研发更先进的图像传感器。

一种解决途径是使用智能化的像素技术对图像传感器的采样信息进行预处理, 根据预处理

收稿日期: 2014-04-09

作者简介: 王俊 (1987-), 男, 上海人, 硕士研究生, 主要研究方向为 CMOS 图像传感器。

E-mail: wj87113@gmail.com

反馈的图像位置和信号大小进行选择性的区域输出。这样可以有效减少图像输出的数据量, 从而减轻系统负担, 提高系统的快速反应能力。要实现上述功能, 图像传感器需要事先分成几个区块, 每个区块由多个像素组成。在图像输出控制方面, 根据目标的形状和位置, 一个区块可以作为一个像素处理, 也可以作为一个子列阵处理。这样的区块像素结构就是所谓的超级像素技术。这种技术在国外已有一定的研究, 如 NOVA 传感器公司 (Nova Sensors) 已研制出可变锐度超级像素成像器件 (Variable Acuity Super-Pixel Imager, VASI)^[1-4], 约翰霍普金斯大学也做了一系列研究^[5,6]。本文针对这种快速图像输出的图像传感器进行了设计研究, 并在小规模器件上进行了仿真测试验证。该设计方案可以拓展到大规模器件的设计中。

1 器件结构和工作原理

1.1 框架结构与工作原理

器件的框架结构和传统的 CMOS 图像传感器类似, 整个芯片由三部分组成, 分别是像素面阵、双采样 (Double Delta Sampling, DDS) 读出模块和行列译码器。其框架结构如图 1 所示。

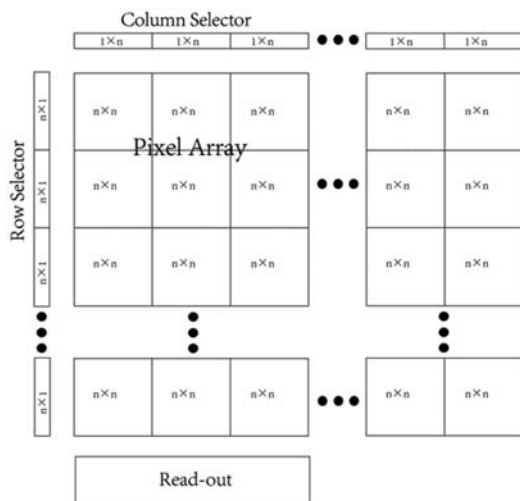


图 1 超级像素 CMOS-APS 图像传感器芯片的架构图

与传统的设计不同, 探测器阵列在设计时被预先分成 $M \times N$ 个控制区块, 每个区块内包含规模为 $n \times n$ 的像素, 称为一个超级像素。为了

实现对整个面阵的探测, 需要设置参考像素, 每隔几十帧到几百帧 (取决于需求的精度) 由现场可编程逻辑门阵列 (Field Programmable Gate Array, FPGA)^[1,2] 将像素面阵中参考像素的信号 (每 $m \times m$ 个像素中取一个, $m < n$) 与用户设定的阈值进行比较; 确定包含超过阈值区块的超级像素; 通过控制图像传感器的激励信号将这部分区块读出到上位系统。超级像素是本设计像素面阵读出的基本单元, 因此每一个超级像素只存在两种状态: 每一个像素都被读出或者没有一个像素被读出。

超级像素技术是通过降低像素的读出数目提高帧频的。为了弄清帧频与像素读出数目的关系, 先观察帧频的计算公式:

$$F = 1/T \quad (1)$$

式中, T 为像素积分时间与读出时间两者中的较大值^[7]。通常情况下, 读出时间会大于积分时间, 其值可以表示为

$$T_s = N_r \times rot + N_p \times T_p \quad (2)$$

式中, N_r 为读出的行数, rot 为行准备的时间, N_p 为读出订单像素数, T_p 为单个像素的读出时间。

通过观察读出时间的公式可以发现, 读出时间主要由像素数与单个像素读出时间的乘积决定。假设阵列规模为 $N \times N$ 的形式, 在单个像素读出时间一致及像素阵列规模逐步提升的情况下对全阵列进行读出, 式 (2) 中的 N_p 成 N^2 增长; 如果仅输出部分区块, 则 N_p 取值为一个超级像素内包含像素数目的整数倍, 其增长远远小于前者。因此超级像素技术可以有效提高帧频。

根据以上超级像素技术的原理, 我们将测试面阵规格定为 3×3 个的超级像素; 每个超级像素包含 16×16 个像素, 其中每 4×4 个像素中取一个作为参考像素; 整个面阵包含了 48×48 个像素与 12×12 个参考像素。以此规格为依据, 我们设计了 CMOS-APS 图像传感器并进行了流片。

1.2 CMOS-APS 图像传感器模块的设计

1.2.1 像素面阵

像素电路采用 APS 技术 [8,9], 在传统的 3T 设计上增加一个传输管、采样电容和对采样电容复位的复位管, 构成 5T 结构, 如图 2 所示。

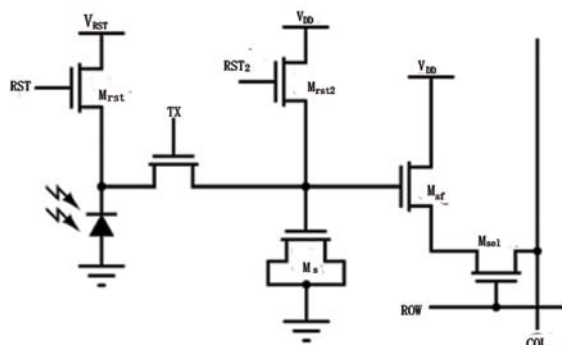


图 2 5T 像素的电路图

像素电路的工作原理是, 采样电容对图像信号进行保持, 并通过对其复位进行双采样。

1.2.2 DDS 读出模块

DDS 读出模块由列放大器和 DDS 模块两部分组成。列放大器由开关电容放大器构成, 其结构如图 3 所示。

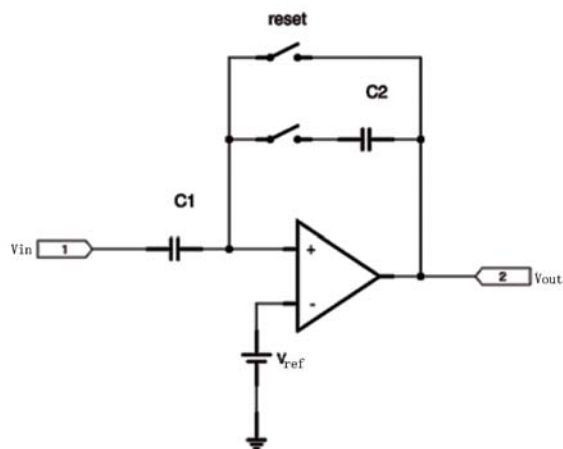


图 3 开关电容放大器

该放大器通过 reset 开关复位, 使输出置为 V_{ref} 。放大器工作时, 其放大倍数为

$$V_{out} = V_{ref} - A_v \times V_{in} \quad (3)$$

式中, $A_v = C_1/C_2$ 。

DDS 模块的主要功能是去除列放大器造成的电压失配, 其电路如图 4 所示。

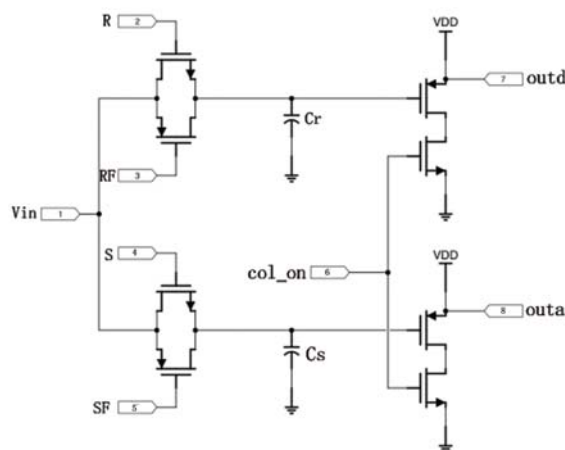


图 4 DDS 模块的电路图

图 4 中, C_s 、 C_r 分别存储 V_{ref} 值和 $(V_{ref} - V_{out})$ 值。当列选开关 (col_en) 开通时, 两个源极跟随器开始工作, 将 outa 和 outd 输出到片外进行处理。

1.2.3 行列选择模块

传统的行列移位寄存器模块由 N 个 D 触发器串联而成, 具有简单可靠的特点。但是移位寄存器不能对像素单元进行随机访问, 因此我们选择译码器作为行列选择模块。

由三组 4 位的译码器各自控制 16 个行 / 列选信号, 再由一组 2 位的译码器控制这三组译码器; 选址范围为 6 位, 对每一个像素单元都可用一个 12 位码进行独立访问, 从而实现对像素面阵的随机访问。

2 仿真结果与分析

我们使用 Cadence 平台对 CMOS 图像传感器进行了自下而上的电路设计, 并使用 Analog Environment 进行了电路功能仿真。利用上海先进半导体公司的 0.5 μm 工艺完成了流片, 最终的版图如图 5 所示。

我们使用 Altera 公司产的 Cyclone VI 系列 FPGA 控制激励信号, 并使用 Active-HDL 软件进行了仿真, 下面介绍各模块的仿真结果。

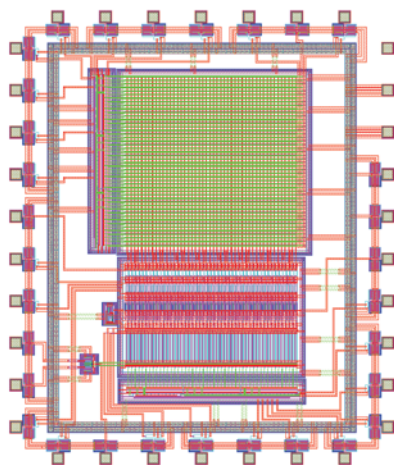


图 5 版图设计

2.1 行 / 列译码器的仿真

行 / 列译码器的设计是为了实现对像素单元随机访问, 因此测试时着重于检验其对某一行 / 列的选择特性是否有效。针对这个目标, 设计的测试方案是先使行 / 列译码器选中某一行 / 列, 然后对其进行观察: (1) 行选 / 列选信号是否选定了特定的行 / 列; (2) 信号是否有毛刺; (3) 是否有多于一行 / 列被选中。

因为行译码器与列译码器使用的是同质化结构, 因此只需测试其中一组就能判断译码器是否工作正常。我们选定列译码器, 测试时输入表 1 中的几组信号以选定特定列。

表 1 仿真选定列

行 1	列 1(0×3F)	列 17(0×2F)	列 33(0×1F)
行 2	列 5(0×3B)	列 22(0×2A)	列 45(0×13)
行 3	列 11(0×35)	列 24(0×28)	列 48(0×10)

图 6 是列译码器的仿真结果。

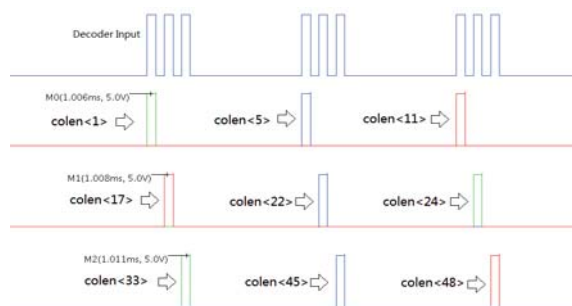


图 6 列译码器时序的仿真图

从仿真结果可以看出, 列译码器均选中, 仅选中了设定的列, 在行列选 (col_en) 信号中没有毛刺, 因此可以判断列译码器工作正常。

2.2 像素单元与读出电路的仿真

因 Cadence 平台无法模拟光电二极管对光信号采样的过程, 因此通过将一个电流源和电容并联的方式来模拟光电二极管的工作状态, 如图 7 所示。

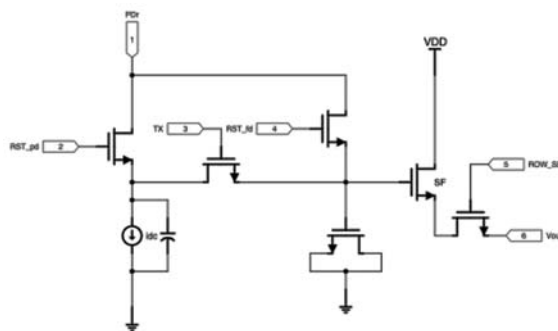


图 7 像素电路

测试模拟了读出三行、每行读取一个像素的操作, 其中像素控制电路的时序^[10]如图 8 所示。

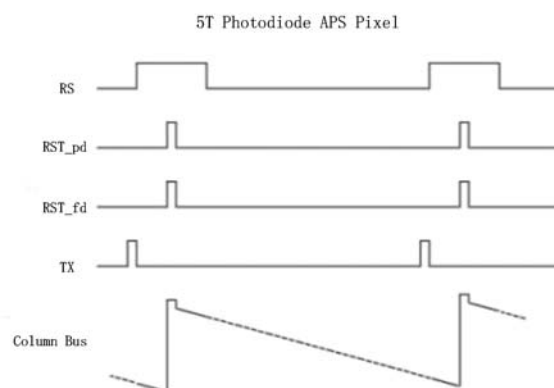


图 8 像素控制时序图

其对应的读出模块时序^[10]如图 9 所示。可以看出, 以上两个模块均工作正常。

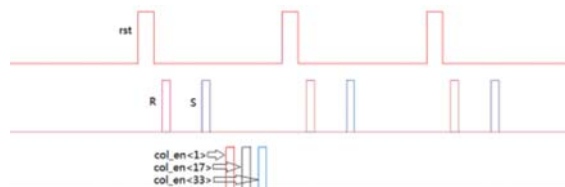


图 9 读出模块时序图

2.3 超级像素功能的仿真

本设计使用 FPGA 开发板 (见图 10) 作为调节 CMOS 图像传感器各路激励信号的控制, 以实现系统的超级像素功能。控制模块使用 Verilog 硬件描述语言编写各个子模块, 并在顶层模块中将其实例化。为了测试代码的有效性, 使用 Active-HDL 9.2 软件进行仿真, 测试台由 Verilog HDL 编写。



图 10 FPGA 开发板

设计的最终目标是实现面阵的区块读出。因此, 在设计控制模块时就要确保 FPGA 能够根据视场中的不同情况给传感器传递相应的激励信号, 因为只有正确的行 / 列激励信号才能使面阵被正确地读出。为了验证代码的有效性, 必须检验 FPGA 提供的行 / 列激励信号。

设计中有 9 个超级像素区块。在仿真中, 将第 4、6 和 9 区块视为亮块 (即其内部像素存在超过阈值的亮点), 如图 11 所示。

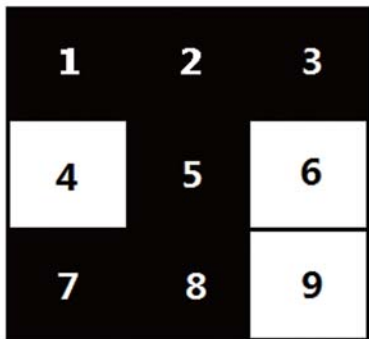


图 11 超级像素区块

可以看出, 第 4 块和第 6 块处于同一行, 需要连读。观察 FPGA 生成的一帧激励信号, 如图 12 所示。

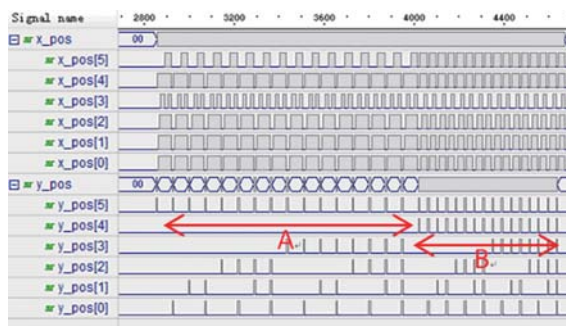


图 12 超级像素功能的仿真波形图

图 12 中, x_{pos} 为列移位信号, y_{pos} 为行移位信号。可以看出, y_{pos} 的值从 100000 变化到 111111, 说明系统读出了第 17~48 行; 同时可以看到, A 段明显长于 B 段, 这是因为 A 段每行有 32 个列信号 (超级像素 4 与 6 连读), 而 B 段只有 16 个。将 A 段中的一行放大, 如图 13 所示。

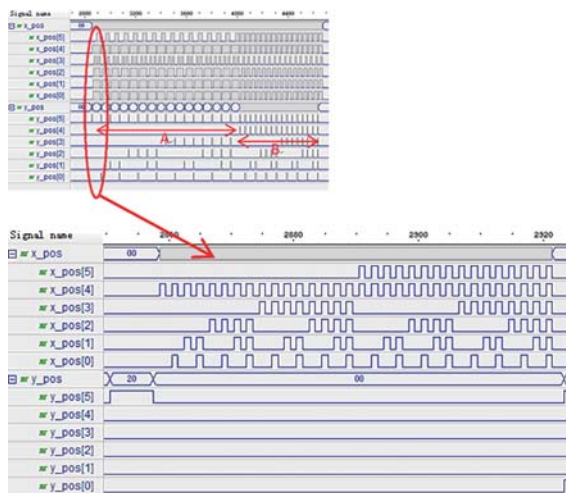


图 13 超级像素功能的仿真波形图

可以看出, $y_{pos}=100000$ 表示第 17 行 x_{pos} 从 10000 变化到 11111, 然后从 110000 变化到 111111, 即先读出了第 1~16 列, 再跳转到第 33~48 列, 中间跳过了超级像素 5, 说明 FPGA 给出了正确的行选信号和列选信号。因此, 可以判定代码工作正常, 能够实现超级像素功能。

2.4 帧频提升

由于不同图像传感器器件的参数如主频、面阵规模、积分时间和开关速度等存在较大差别, 对帧频提升的比较主要针对同一类器件 (主频、积分时间和开关时间相同) 在不同面阵规模与读出方式下的差别。

仍旧使用上述 FPGA 平台作为测试台, 设置积分时间 $T=500\ \mu\text{s}$, 每行的准备时间 $t_{\text{rot}}=8\ \mu\text{s}$, 每个像素的读出时间 $T_p=2\ \mu\text{s}$ 。

(1) 对于本设计规模的面阵 (48×48) 系统在几种典型情况下测试的帧频见表 2。

表 2 48×48 面阵下帧频的典型值

读出区块数	帧频 (FPS)	提升
全面阵	200	0
8	211	5.5%
3	520	160%
2	780	290%
1	1562	680%

可以看出, 随着读出区块的减少, 帧频提升显著。

(2) 以上的比较是在小规模器件上进行的。事实上, 这种技术在大规模器件上对帧频有更大的提升, 例如对 512×512 四路输出器件测试的帧频提升见表 3。

表 3 512×512 面阵下帧频的典型值

读出区块数	帧频 (FPS)	提升
全面阵	7.4	0
8	211	2750%
3	520	6927%
2	780	10404%
1	1560	21000%

考虑到用户可以通过重置参考量优化结果, 最终输出的区块数一般在 1~3 块, 则即使在小面阵器件 (48×48) 上也可以获得平均 4 倍以上的帧频提升。由此可以看出, 超级像素技术对于提高系统帧频是极具潜力的。

3 总结和展望

本文提出了一种适用于目标快速定位和图像输出的图像传感器设计, 使用 Cadence 平台进行了图像传感器的电路设计与仿真, 并利用 Verilog 硬件描述语言及 FPGA 开发板对超级像素功能及帧频提升特性进行了仿真与测试。结果表明, 加入超级像素特性的传感器在测试中表现出了比传统传感器更好的帧频特性, 即使小面阵也能有 4 倍以上的帧频提升。

对设计的改进主要有以下几点: (1) 在图像传感器中加入列模数转换模块以提高信号处理的速度和可靠性; (2) 将图像传感器做成片上系统, 在降低系统尺度和成本的同时可以进一步提高帧频; (3) 应用到更大规模的器件中 (比如 512×512); (4) 应用到红外等其他成像系统中, 可以作为探测高温 (红外) 目标的手段。

参考文献

- [1] Ovod V I, Baxter C R, Massie M A, et al. FPGA-based Processor for High Framerate Target Detection on Cluttered Backgrounds Using LVA-SITM Sensors[C]. *Infrared Technology and Applications XXXII*, 2006, 62061W-12.
- [2] Ovod V I, Baxter C R, Massie M A, et al. Advanced Image Processing Package for FPGA-based Re-programmable Miniature Electronics[C]. *Infrared Technology and Applications XXXI*, 2005:304-315.
- [3] Massie M A, Curzan J P, Coussa R A. Operational and Performance Comparisons between Conventional and Foveating Large Format Infrared Focal Plane Arrays[C]. *Infrared Technology and Applications XXXI*, 2005:260-271.
- [4] McCarley P L, Massie M A, Curzan J P. Large-format Variable Spatial Acuity Superpixel Imaging: Visible and Infrared Systems Applications[C]. *Infrared Technology and Applications XXX*, 2004:361-369.
- [5] Lin J.H., Pouliquen P.O., Andreou A.G., Goldberg A.C., Rizk C.G. A bio-inspired event-driven digital readout architecture with pixel-level A/D conversion and non-uniformity correction[C]. *2011 45th Annual Conference on IEEE, Baltimore MD: Information Sciences and Systems (CISS)*, 2011: 1-6.
- [6] Pouliquen P O, Andreou A G, Cauwenber C, et al. A CMOS Smart Focal Plane for Infra-red Imagers[C]. *The 2000 IEEE International Symposium on, Geneva: Circuits and Systems*, 2000:329-332.
- [7] 侯舒志, 姚素英, 周津, 等. CMOS 图像传感器时序控制方法研究与实现 [J]. *固体电子学研究与进展*, 2007, 27(1): 119-122.
- [8] Salama K, El Gamal A. Analysis of Active Pixel Sensor Readout Circuit[J]. *Circuits and Systems I: Fundamental Theory and Applications*, 2003, 50(7): 941-945.
- [9] El Gamal A, Eltoukhy H. CMOS Image Sensors[J]. *Circuits and Devices Magazine, IEEE*, 2005, 21(3): 6-20.
- [10] 付斌, 张晓雷, 陆扬. CMOS 图像传感器时序分析研究 [J]. *传感器与微系统*, 2007, 26(12): 47-53.