

文章编号: 1672-8785(2014)03-0007-05

基于 CMOS 图像传感器的高速小型化 成像系统设计

于 帅^{1,2} 孙德新¹

(1. 中国科学院上海技术物理研究所, 上海 200083 ;

2. 中国科学院大学, 北京 100049)

摘 要: 基于 LUPA1300-2 型 CMOS 图像传感器设计了一套高速、高分辨率、小型化、低功耗的成像系统。以 FPGA 作为系统的时序控制程序开发平台, 采用 Verilog 硬件描述语言设计了传感器驱动、数据处理、通信和数据传输等模块程序, 并对各模块的功能与结构进行了分析和说明。基于本文提出的成像系统框架开发了硬件电路, 然后对整个系统进行了成像实验。结果表明, 该成像系统驱动时序合理, 与计算机通信正常, 数据传输准确, 图像质量高, 系统运行稳定。

关键词: CMOS 图像传感器; 成像系统设计; 驱动程序; 小型化

中图分类号: TN212.9 **文献标识码:** A **DOI:** 10.3969/j.issn.1672-8785.2014.03.002

Design of High-speed and Small-size Imaging System Based on CMOS Image Sensor

YU Shuai^{1,2}, SUN De-xin¹

(1. Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A high speed, high resolution, small-size and low-power-consumption imaging system based on a LUPA1300-2 CMOS image sensor is designed. By taking a FPGA as a sequential control program development platform, several modular programs including sensor driving, data processing, communication and data transfer etc are designed by a Verilog hardware description language. The function and structure of each module are analyzed and explained. The hardware circuit is developed on the basis of the imaging system frame proposed. Then, an imaging experiment is carried out on the whole imaging system. The experimental result shows that its driving timing is proper, its communication with the computer is effective, its data transfer is correct, its image quality is high and it can operate stably and reliably.

Key words: CMOS image sensor; imaging system; driving program; small size

收稿日期: 2014-03-03

作者简介: 于帅 (1988-), 女, 河北沧州人, 硕士研究生, 主要研究方向为图像传感器的驱动及其信号处理技术。

E-mail: yushuai2012@sina.com

0 引言

20 世纪 60 年代末, 美国贝尔实验室首次提出了固态成像器件的概念。此后固态图像传感器的研究工作取得了惊人的进展^[1]。目前市场上的图像传感器主要有电荷耦合器件 (Charge-Coupled Device, CCD) 和互补金属氧化物半导体 (Complementary Metal-Oxide-Semiconductor, CMOS) 传感器两种。在固态成像器件发展的前 40 年里, CCD 凭借其读出噪声低、量子效率高以及图像质量高等优势占据了主要市场。但是近 10 年来, 由于自身劣势如速度低、功耗大和驱动电路复杂等, CCD 发展日趋缓慢, 而集成电路设计技术的突破使 CMOS 图像传感器克服了图像质量差、灵敏度低以及噪声大等缺陷, 从而成为理论研究和应用开发中的热点领域。

利用 CMOS 工艺可以将像元阵列、信号放大器、A/D 转换器、信号处理器和时序发生器集成在一块芯片上, 集成度高且外围电路简单。市场上 2009 年推出的新型 CMOS 芯片——科学级 CMOS (sCMOS) 不仅克服了传统 CMOS 芯片暗电流大、读出噪声高、填充因子低以及响应均匀性差等缺点, 而且还具有分辨率高、动态范围大、量子效率高和读出速度快等优点^[2]。CMOS 图像传感器高智能化、高灵敏度、高分辨率、低噪声和大动态范围的发展趋势, 使其在航空航天、军事、工业和医学领域具有更大的发展潜力和应用空间^[3]。

本文以 CMOS 图像传感器为研究对象, 基于 FPGA 设计并开发了一款分辨率为 1280×1024 像素的高速、小型化、低功耗成像系统。该系统包括传感器驱动、数据处理、通信和数据传输等模块, 可实现对 CMOS 图像传感器的精确控制。这种成像系统具有工作性能稳定、处理数据量大、处理速度快和处理数据准确等特点, 能够在高帧频、高分辨率的条件下保证高图像质量; 同时, 小型化、功耗低、抗干扰能力强的系统设计能够保证系统在复杂环境下的适用性和可靠性, 从而满足航空航天等特殊领域的要求。

1 系统总体设计

按照功能划分, 成像系统主要包括成像单元、驱动控制单元、异步串行通信单元、数据处理单元以及数据传输单元。如图 1 所示, 成像单元由光学镜头和 CMOS 图像传感器构成, 负责进行光电转换, 然后对电信号进行处理并将其输出; 驱动控制单元负责生成时序指令, 控制图像传感器的积分时间和复位等各种功能; 数据处理单元包括串并转换、顺序调整以及乒乓缓存等功能模块, 主要负责将接收到的乱序数据变得有序; 数据传输单元包括格式编排模块和数据传输芯片, 按规定的传输协议发送数据, 从

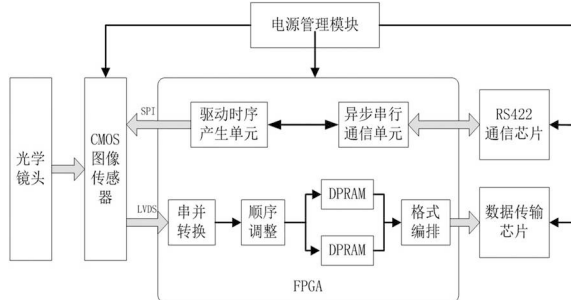


图 1 系统功能框图

而实现数据的实时传输。驱动控制单元、数据处理单元和数据传输单元都是基于 FPGA 开发平台实现的。计算机采用 RS422 接口协议, 通过异步串行通信单元与 FPGA 进行通信。

系统上电后, 驱动时序产生单元接收指令, 通过 SPI 接口对图像传感器的内部寄存器进行配置。配置完成后, 传感器开始工作, 通过光电转换、模拟放大、模数转换、多路复用和 LVDS 串化等模块将采集到的光信号转换为 12 路 LVDS 串行数据流并将其输入到 FPGA。然后 FPGA 对采集到的数据进行串并转换和排序整合, 接着将其输入至内部的 DPRAM IP 核进行乒乓缓存处理。最后, 经过处理的数据按照协议编排发送给数据传输芯片, 并由其传输给数据采集系统。

2 系统硬件选型

2.1 CMOS 图像传感器

为了满足集成度高、体积小以及可探测微弱信号的系统要求, 本文选用 ON Semiconductor 公

司生产的 LUPA1300-2 型高帧频、高分辨率、高灵敏度 CMOS 图像传感器, 其分辨率为 1280×1024 像素, 在主时钟为 315 MHz 时的帧频最高可达 500 fps, 像元大小为 $14 \mu\text{m} \times 14 \mu\text{m}$, 动态范围为 60 dB, 内部集成 24 路 10 bit 量化位数的高速 ADC。24 路像元数字信号经多路复用后, 由 12 路 LVDS 高速串行发送器输出; 同时传感器输出 1 路时钟信号和 1 路同步信号, 以进行数据恢复和采集。LUPA1300-2 型 CMOS 图像传感器具有任意可编程开窗读出功能, 便于提高图像帧频; 具有多斜率积分功能, 可将动态范围扩展到 90 dB; 具有片上列 FPN 修正功能、全局同步快门或流水线式快照快门功能等。以上这些功能均可通过配置内部寄存器来实现。

2.2 FPGA

FPGA 是程序模块的开发平台, 用于协调系统工作, 实现各模块的功能。本文选用 Altera 公司 Cyclone III 系列中的 EP3C40 型号产品, 片内具有 39600 个逻辑单元、126 个 M9K 缓存模块、4 个锁相回路 PLL 和 20 个全局时钟网络, I/O 口兼容多种逻辑电平, 左右 I/O 口可支持高达 875 Mbps 的数据速率, 满足 LUPA1300-2 型 CMOS 传感器最高驱动时钟 315 MHz 和驱动电平 2.5 V 的要求。

2.3 数据传输芯片

采用的数据传输芯片为 TI 公司生产的 TLK2711 型高速并串转换传输芯片, 可以满足相机图像速率高和数据量大的传输要求。该芯片是一种全双工并串 / 串并转换芯片, 可对 16 bit、135 MHz 并行信号进行串化, 使串行数据的最高带宽达 2.7 Gbps, 因此可用于超高速、双向和点对点数据传输^[4]。由于片上自带 PLL、编码 / 解码、自回环验证等功能, 并采用同轴电缆进行差分传输, 其抗干扰能力强, 有利于实现长距离、大数据量的高速传输。

3 功能模块设计

基于 FPGA 的硬件程序是采用 Verilog 硬件描述语言实现的。根据自上而下的设计方法, 该

程序被划分成了不同的功能模块, 主要包括传感器驱动时序模块、数据处理模块、数据传输模块和异步串行通信模块。程序中考虑了器件的布局布线和延迟等因素。功能仿真和时序仿真实验结果表明, 上述模块能够达到设计要求。

3.1 传感器驱动时序模块

传感器驱动时序模块通过四线 SPI 接口对 LUPA1300-2 传感器内部的 105 个寄存器进行配置, 可实现其任意程控开窗功能、多窗口读出功能、亚采样功能以及主从工作模式选择功能。传感器主时钟的最大值为 315 MHz, SPI 接口时钟是传感器主时钟的三十分之一, 使能信号为低时选通传感器。输入数据包括操作命令、7 位寄存器地址以及 8 位配置数据共计 16 位配置数据。输入配置数据时, 需要在 SPI 接口时钟的下降沿写入串行输入总线, 在 SPI 接口时钟的上升沿读入传感器。SPI 内部寄存器的数值可以通过串行输出总线读出。图 2 所示为 SPI 接口的时序。其中, spics 为使能信号, spiclk 为 SPI 接口时钟, spiin 为串行输入数据。



图 2 SPI 时序图

系统上电后, 传感器进入一个固定的训练模式。在此模式下, 所有的数据通道和同步通道同时发送 0x32A, 以验证数据同步和采集功能。在 SPI 配置完成后, 传感器才能开始正常工作。初始化配置包括工作模式、读出模式、开窗设置、积分时间以及列 FPN 修正等功能设定。LUPA1300-2 传感器的积分时间控制具有主从两种模式: 主模式下, 可通过配置内部寄存器 int_timer 定义积分时长; 从模式下, 积分时长由输入管脚 INT-TIME 的高电平决定。本文选用主工作模式, 驱动模块在接收到改变积分时间的指令后, 通过 SPI 将 int_timer 的寄存器地址和时间配置数据输入至传感器。

通过改变传感器的积分时间可以检测到不同强弱等级的信号。光强较弱时, 采用长时间曝光可以检测弱信号; 光强较强时, 改用短时间曝

光可以检测强信号。因此,可以通过设置多档积分时间来扩大光学动态范围。另外,LUPA1300-2 传感器自带的多斜率积分功能也可以提高动态范围。图像在开始积分后,所有像素的光敏元同时开始曝光。如果采用单斜率积分,那么光强较强处的像素点可能会在积分时间结束前就全部达到饱和,导致无法分辨细节。如果采用多斜率积分,像素点中由于曝光产生的电压信号一旦低于阈值就会被复位到预设的复位电平并重新开始积分,因而可保证在积分时间结束前不达到饱和状态。多斜率积分可以弥补图像中由单一的短时间积分而造成的暗处细节缺失,以及由单一的长时间积分而造成的亮处细节缺失。因此,当场景照度差异较大时,采用多斜率积分可以在同一幅图像中获得较大的动态范围;而当场景照度分布比较均匀并随时间发生变化时,采用多档积分时间可以在不同的图像中扩展动态范围。

3.2 数据处理模块

LUPA1300-2 传感器输出 12 路串行 LVDS 数据信号、1 路 LVDS 同步信号以及 1 路 LVDS 时钟信号。时钟和同步信号用于在接收端恢复图像数据。数据处理模块对传感器输出的串行数据进行串并转换、顺序调整以及乒乓缓存,并将其发送给数据传输模块进行后续处理。

由于传感器的数据和同步信号均以双倍数据速率(Double Data Rate, DDR)方式输出,所以将时钟倍频后通过下降沿采集数据,然后采用

10 位移位寄存器存储串行数据,并根据寄存器中不断更新的同步信号判定 12 路并行数据的有效性,如图 3 所示。

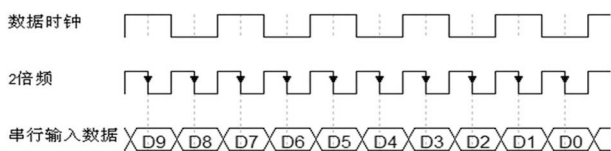


图 3 数据采样时序图

由于 12 路 DDR 数据以并行方式传输,FPGA 每 5 个时钟周期(1 个 timeslot a/b)就接收到 12 个 10 bit 数据,由此增加了数据排序和存储的难度。本文在分析传感器数据输出规律的基础上(见图 4),提出了一套流水线式并行处理方案。每 10 个时钟周期(图 4 中 timeslot 1a 和 1b)接收 24 个连续的 10 bit 数据,并将此 24 个连续的数据分 3 批次进行储存。由于数据传输芯片中的数据按 16 bit 处理,存储前将每个数据高 6 位补 0,并将 8 个连续的 16 bit 数据按序合并成一个 128 bit 数据后存入 FPGA 的双口 RAM IP 核中。在读取数据时,则采用较高频率的读数时钟,这样便可以在数据储存的时间段内将 16 bit 数据依次读出。此方案可以提高数据存储速度,体现了在高速数据处理时面积与速度综合考虑、速度优先的原则^[5]。

3.3 数据传输模块

数据传输模块用于产生数字传输芯片的控制时序,并在对图像数据进行格式编排后将其

timeslot	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8	ch9	ch10	ch11
1a	0	2	4	6	8	10	12	14	16	18	20	22
1b	1	3	5	7	9	11	13	15	17	19	21	23
2a	47	45	43	41	39	37	35	33	31	29	27	25
2b	46	44	42	40	38	36	34	32	30	28	26	24
3a	48	50	52	54	56	58	60	62	64	66	68	70
3b	49	51	53	55	57	59	61	63	65	67	69	71
4a	95	93	91	89	87	85	83	81	79	77	75	73
4b	94	92	90	88	86	84	82	80	78	76	74	72

图 4 LUPA1300-2 传感器的数据输出格式

输出。格式编排就是根据同步信号在图像数据中加入图像帧号、帧头、行号和行头等附加信息。数据传输模块采用 4 个先进先出(First In First Out, FIFO) IP 核,分别用于存储辅助数据、帧号、行

号以及图像数据。发送数据时,按照规定的列数和行数有序地选择 FIFO IP 核读取数据。通过在行与行之间、帧与帧之间发送空闲码实现“握手”操作,以保证串行数据同步。

3.4 异步串行通信模块

异步串行通信模块采用 RS422 通信协议与计算机进行通信, 波特率为 38400 bps; 使用 16 倍波特率的时钟进行采样, 判定数据有效后进行接收。根据接收到的 8 bit 控制指令, 产生相对应的控制信号, 以控制积分时间、开窗读出和复位等功能。

4 小型化及抗干扰设计

为了满足小型化板级的设计要求, PCB 电路板应具有轻、薄、小的特点。本文采用软硬结合板结构。电路板前后为两块 $8\text{ cm} \times 5.5\text{ cm}$ 的 8 层 PCB 刚性板, 板厚 1.2 mm, 通过一块 3 cm 长的柔性板连接。前端电路板上放置图像传感器及其电源芯片等, 后端电路板上放置 FPGA、数据传输芯片、RS422 通信芯片以及所需的电源芯片, 如图 5 所示。柔性板是一种高密度互联结构, 具有挠曲性。与普通接插件相比, 该结构更轻薄, 不仅可以节约板卡空间, 而且还可以提高系统的耐久性和可靠性。

由于工作速度快、布线密度大, 为保证图像质量和提高系统稳定性, 本文对成像系统进行

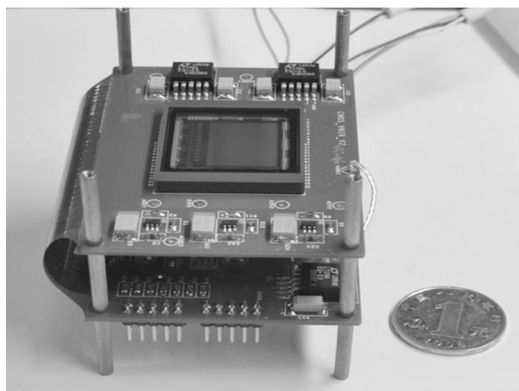


图 5 电路实物图

了抗干扰设计: 在传感器的下方采取大面积铺铜接地措施, 以保证高频信号的低阻抗路径并减小辐射; 传感器的接地管脚均接到模拟地, 与 PCB 板上的数字地隔离, 并通过 0Ω 电阻连接, 既保证了电位的一致性, 又降低了高频电路对低频电路的串扰; 所有芯片的电源管脚都接有 $0.1\text{ }\mu\text{F}$ 的去耦电容, 以滤除干扰和噪声, 保证电源的稳定输出; 重要信号采用地线保护, 以增强屏蔽作用。

5 实验结果

为验证成像系统的性能, 我们对其进行了成像实验。该系统采用 Edmund Optics 公司生产的 R5000068513 镜头。图 6 为用本文相机拍摄的图像。可以看出, 该图像清晰, 分辨率较高, 灰度级明显。经过片上列 FPN 修正后, 列方向的不均匀性得到了很大的改善。结果表明, 图像质量较高, 成像系统设计达到了预期要求。



图 6 用本文相机拍摄的图像

6 结束语

为满足高速、高分辨率、小型化和低功耗的设计要求, 设计并实现了一套基于 CMOS 传感器的成像系统。根据 LUPA1300-2 图像传感器的特点, 设计了基于 FPGA 的驱动程序与数据处理程序; 采用 RS422 协议实现了与计算机的实时通信; 通过 TLK2711 串并转换芯片实现了高速数据传输。在成像实验中对动态目标进行了实时拍摄, 得到了质量较高的图像, 为高速相机的进一步研究奠定了良好的基础。

参考文献

- [1] 王旭东, 叶玉堂. CMOS 与 CCD 图像传感器的比较研究和发展趋势 [J]. 电子设计工程, 2010, 18(11): 178-181.
- [2] Colin Coates, Boyd Fowler, Gerhard Holst. sCMOS White Paper [M/OL]. www.scmos.com/files/low/scmos_white_paper_2mb.pdf, 2009.
- [3] 刘新明, 刘文, 刘朝晖. 大面阵 CMOS APS 相机系统的设计 [J]. 光子学报, 2009, 38(12): 3235-3239.
- [4] 江浩, 刘银年. 高速串行接口传输系统完整性设计 [J]. 科学技术与工程, 2013, 13(17): 4956-4961.
- [5] 李辉. PLD 与数字系统设计 [M]. 西安: 西安电子科技大学出版社, 2005.