

文章编号: 1672-8785(2013)04-0018-06

激光多普勒测速雷达信号处理的 FPGA 实现

崔桂华 洪光烈 凌 元

(中国科学院上海技术物理研究所空间主动光电系统技术实验室, 上海 200083)

摘 要: 激光多普勒测速雷达信号处理由于数据量大、实时性强等特点, 对信号处理单元的要求较高。现场可编程门阵列 (FPGA) 具有高速、并行性等优点, 可以满足测速雷达的需求。介绍了利用单片 FPGA 实现激光多普勒测速雷达信号处理的过程, 详细说明了数据的缓存、干扰频率的滤波、2 倍降采样、快速傅里叶变换 (Fast Fourier Transform, FFT) 和脉冲累积等步骤的 FPGA 实现, 最后分析了模块的性能并给出了测试结果。

关键词: 现场可编程门阵列; 激光多普勒测速雷达; 信号处理

中图分类号: TN957.51 **文献标识码:** A **DOI:** 10.3969/j.issn.1672-8785.2013.04.04

Implementation of Laser Doppler Velocity Radar Signal Processing Based on FPGA

CUI Gui-hua, HONG Guang-lie, LING Yuan

(Space Active Electronic-Optical Systems Laboratory, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: Because of large amount of data and real-time characteristics, the processing of the signal of a laser Doppler velocity radar needs a high performance processing module. The Field Programmable Gate Array (FPGA) with advantages of high speed and parallelism can meet this demand. The implementation of signal processing for a laser Doppler velocity radar with a FPGA chip is presented. The data buffer, interference frequency filtering, 2-fold down-sampling, Fast Fourier Transform (FFT) and pulse accumulating etc of the FPGA are described. Finally, the performance of the module is analyzed and its test result is given.

Key words: FPGA; laser Doppler velocity radar; signal processing

0 引言

多普勒雷达是利用雷达和目标间因相对运动产生的多普勒效应对目标进行探测的仪器设备。利用多普勒测速雷达能够精确地测量目标物体的运动速度, 具体过程如下: 雷达发射一个脉冲, 返回后的信号带有多普勒频移, 从回波中提

取出的多普勒频率即可用于计算雷达和目标之间的相对速度。

与微波相比, 激光具有工作波长短, 波束发散角小^[1,2]等特点, 激光多普勒测速雷达可以达到极高的多普勒测速分辨率。但激光的短波长会导致多普勒信号的频带范围变大, 再加上数据

收稿日期: 2013-03-15

基金项目: 国家重点基础研究发展计划 (973 计划) 项目 (2009CB724004)

作者简介: 崔桂华 (1988-), 男, 山东诸城人, 硕士研究生, 主要研究方向为信号与信息处理。

E-mail: cuigh88@hotmail.com

量大和回波信噪比低等因素, 激光多普勒测速雷达对信号处理模块具有很高的要求。目前, 激光多普勒测速雷达的数字信号处理主要是采用 DSP 来实现的^[3-5]。由于 DSP 运算能力有限, 一般的方法是通过减少采样点数来满足实时性等需求。但这会导致频谱的分辨率降低, 需要配合使用频谱细化、校正等处理, 这就加大了算法的复杂度。与 DSP 相比, FPGA 内部资源丰富, 并行性强, I/O 接口带宽大, 硬件结构可灵活调整, 适合大数据量处理^[6]。因此, 在激光多普勒雷达信号处理中, FPGA 具有很大优势。

本文设计并实现了基于 FPGA 的激光多普勒测速雷达信号处理模块。利用单片 FPGA 对回波数据进行缓存和处理, 通过加长采样时间直接利用 FFT 获得高分辨率的频谱, 简化了处理步骤。

1 激光多普勒测速雷达的基本原理和系统结构

1.1 激光多普勒测速原理

当位于飞行器上的测速雷达以速度 v 面向地面运动时, 地面可接收到发射频率为 f_0 、波长为 λ_0 的激光频率:

$$f_1 = f_0 c / (c - v) \quad (1)$$

频率为 f_1 的地面散射光又被测速雷达接收到, 其回波的频率变为

$$f_2 = f_1 (c + v) / c = f_0 (c + v) / (c - v) \quad (2)$$

由此可得回波相对于发射波的频率偏移量, 即多普勒频率:

$$f_d = f_2 - f_0 = 2f_0 v / (c - v) \approx 2v / \lambda_0 \quad (3)$$

当测速雷达远离地面时, 接收到的回波频率 $f_2 < f_0$, 多普勒频率 f_d 为负值^[7]。由式 (3) 可以看出, 若测出回波的多普勒频率, 就可以根据发射波的波长计算出飞行器相对于地面的速度。当只有一个波束时, 只能计算出在发射光方向上的一维速度分量, 假如再有另外两个方向

的发射波束, 按照同样的方法得出每个方向的多普勒频率, 就可以计算出三维速度矢量。无论是单波束还是三波束, 其信号处理方法都是相同的。这里只讨论一维单波束的情况。

1.2 激光多普勒测速雷达的系统结构

激光多普勒测速雷达系统的整体结构主要包括光学部分和电子学部分, 如图 1 所示。

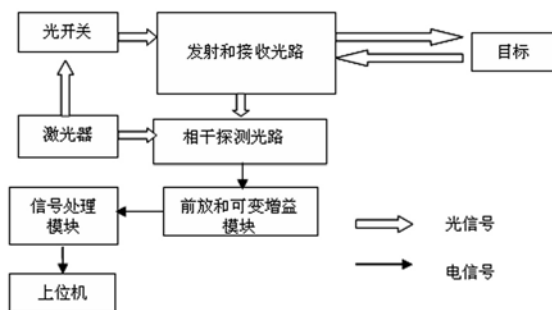


图 1 激光多普勒测速雷达系统的结构图

激光器发出的连续激光经过光开关, 进行斩波和移频, 形成光脉冲, 然后经放大后发射出去。被目标物体散射后的回波信号被探测器接收后, 得到带有多普勒频率的电信号。该电信号经放大和增益控制后被输入信号处理模块, 然后得到多普勒频率, 再将其输入上位机进行后续的速度计算和显示等。

系统采用光学移频技术使发射光经光开关后发生移频^[8]。设移频频率为 f_i , 回波在与未经移频的本振光相干后, 得到的电信号频率为 $f_d + f_i$ 。若该频率大于 f_i , 说明 f_d 为正值, 即速度方向为正; 若小于 f_i , 说明 f_d 为负值, 即速度方向为负。当多普勒频率为负的最大值时, $f_d + f_i$ 有最小值, f_i 的选择应保证这一最小值为正值。可以看出, 只要移频频率选择合适, 采用光学移频技术可以方便地测出速度的大小和正负。

2 激光多普勒测速雷达信号处理的硬件实现

2.1 信号处理模块的工作流程和结构框图

信号处理的流程如图 2 所示。回波脉冲经过 ADC 采样后被缓存在 SRAM 中, 存储 M 个脉

冲后停止采样, 进行后续处理。从 SRAM 中读取单脉冲回波数据, 经过滤波器, 滤除因发射光路到接收光路的泄露而导致的干扰频率 f_i 。然后经过 2 倍降采样减少数据量, 以降低对处理速度和运算资源的要求。接下来进行多脉冲频域累积, 以提高信噪比以便于提取多普勒频率。M 个脉冲累积结束后, 进行峰值提取, 找出频谱的峰值点在序列中的位置, 计算出多普勒频率, 此时信号处理便结束。其中, 脉冲数 M 要根据信噪比、探测距离和处理速度等因素选取。

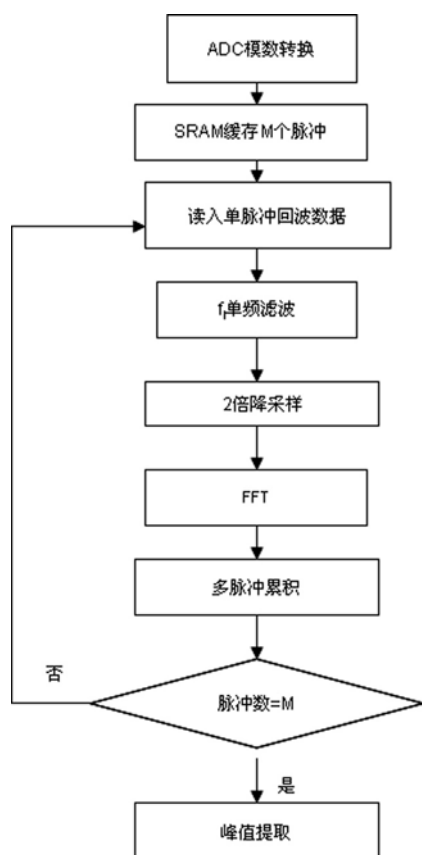


图 2 信号处理流程

信号处理模块主要由 ADC、SRAM 和 FPGA 构成。ADC 选用美国国家半导体公司的 ADC12D1000^[9] 高速芯片, 其采样率最高可达 2GSPS, 可对模拟信号进行数字化采样。SRAM 用于回波数据的缓存。FPGA 采用 Xilinx 公司的 Virtex-II 系列型号为 XC2V3000 的产品, 用于控制 ADC 和 SRAM 以及实现数字信号处理。结

构框图如图 3 所示。

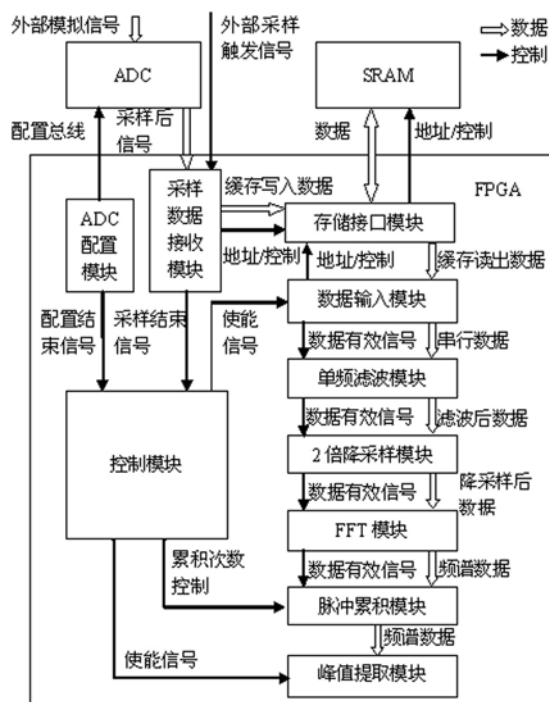


图 3 结构框图

2.2 数据的采样和缓存实现

ADC、SRAM 以及 FPGA 中的 ADC 配置模块、采样数据接收模块、存储接口模块用于实现数据的采样和缓存。信号处理模块启动时, FPGA 首先通过 ADC 配置模块对 ADC 的模式寄存器进行配置。根据整体需求, 将本模块的采样频率配置为 500 MHz, 并以 250 MHz 的频率输出两路并行的 12 位数据。配置结束后, 即可等待外部的触发信号。该触发信号有效时, FPGA 接收 ADC 采样后的数据并将其保存在内部构建的 FIFO 中, 然后将 FIFO 中的数据保存在 SRAM 中。由于 ADC 输出的数据率大于 SRAM 的写速率, FIFO 是必要的而且字深要足够, 以防止溢出。根据需求, 采样时间为 32.768μs, 则每次的采样点数为 16384。由于后续多脉冲频域累积的需要, 采用突发式采样回波脉冲, 即连续保存 50 组数据到 SRAM 后再处理这些数据, 最终得到一个多普勒频率。经过数据的采样和缓存后, SRAM 中保存有 16384×50 点数据。

2.3 单频滤波模块

系统选用的移频频率为 $f_i = 62.5 \text{ MHz}$ 。如前所述, 经过相干探测后的信号中含有该干扰频率, 其功率远远大于微弱的雷达回波信号, 且随发射功率的变化而变化。经模拟测试, 其功率最大可以达到有用信号的 40 dB。因此, 为了提高信噪比及便于后续的 FFT 及峰值提取等处理, 需要进行单频滤波以滤除 f_i 。

单频滤波模块的框图如图 4 所示。为了减少 f_i 旁瓣泄露对信号的影响, 在滤波前进行加窗处理, 选用的窗函数为 hamming 窗^[10]。考虑到大衰减和窄带宽, 如果用 FIR 来实现, 阶数须达到上千阶, 难以用 FPGA 构建。而采用 IIR 形式只需要两阶即可满足要求。另外, 采用直接 II 型实现时, 滤波器的关键路径含有两个乘法器和三个加法器, 这会导致路径延时变长, 降低最大工作时钟频率。利用 FPGA 设计软件提供的静态时序分析工具发现这种结构的最大时钟仅为 30 MHz 左右, 小于 50 MHz 的设计需求。为此, 有人将反馈结构和前馈结构拆开, 并插入一级寄存器, 这样隔断原先的关键路径, 将其减少为只有一个乘法器和两个加法器, 使最大工作频率大于 50 MHz^[11,12]。

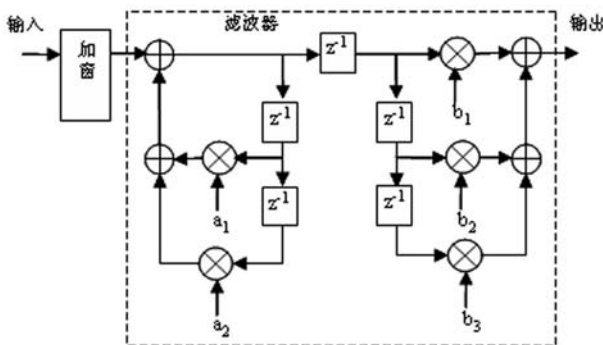


图 4 单频滤波模块的结构框图

2.4 2 倍降采样模块

2 倍降采样模块包括移频、低通滤波和抽取几部分, 如图 5 所示。如前所述, ADC 单脉冲采样得到的数据量为 16384 点, 经过滤波后数据量不变。若对 16384 点数据直接进行 FFT 变换, 所需的时间长、占用的资源多, 因此需要对数据进

行 2 倍降采样处理。

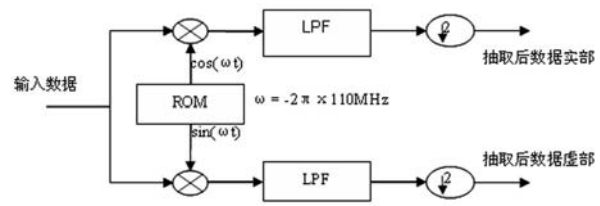


图 5 2 倍降采样模块结构框图

根据需要, 测量的速度范围为 $-20 \sim 100 \text{ m/s}$ 。该范围与 1550 nm 波长的发射激光对应的多普勒频率 f_d 为 $-25.8 \text{ MHz} \sim 129 \text{ MHz}$, 移频频率采用 $f_i = 62.5 \text{ MHz}$, 则回波信号的频率范围变成 $36.7 \text{ MHz} \sim 191.5 \text{ MHz}$ 。根据降采样理论^[13], 2 倍降采样会使频谱展宽 2 倍, 直接对该信号降采样会使其频谱范围变为 $73.4 \text{ MHz} \sim 383 \text{ MHz}$, 而采样定理限制的信号最高频率为 250 MHz , 因此直接进行降采样会使得最高频率超过采样定理的限制而发生频谱混叠。解决的方法是只取信号的单边带, 由于实信号频谱的对称性, 其单边带保留了全部频谱信息。准备保留的频率范围为 $20 \text{ MHz} \sim 200 \text{ MHz}$, 该频率范围完全包含了有用信号的频率。滤波后, 首先使信号频移, 即将信号乘以复频率信号 $\cos(2\pi f_3 t) - j\sin(2\pi f_3 t)$, 其中 $f_3 = 110 \text{ MHz}$ 。那么回波信号的频谱使整体左移 110 MHz , 拟保留的频谱范围变为 $-90 \text{ MHz} \sim 90 \text{ MHz}$ 。然后通过通带为 $-90 \text{ MHz} \sim 90 \text{ MHz}$ 的低通滤波器, 所得的信号即为原频率范围 $20 \text{ MHz} \sim 200 \text{ MHz}$ 处的信号。注意现在的信号已经由原来的 16284 点实数变为 16284 点复数。最后对该复数据进行 2 倍抽取, 可得到 8192 点数据, 运算量变为原来的一半。

FPGA 中可以方便地利用乘法器和内部 Block RAM 构成移频器。Block RAM 配置成 ROM 形式, 其中存有复频率信号的抽样值。低通滤波器为 32 阶 FIR 滤波器, 其系数具有对称性, 相同的系数共同使用一个乘法器, 这样就节省了资源。滤波器用转置结构实现, 在使用 FPGA 实现时可以减少关键路径的延迟时间, 提高最大时钟频率, 如图 6 所示。

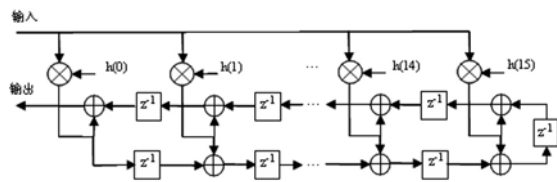


图 6 低通滤波器的结构框图

2.5 FFT 模块

FFT 模块对降采样后的数据进行 FFT，得到频谱。因为 FFT 之前经过了降采样，数据量已减少，对 FFT 的速度降低了要求。FFT 模块采用基 2 实现，使用完全的串行结构，利用一个蝶形运算单元按顺序进行处理^[13-15]。这种方式比并行方式设计简单，实现方便，可维护性强，资源利用也较少。因为不考虑流水线所用的少量时间，实现 8192 点 FFT 需要 $4096 \times 13 = 53248$ 个周期。时钟频率为 50 MHz 时，需用时 1064.96 μs 。FPGA 内部的 Block RAM 资源丰富，可以为 FFT 提供中间数据的缓存。

2.6 脉冲累积模块

雷达每发射一个脉冲可得到一个单脉冲回波。雷达在探测远距离目标时，得到的回波信号弱，因此单脉冲的信噪比很低，需要采用多脉冲

累积方式提高信噪比^[16,17]。将 FFT 模块输出的单脉冲频谱数据直接输入累积模块，使其累加到 FIFO 中。对信噪比的提高为

$$SNR_2 = \sqrt{M} \times SNR_1 \quad (4)$$

式中， SNR_1 为原信噪比， SNR_2 为累积后的信噪比， M 为累积脉冲数。根据系统要求的速度刷新率和单脉冲处理所需的时间，可以计算出最多累积的次数。可见，单脉冲的处理速度，即单频滤波、2 倍降采样和 FFT 的速度，直接与可累积的脉冲次数相关。如果单脉冲处理速度慢，那么累积次数就少，信噪比就低，甚至信号会被完全湮没在噪声中，无法检测出多普勒频率。单脉冲处理速度越快，在系统规定的时间内可以累积的次数就越多，得到的信噪比就越大，就越容易检测出信号。

3 性能分析和测试结果

信号处理模块在 Xilinx 公司的 XC2V3000 型 FPGA 上实现时，其最高速度为 67.354 MHz，其资源使用情况见表 1^[18]。

表 1 FPGA 实现后的资源占用

	Slice	18Kbit Block RAM	嵌入式乘法器
占用数	3168	42	12
总数	14336	96	96
百分比	22%	43%	12%

雷达的两次发射脉冲间隔为 100 μs 。若进行 M 次累积，那么 M 次采样数据全部存储到 SRAM 所需的时间为 $M \times 100 \mu\text{s}$ 。XC2V3000 在系统时钟频率为 50 MHz 时，将 16384 点 12 位数据读入并进行单频滤波和 2 倍降采样所需的时间为 327.7 μs ，接着进行 FFT 所需的时间为 1065.0 μs ，然后一次累积所需的时间为 163.8 μs ，因此单脉冲处理所需总时间为 1556.5 μs 。根据系统所需的 10 Hz 速度刷新率，得到一次多普勒频率所需的处理时间为 100 ms。最多可以实现的累

积次数由下式求出：

$$M \times 100 \mu\text{s} + M \times 1556.5 \mu\text{s} < 100 \text{ms} \quad (5)$$

由式 (5)，最多可累积 60 次。根据探测距离和信噪比等因素，累积次数定为 50 次，则处理所需的总时间为 82.8 ms。

实验时用信号发生器生成 35 MHz 的待检测多普勒信号和 62.5 MHz 的干扰频率，其峰值分别为 20 mV 和 1 V。另外生成噪声信号，以使信噪比达到 -20 dB。这三个信号叠加后被同时输

入信号处理模块, 利用 ChipScope 导出 FPGA 中脉冲累积后的频谱数据, 如图 7 所示。

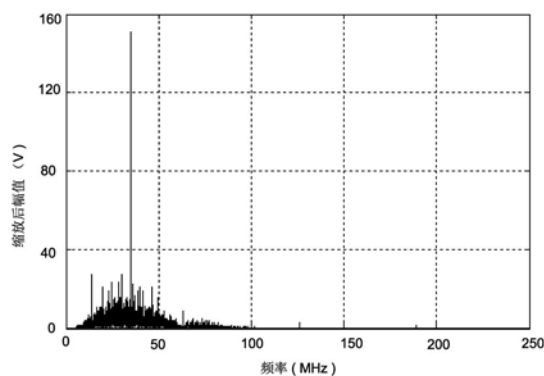


图 7 脉冲累积后的频谱

由图 7 可知, 62.5 MHz 处的干扰频率已被滤除, 频谱在 35 MHz 处有最大值。因此通过峰值提取可以正确检测出多普勒频率。

4 结束语

激光多普勒测速雷达的信号处理对处理模块的实时性和精度要求较高。目前 FPGA 功能已十分强大, 可用作主要的处理单元。使用单片 FPGA 加少量外设可以实现整个处理流程, 而且在速度和精度上可以满足系统的需求, 降低硬件的复杂度, 提高系统的可靠性, 有利于控制成本和功耗。目前该方案已用于某激光多普勒测速雷达的研制中, 且使用效果良好。

参考文献

- [1] 戴永江. 激光雷达原理 [M]. 北京: 国防工业出版社, 2002:3-6.
- [2] 吴肇, 张俊. 侧视雷达与激光雷达的发展及应用 [J]. 现代雷达, 2008,30(6):10-13.
- [3] 胡海龙. 高精度信号处理技术在激光多普勒测速中的应用研究 [D]. 成都: 电子科技大学, 2006.
- [4] 毕鲲. 激光多普勒测速的信号处理应用研究 [D]. 哈尔滨: 哈尔滨工程大学, 2008.
- [5] 刘同波. 激光多普勒测速仪的设计及实现 [D]. 大连: 大连理工大学, 2006.
- [6] 王诚, 吴继华, 范丽珍, 等. Altera FPGA/CPLD 设计 (基础篇) [M]. 北京: 人民邮电出版社, 2005:18-24.
- [7] 许小剑, 黄培康. 雷达系统及其信息处理 [M]. 北京: 电子工业出版社, 2010:43-46,174-178.
- [8] 周健, 魏国, 龙兴武. 激光多普勒测速仪方向辨别及低速测量的研究 [J]. 红外与激光工程, 2012,41(3):632-638.
- [9] National Semiconductor Corporation. ADC12D1000 datasheet [R]. 2006.
- [10] Brigham E O. The Fast Fourier Transform and its Applications [M]. Englewood Cliffs, NJ: Prentice-Hall, 1974.140-146.
- [11] 施国勇. 数字信号处理 FPGA 电路设计 [M]. 北京: 高等教育出版社, 2010:143-146.
- [12] Stewart B, Alexander S, Bowman J. DSP Primer Workbook [M]. Scotland, UK: University of Strathclyde, 2005.
- [13] 胡广书. 数字信号处理 - 理论、算法与实现 [M]. 北京: 清华大学出版社, 2003:410-413.
- [14] Meyer-Baese U. Digital Signal Processing with Field Programmable Gate Arrays [M]. Berlin: Springer, 2007,343-391.
- [15] 蔡可红. 基于 FPGA 的 FFT 设计与实现 [D]. 南京: 南京理工大学, 2006.
- [16] 吴顺君, 梅晓春. 雷达信号处理和数据处理技术 [M]. 北京: 电子工业出版社, 2010:177-182.
- [17] 王春勇, 李新, 来建成. 视频累积提高激光探测信噪比的方法研究 [J]. 激光技术, 2010,34(3):335-338.
- [18] Xilinx Inc. Virtex-II Platform FPGAs: Complete Data Sheet [R]. 2007.