

文章编号: 1672-8785(2012)10-0021-04

基于 FPGA 的实时红外图像采集 与预处理系统

李 强¹ 龚俊亮²

(1. 63811 部队, 四川 西昌 615000 ;

2. 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

摘 要: 设计了一套基于 FPGA 的实时红外图像采集与预处理系统。从系统总体设计入手, 介绍了系统设计原理和硬件电路的各个组成部分。针对当今靶场设备图像处理在有效去除图像脉冲噪声的同时也会破坏图像细节等缺陷, 结合 FPGA 在并行结构和流水线操作方面的优势, 提出了一种基于十字窗口的快速中值滤波算法在 FPGA 中实时实现的方法。该方法替换了靶场光学设备的高层次算法, 节约了宝贵的处理时间。这种系统采用了模块化结构设计、流水线工作方式以及乒乓存储等多项技术。实验结果表明, 该方法具有较强的噪声抑制能力, 可提高整个系统的实时性, 因而具有很高的实用价值。

关键词: FPGA ; 红外图像; 图像采集; 中值滤波

中图分类号: TP931.4 **文献标识码:** A **DOI:** 10.3969/j.issn.1672-8785.2012.10.005

Design of Real-time Infrared Image Acquisition and Pre-process System Based on FPGA

LI Qiang¹, Gong Jun-liang²

(1. the Unit of 63811, Xichang 615000, China;

2. Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)

Abstract: A FPGA-based real-time infrared image acquisition and pre-processing system is designed. Beginning from the overall design, the design principle of the system and each component of the hardware circuitry are presented. Since the image processing system in the current target range equipment may destroy the detail in an image while it reduces the impulse noise in the same image effectively, a cross-window-based method for implementing fast median filter algorithm in FPGA in real time is proposed in combination with the advantages of FPGA in the aspects of parallel structure and pipelining. The high-level algorithm in a target range is replaced with this method and much precious processing time is saved. In this system, several technologies such as modular design, assembly line and ping-pong operation are used. The experimental result shows that the method has a better noise suppression ability and can improve the instantaneity of the entire system. So, it is of great value in practical applications.

Key words: FPGA; infrared image; image acquire; median-filter

收稿日期: 2012-08-21

作者简介: 李强(1985-), 男, 辽宁本溪人, 工程师, 主要从事光电经纬仪图像处理方面的研究。

E-mail: shuaigeliqiang@126.com

0 引言

在图像处理系统中, 图像采集与预处理通常处在整个系统的最前端, 是光学实况记录系统不可或缺的重要环节。图像采集是指通过各种传感器捕获客观世界的图像并将其传输给下一级处理单元的过程。而在获取真实世界的场景时, 由于传感器内部的 AD 转换器本身存在量化误差, 不可避免地会造成图像失真。同时, 在数字图像传输过程中也会存在各种噪声的干扰, 导致最终获得的数字图像与真实场景之间具有较大差别。该现象在红外图像的获取过程中显得尤其严重^[1]。不经图像预处理而直接在原始图像上进行目标识别、分析和跟踪的高层次图像处理算法通常得不到较好的结果。因此, 有效而快速的图像预处理方法对后续复杂算法的实现具有重要的意义^[2]。

FPGA 采用硬件完成数字信号处理运算, 因而具有处理速度快、系统通用性与可移植性强以及能够高速并行处理等特点。本文提出并实现一种基于 FPGA 的实时红外图像采集与预处理

系统。该系统通过 FPGA 完成红外图像采集, 然后在 FPGA 内部搭建滤波器结构, 并采用流水线操作来独立完成预处理工作, 最后把处理好的数据流通过 Camera Link 接口传送出去。

1 系统的总体电路设计

本系统由红外热像仪、FPGA 芯片、SRAM 芯片以及图像采集卡等几部分组成, 其结构框图见图 1。其中, 图像采集模块、SRAM 控制模块、中值滤波模块以及 Camera Link 输出接口电路均由 FPGA 来实现。图像采集模块负责采集动态图像数据, 相机基于法国 Sofradir 公司的中波 FPA 探测器, 图像输出分辨率为 320×240 , 刷新频率为 24 frame/s。相机的对外接口为数字 Camera Link 接口, FPGA 芯片采用的是 Xilinx 公司的 XC3S400-4PQ208 芯片。该 FPGA 属于 Spartan III 系列, 拥有 8064 个逻辑单元、56 kBits 和 289 kBits 的分布式 RAM、4 个全局时钟网络和 141 个用户 I/O 管脚。图像数据经过 FPGA 中的中值滤波模块处理后, 通过 Camera Link 接口由图像采集卡传输到电脑上进行实时显示。

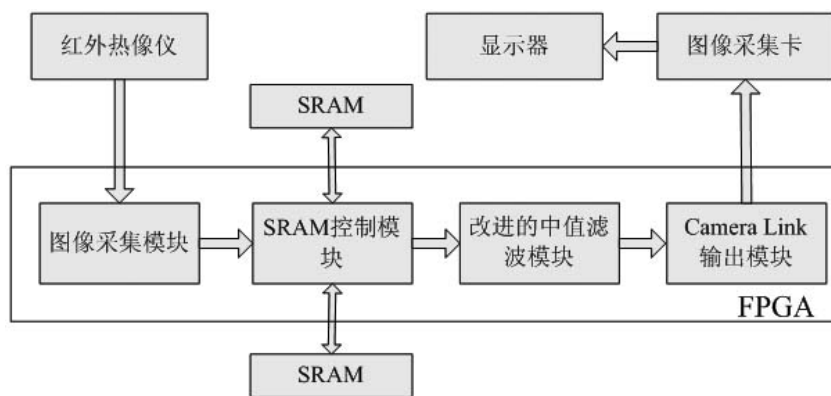


图 1 系统的结构框图

1.1 Camera Link 接口与图像采集模块

Camera Link 是一种适合数字图像信号在相机与图像采集卡之间传输的接口协议。它是由美国国家半导体公司提出, 基于 Channel Link 技术标准发展而来的。该接口具有开放式接口协议^[3]。Camera Link 接口协议以低压差分信号 (LVDS) 完成相机和图像采集卡的数据传输和通

信, 且定义了标准的接口器件。Camera Link 标准中包含 Base、Medium 和 Full 三个规范, 但它们都使用统一的线缆和接插件。Camera Link Base 使用 4 个数据通道, Medium 使用 8 个数据通道, Full 使用 12 个数据通道^[4]。

本系统的图像采集与图像输出均采用 Base 标准。红外相机输出的 Camera Link 信号被配套

器件 DS90CR286 解调成 TTL 电平后由图像采集模块接收。该模块根据 Camera Link 协议, 在 FVAL 和 LVAL 为高值时得到有效像素数据, 并将其输出给前端 SRAM 控制模块。Camera Link 输出模块则按照输入时的 Camera Link 时序, 将处理后的像素数据组合成 Camera Link 信号。然后 DS90LV287 将该信号转换为 LVDS 信号后输出。

1.2 SRAM 乒乓操作模块

“乒乓操作”是一种用于数据流控制的常用处理技巧, 其中原始图像数据流按选通节拍通过输入数据流选择单元被分配到两个数据缓冲模块中。乒乓操作的最大特点是通过“输入数据流选择单元”和“输出数据流选择单元”的相互配合, 可将经过缓存的数据流没有时间停顿地送到下一级处理单元中。乒乓操作控制模块由主控状态机和通道选择单元两部分组成。本文设计中所采用的缓冲模块为 SRAM。图 2 为乒乓操作控制模块的状态机跳转的逻辑图。在初始状态下, 两块 SRAM 均处于空闲状态 idle。在数据有效信号 DVAL 处于高电平期间, 当有第一个帧同步信号 FVAL 到来时, 状态机跳转到 1write_2idle, 第一块 SRAM 写入数据, 第二块 SRAM 处于空闲状态; 当下一个帧上升沿到来后, 状态跳转到 1read_2write, 第一块 SRAM 将写入数据转变成读出数据, 第二块 SRAM 写入数据; 在此之后, 每有一个帧上升沿到来后, 状态机就在 2read_1write 和 1read_2write 之间跳转, 接着如此循环。

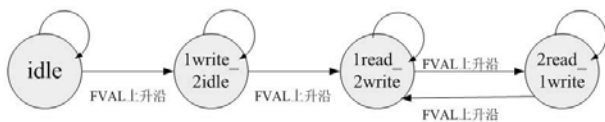


图 2 乒乓操作状态机

2 快速十字窗口中值滤波的 FPGA 实现

方形是中值滤波滑动窗口的常用形状。利用方形进行的滤波方式一般称为标准中值滤波。

如图 3(a) 所示, 窗口内像素灰度的中值被用来取代窗口中心像素的灰度, 其数学模型为

$$g(x, y) = \text{Median}\{A[f(x, y)]\} \quad (1)$$

式中, $g(x, y)$ 为转换后的结果图, $\text{Median}\{\}$ 为求取中值, $A[\]$ 为以原图 $f(x, y)$ 为中心点的滤波窗口 [5]。

对于十字型中值滤波, 以像素 $f(i, j)$ 为中心的十字形屏蔽窗口见图 3(b)。其中, 十字形的纵向长度为 M , 横向长度为 N , $N, M = 3, 5, 7, \dots$ 内灰度值的中值为 u 。无条件作 $f(i, j) = u$ 处理, N 和 M 由用户给定。

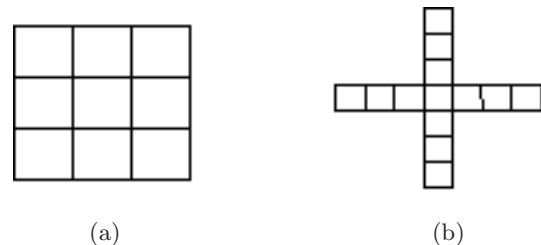


图 3 3×3 标准滤波窗口与 5×5 十字滤波窗口

在二维中值滤波中, 图像不可避免地会出现较多的尖顶角和几何中心等细节信息。如果用矩形中值滤波算法作平滑处理, 就容易丢失这些信息。若用十字窗口进行滤波, 则能较好地保持这些信息 [6], 如图 4 所示。

从图 4 中可以看出, 如果用 3×3 标准中值滤波处理原图中心处的 4 个像素, 则中心处会被滤掉; 而若采用十字窗口滤波, 则保存完好。

为了加快十字窗口中值滤波, 我们提出一种易于用 FPGA 实现的快速十字窗口中值滤波计算方法。如图 5 所示, d_1 、 d_2 、 d_3 、 d_4 和 d_5 为 5 个待排序的数, 在 FPGA 中实现了 3 个三输入排序模块; 在第一级排序模块 A1 中去掉最小值, 保留两个较大值进入第二级 A2; A2 模块同样取两个较大值; 在第三级中对 3 个数取中值; 最后输出的即为 5 个数的中值。这样处理比直接对 5 个数据进行排序要快, 思路简单, 而且该方法容易采用流水线实施。

0000000000	0000000000	0000000000
0022222200	0002222000	0022222200
0022662200	0022222200	0022662200
0022662200	0022222200	0022662200
0022222200	0002222000	0022222200
0000000000	0000000000	0000000000

原图 3×3 矩形窗口 3×3 十字窗口

图 4 用矩形窗口和十字窗口对原图的中值滤波结果

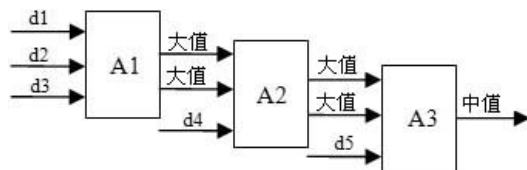


图 5 五输入排序单元

每个三输入排序模块由 3 个二输入排序模块组成。经过三次两两输入进行比对,可求出最大、中间和最小的灰度值。五输入排序单元的基础是二输入排序单元。图 6 所示为二输入排序单元的内部结构。它由一个大小比较子单元和一个输出交换单元组成。其中,大小比较子单元用于对两个输入数据进行比对,并产生一个令数据进行交换的二进制信号;输出交换单元根据此信号判断是否对输入数据进行交换,以达到较大数据和较小数据由高、低两个端口输出的目的。图 7 为三输入排序模块的构成图。

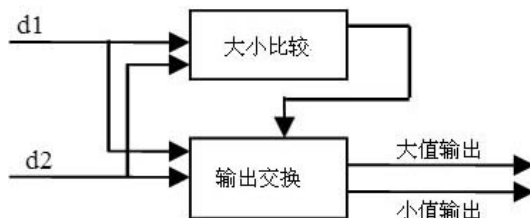


图 6 二输入排序单元

按照正常的设计,若要从 5 个数据中得到中值,需要使用 3 个三输入排序模块,而每个三输入排序模块里面又有 3 个二输入排序单元。如果每个二输入排序单元耗时一个时钟周期,那么总共耗时 9 个时钟周期。本文在设计排序时是采用流水线方式进行操作,并采用 FPGA 片内存储资源构造寄存器组的。当每次排序操作从寄存器组里面取走一个数据时,被取走数据的寄存器便会从当前正在读的 SRAM 中取出一个新数

据。这样,每五个数据的排序仅耗时 5 个时钟周期,比直接对 5 个数据进行排序要快。这种方法思路简单,可保证流水线操作的有效性^[7-8]。



图 7 三输入排序单元

3 实验验证

用基于 FPGA 的实时红外图像采集与预处理系统实现的板卡已经设计完成,而且已经通过实验验证并投入工程使用。图 8 为电路板的实物图。预处理结束后,由 PC 机上的 DVR Express CL160 图像采集卡完成对 Camera Link 视频的采集并在计算机显示终端上进行实时显示。DVR Express CL160 是加拿大 IO Industries 公司针对 Camera Link 接口生产的一款图像采集卡,支持对 Camera Link 传输的单/彩色视频的采集。图像分辨率大小为 320×256 ,相机帧频为 25 frame/s。图 9 为显示效果图。由此可见,整个系统的设计是可行的,达到了预期的设计目的。

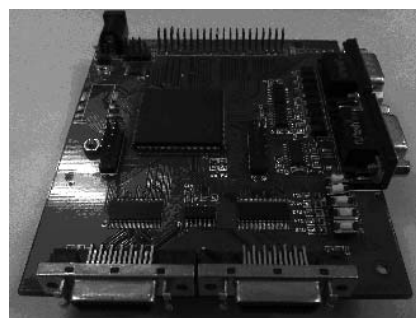


图 8 电路板的实物图

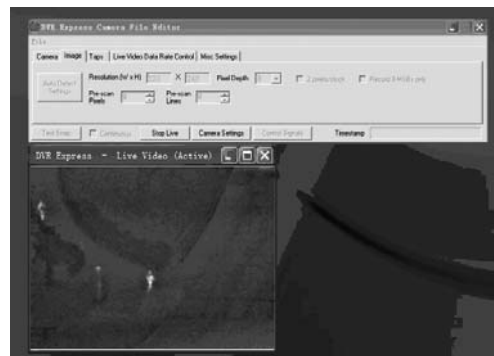


图 9 采集卡采集的预处理图像

(下转第 29 页)