

文章编号: 1672-8785(2025)07-0041-08

基于多路红外视频拼接的显示器 硬件电路设计

魏洪苗 张 禹 刘纪洲

(华北光电技术研究所, 北京 100015)

摘 要: 在显示器上实现多路视频的拼接不仅能够进行大视角、多角度的监控和取景, 而且还可以解决单个摄像机视频中多视角显示凌乱、目标遮挡导致无法显示全景等难题。设计了一种基于现场可编程门阵列(Field Programmable Gate Array, FPGA)的具有多路红外视频拼接的显示器。该显示器的设计选用 JFM7K325T-900 型 FPGA 作为处理器, 配以 2 片 SCB15H1G160AF-15HI 型 16 位同步动态随机存储器(Synchronous Dynamic Random-Access Memory, SDRAM)作为图像缓存模块, 支持串行数字接口(Serial Digital Interface, SDI)以及高清晰多媒体接口(High-Definition Multimedia Interface, HDMI), 并提供 3 路高速数字视频接口——平板显示链路(Flat Panel Display Link, FPD-LINK)。这三路红外视频接口分别将 3 幅分辨率为 1280×1024 的红外视频图像经 FPGA 处理成 3 幅分辨率为 640×720 的图像来铺满 1920×720 分辨率的显示器。结果表明, 该显示器可以实时显示不同场景的红外图像, 完成多路红外视频拼接。

关键词: 视频拼接; 红外图像; 硬件设计; 数字视频接口

中图分类号: TN251 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2025.07.006

Hardware Circuit Design of Display Based on Multi-Channel Infrared Video Splicing

WEI Hong-miao, ZHANG Yu, LIU Ji-zhou

(North China Research Institute of Electro-Optics, Beijing 100015, China)

Abstract: The splicing of multiple videos on the display can not only monitor and view from a large viewing angle and various angles, but also solve the problems of messy display of multiple viewing angles in a single camera video and the inability to display the whole view due to target occlusion. A display with multi-channel infrared video splicing based on field programmable gate array (FPGA) is designed. The design of the display uses JFM7K325T-900 FPGA as the processor, and is equipped with two SCB15H1G160AF-15HI 16-bit synchronous dynamic random-access memory (SDRAM) as the image cache module. It supports serial digital interface (SDI) and high-definition multimedia interface (HDMI), and provides three high-speed digital video interfaces called flat panel display links (FPD-LINK). The three infrared video interfaces process three infrared

收稿日期: 2024-06-06

作者简介: 魏洪苗(1992-), 女, 山东济宁人, 硕士, 主要从事红外硬件电路设计方面的研究。

E-mail: Hongmiaoweijn@163.com

video images with a resolution of 1280×1024 into three images with a resolution of 640×720 through FPGA to fill the display with a resolution of 1920×720 . The results show that the display can display infrared images of different scenes in real time and complete multi-channel infrared video splicing.

Key words: video splicing; infrared image; hardware design; digital video interface

0 引言

随着科技的发展,显示器作为承载信息输出功能的重要器件愈发得到人们的重视,广泛应用于工业^[1]、民生^[2-3]等各个领域。各种媒体以精美的画面和丰富的视频信息为用户提供便利^[4-6]的同时,对显示器的要求也越来越高。高精度以及多角度显示已成为趋势。计算机视觉技术的兴起和成长促进了视频拼接技术的发展,多路视频拼接的应用也越来越普及,在视频观测、安防等领域具有广泛的应用远景。

多路视频即对不同位置、不同方向或者同一位置的不同方位与角度进行观测。这样不仅能够进行大视角、多角度的监控和取景,还可以解决单个摄像机视频中多视角显示凌乱、目标遮挡所导致的全景无法显示等难题,并且能够获取更高质量的实时视频,从而对被监控的事、物、环境等作出更精准的判断。但许多显示器都存在功能单一、视频源采集通道少^[7-8]的问题,无法满足多方位、宽视角的市场需求。

本文设计了一款基于FPGA的具有多路视频拼接功能的显示器。显示器的硬件设计选用上海复旦微电子集团股份有限公司生产的JFM7K325T-900型FPGA作为处理器,配以2片由西安紫光国芯半导体股份有限公司生产的16位SDRAM芯片作为图像缓存模块,支持SDI及HDMI视频输入接口,并提供3个FPD-LINK高速数字视频接口。接入的3幅分辨率为 1280×1024 的红外视频图像分别被FPGA处理成3幅分辨率为 640×720 的图像来铺满 1920×720 分辨率的显示器。该设计采用多路视频拼接技术实现了一种基于多镜头平台实时全景视频的拼接系统,既能多方位、宽视角地观察实时景象,又能保证图像的清晰

显示。

1 视频拼接系统总体设计

该系统采用基于FPGA的硬件设计,选用JFM7K325T型FPGA作为系统处理器。整个系统主要分为13个模块,如图1所示。3路FPD-LINK输入模块可以实时采集外部输入的红外视频信号,将RGB格式的数据在FPGA上进行视频格式转换,并对视频图像进行缩放等。在SDRAM缓存模块中将图像数据缓存为完整的图像信息或完整的视频信息帧,通过视频输出链路将3路图像信息以低电压差分信号(Low-Voltage Differential Signaling, LVDS)格式输出并铺满整个液晶显示器(Liquid-Crystal Display, LCD),从而实现3路视频的拼接显示。

视频拼接流程如图2所示。高分辨率的微处理器(Micro-Controller Unit, MCU)能够精准捕捉显示屏反馈电压的数值,并通过背光驱动模块精确调节液晶显示屏的亮度,使拼接图像细节清晰。电源模块主要是为FPGA及各模块供电,保证各模块能够正常工作。

2 硬件电路设计及实现

2.1 FPGA控制模块电路

FPGA作为图像拼接的主控单元,要满足逻辑资源充足、I/O接口足够多、图像处理能力强等要求。JFM7K325T-900型大资源处理器具有丰富的嵌入式外围设备、多端口内存控制器、串行收发器等,其相关性能参数如表1所示。该处理器在不同频率下的动态功耗的最大值为1.5 W,高低温下的静态电流较小,互联开关的速度与K7相当。此外,最高数据率可达12.5 Gbps,在实现低功耗的同时又能够满足视频拼接的要求。

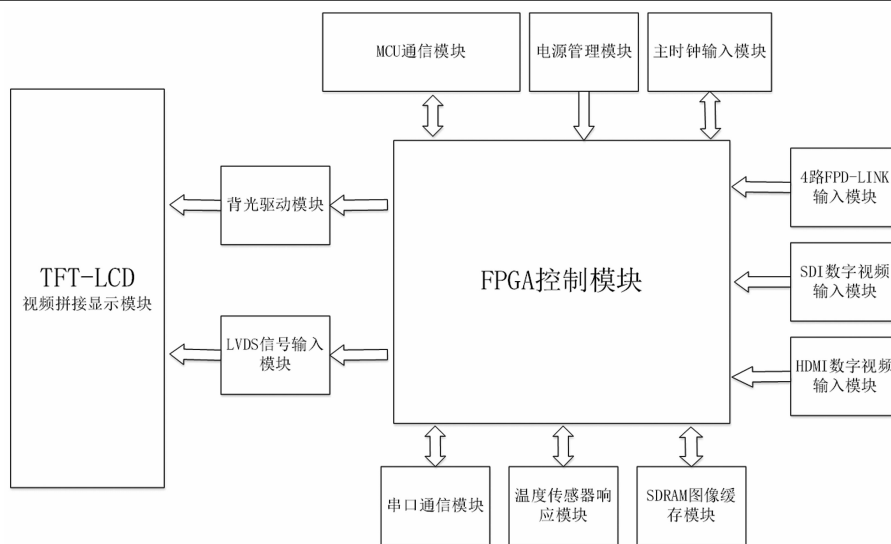


图 1 视频拼接系统的硬件设计示意图

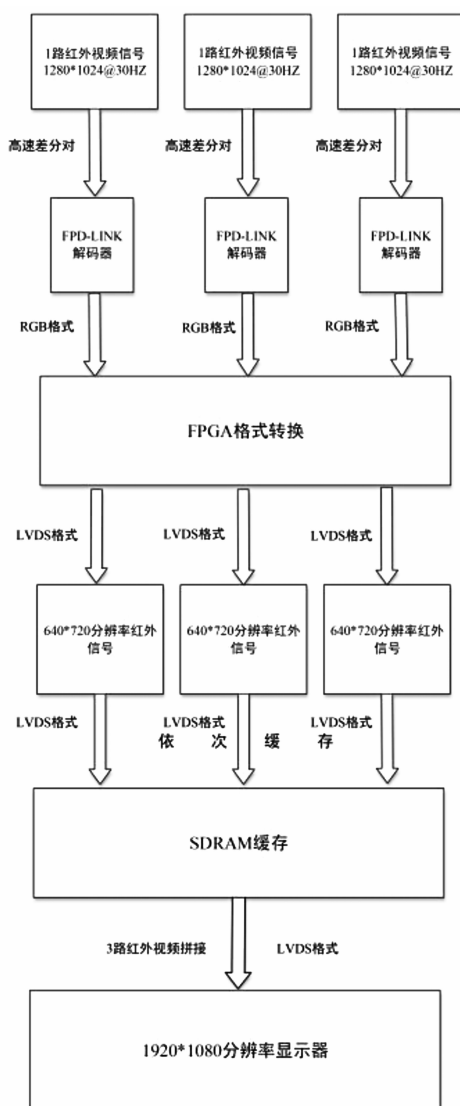


图 2 视频拼接流程图

表 1 JFM7K325T-900 型 FPGA 的性能参数

参数	描述
内核电压/V	0.97~1.03
逻辑单元数	326080
Slice 数	50950
最大分布式 RAM/kb	4000
DSP Slice 数	840
18k 模块数	890
最大 Block RAM/kb	16020
CMT 数	10
GTX 数	16
I/O 组总数	10
用户 I/O 数	500
支持 I/O 接口电压/V	1.0、1.2、1.5、 1.8、2.5、3.3
支持 I/O 电平标准	LVC MOS、HSTL、 LVDS、PCI
支持的存储单元	DDR3、DDR3L、 DDR2、LPDDR2

2.2 SDRAM 存储模块硬件设计

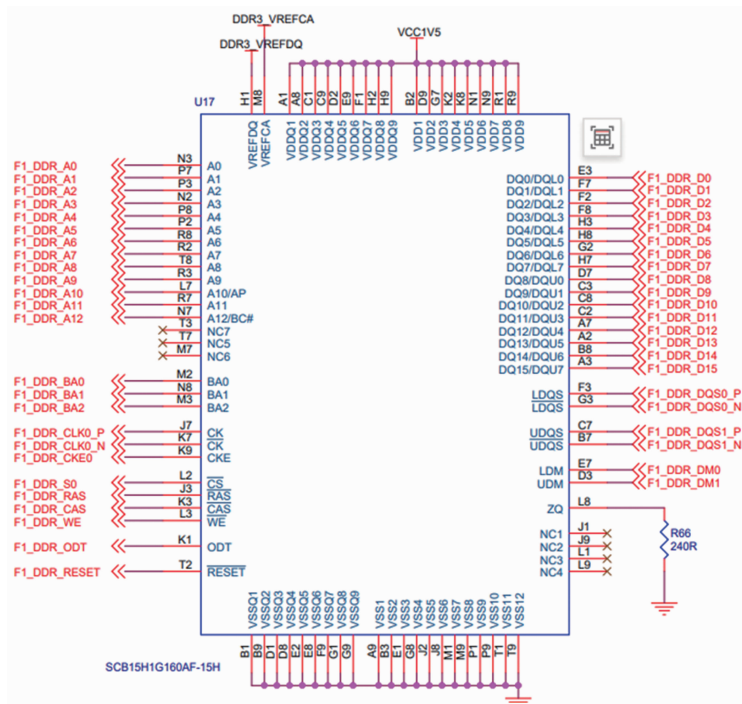
SDRAM 用于图像处理中的数据缓存。该拼接系统需要缓存 3 个视频最高分辨率为 640×720 的红外图像, 要求双倍数据率同步动态随机存储器(Double Data Rate Synchronous Dy-

namic Random-Access Memory, DDR SDRAM) 的频率要大于 200 MHz。从分析能力和读写速度上看, 需用 2 片容量为 1 Gbit 的 16 位 DDR3 存储器。为了实现国产化且能满足视频拼接的速度和存储要求, 选用西安紫光国芯半导体股份有限公司生产的 SCB15H1G160AF-15HI 型存储芯片。电路设计原理图如图 3 所示。

2.3 FPD-LINK 输入接口硬件设计

对于 FPD-LINK 接收解码器, 为了能够实现高清及高分辨率视频信号, 使用 TI 公司生产的具有双向控制通道的 24 位彩色 FPD-Link III 解码器 DS90UB926Q-Q1。该解码器与 DS90UB925Q-Q1 串行器配对使用。当配置成 40 MHz 时钟时, 实际输出速率的最大值为 1.975 Gbps。

DS90UB926Q-Q1 解码器接收由串行器发出的高速差分对信号并将其解码成 24 位并行 RGB 数据格式。该信号经 FPGA 转换成 LVDS 的数据格式, 并被输送给显示器作为驱动信号。FPD-Link III 串行总线方案支持通过单条差分链路来实现高速正向数据传输和低速反向通道通信的全双工控制。通过单个差分对整合



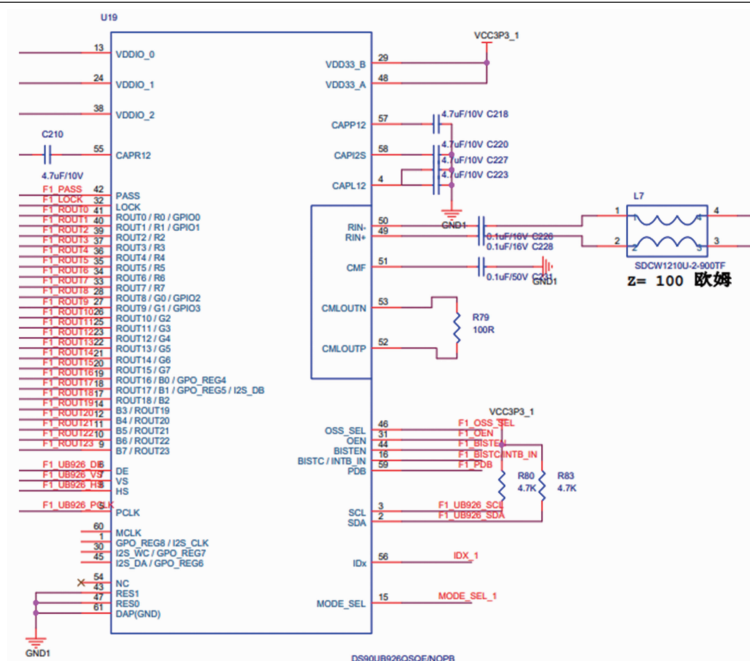


图 4 FPD-LINK 解码器硬件电路

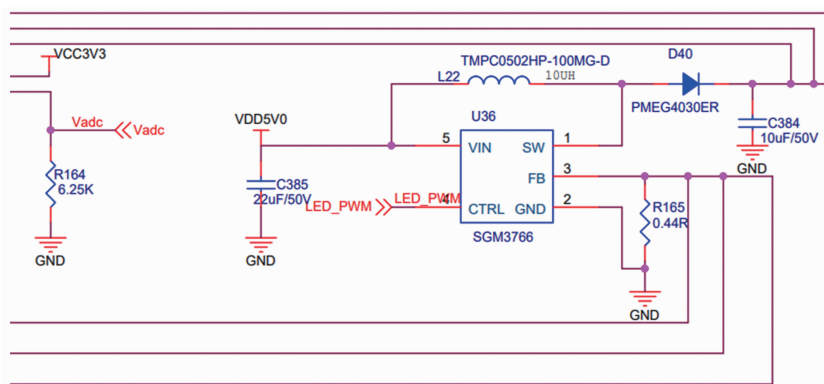


图 5 背光驱动电路

视频数据和控制, 可以减小互连线的尺寸和重量, 同时还可解决偏差问题并简化系统设计^[9]。低功率模式最大限度地减少了功率耗散, 进而降低了整个系统的功耗。电路原理图如图 4 所示。

除了解码器固定配置以外, 其他信号均连接 FPGA 进行数据处理。FPD-LINK 高速差分对的输入端接入 $100\ \Omega$ 的共模滤波器, 实现了阻抗匹配以及滤除共模干扰, 从而保证了信号的完整性。

2.4 背光驱动模块电路硬件设计

显示器的液晶材料不能自发光, 其亮度完全依靠背光源提供。所以背光源的稳定性直接决定了 LCD 输出图像的优劣, 同样影响着视

频拼接后的图像质量。因此, 背光驱动模块是显示器最基本也最重要的性能指标。

为了保证背光源的稳定性, 选用圣邦微电子有限公司生产的 SGM3766 型背光驱动芯片。该芯片带有 1.2 MHz 升压转换器, 且具有固定的开关频率以及内部 40 V/2.75 A 开关 FET。显示屏内置了 3 路并联的 LED 灯。每一路串联了 9 个 LED 灯, 共计 27 个 LED 灯。该芯片能够驱动 3 并 10 串共 30 个 LED 灯, 可以完全满足功耗要求。此外, 该芯片还可以向 CTRL 引脚发出脉宽调制 (Pulse-Width Modulation, PWM) 信号来控制输出电流, 而反馈电压取决于 PWM 信号的占空比。背光驱动电路的原理图如图 5 所示。

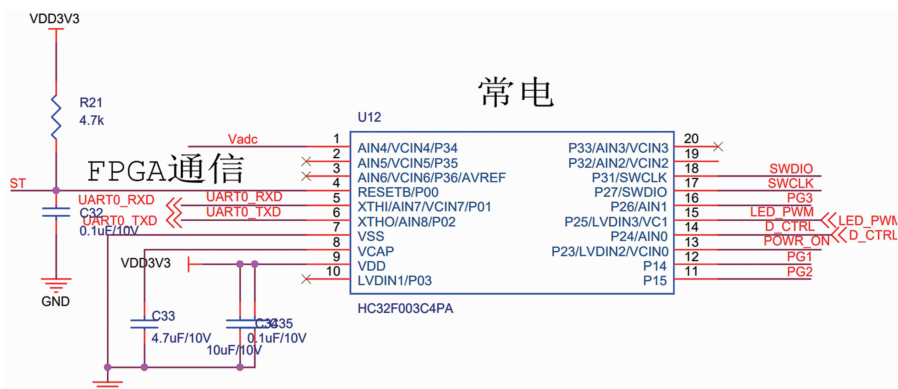


图 6 MCU 硬件电路

背光驱动电路设计策略以及电路中相关参数的计算如下:

(1)背光驱动电路设计策略:在不同温度下,屏幕内置热敏电阻的阻值会随着温度的变化而变化。利用分压电阻获得 V_{adc} 值;根据 V_{adc} 值,MCU(见图 6)利用 PWM 的占空比来调节背光驱动亮度,进而获得最优化的屏幕亮度值。

(2)分压电阻的计算:通过由 LCD 屏幕厂家提供的屏幕内置热敏电阻的阻值随温度变化的关系图以及式(1),可以计算出热敏电阻在 -40°C 和 60°C 下的阻值分别为 $6.25\text{ k}\Omega$ 和 $31.25\text{ k}\Omega$ 。在热敏电阻供电以及 MCU 量程电压两者的约束下,最终确定 R164(见图 5)的阻值为 $6.25\text{ k}\Omega$ 。

$$V_{adc} = 3.3 \times [R_{164} / (R_{NTC} + R_{164})] \quad (1)$$

式中,3.3 为两电阻分压的供电电压值(V)。MCU 的最大量程电压为 2.5 V。

(3)电流感应电阻的计算:通过外置检流电阻来设置背光驱动的电流;由背光驱动芯片手册可知,反馈电压的默认值为 200 mV,显示器内置 3 并 9 串的 LED 灯,此时的背光驱动总电流可达到 450 mA,根据式(2)计算出检流电阻的阻值为 $0.44\text{ }\Omega$ 。

$$I_{LED} = V_{FB} / R_{SET} \quad (2)$$

式中, I_{LED} 为 LED 灯的总输出电流, V_{FB} 为驱动芯片的反馈电压, R_{SET} 为检流电阻的阻值。

高分辨率 MCU 能够精准捕捉反馈电压的数值,并通过背光驱动芯片精确调节液晶显示

屏的亮度。LED 灯的发热量与外部环境温度会影响热敏电阻的阻值,并将电压反馈给 MCU。这种闭环控制策略不仅能够精确控制亮度,而且满足可变温度下不同场景的可视清晰度。基于以上参数的计算,并结合软件控制,最终可以很好地实现背光驱动控制,从而保证拼接后的视频细节清晰、流畅。

3 系统测试

3.1 硬件输出模块测试

基于前面元器件选型以及电路设计,最终得到视频拼接系统的硬件电路板(见图 7)。将 3 路红外视频信号设置成斜向渐变图进行测试,在 LCD 上的效果如图 8 所示。



图 7 视频拼接系统的硬件电路板



图 8 3 路视频拼接的斜向渐变图

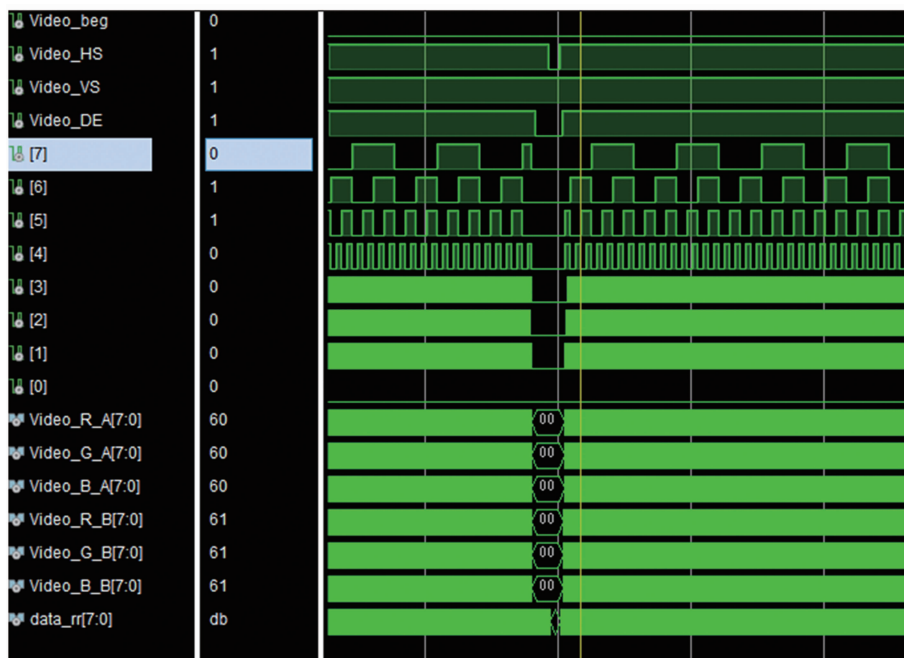


图 9 解码后的 RGB 数据及同步信号

通过 FPGA 的软件仿真可以得出红外视频信号经 DS90UB926Q-Q1 解码器解出的 RGB 数据以及同步信号(见图 9)。图 10 为输入视频信号为 $1280 \times 1024 @ 30 \text{ Hz}$ 的红外视频图像。通过 FPGA 将 RGB 格式转换为 LVDS 形式来驱动显示器。

3.2 软件与硬件系统联调

3 幅分辨率为 1280×1024 的红外视频图像经 FPGA 处理成 3 幅分辨率为 640×720 的图像来铺满 1920×720 分辨率的显示器, 进而完成 3 路视频的实时拼接(见图 10)。



图 10 由 3 路视频实时拼接的红外图像

3.3 结果分析

以上测试结果表明, 该电路能够满足 3 路视频拼接的硬件要求, 且 3 幅分辨率为 1280×1024 的红外视频图像经 FPGA 处理成 3 幅 640

$\times 720$ 分辨率的图像来铺满整个显示器。拼接痕迹较小, 图像显示清晰, 且能够宽角度、大视角取景, 成功证明了该显示器的设计与应用价值。

4 结束语

本文设计了一种基于 FPGA 的具有视频拼接功能的液晶显示器。该显示器可实现多路视频的拼接, 不仅能够进行大视角、多角度的监控和取景, 而且还可以解决单个摄像机视频中多视角显示凌乱、目标遮挡导致无法显示全景等难题。该显示器功能多样, 不仅能够支持 FPD-LINK 格式输入的数字视频信号, 而且还能够接收外部红外摄像机的 HD-SDI/SD-SDI 以及 HDMI 数字视频信号。背光驱动技术可在可变温度下对不同场景加强可视清晰度的调节, 使拼接的图像细节清晰, 并且还能有效解决显示器液晶屏图像拖尾问题。该显示器为后续可见光/红外视频的融合以及目标的识别与追踪提供了硬件基础和软件储备。

参考文献

- [1] Baumgartner S V, Krieger G. Simultaneous high-resolution wide-swath SAR imaging and ground

- moving target indication: Processing approaches and system concepts [J]. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, 2015, **8**(11): 5015–5029.
- [2] Knoll F, Holler M, Koesters T, et al. Joint MR-PET reconstruction using a multi-channel image regularizer [J]. *IEEE Transactions on Medical Imaging*, 2017, **36**(1): 1–16.
- [3] Rivenson Y, Göröcs Z, Günaydin H, et al. Deep learning microscopy [J]. *Optica*, 2017, **4**(11): 1437–1443.
- [4] Nguyen H, Agbinya J I, Devlin J. FPGA-based implementation of multiple modes in near field inductive communication using frequency splitting and MIMO configuration [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, **62**(1): 302–310.
- [5] Izquierdo A, Villacorta J J. Design and evaluation of a scalable and reconfigurable multi-platform system for acoustic imaging [J]. *Sensors*, 2016, **16**(10): 1671.
- [6] Kang M, Kim J, Kim J M. An FPGA-based multicore system for real-time bearing fault diagnosis using ultrasampling rate AE signals [J]. *IEEE Transactions on Industrial Electronics*, 2015, **62**(4): 2319–2329.
- [7] Bian H, Guo H, Chang S, et al. Hardware Design of Multichannel Video Acquisition System Based on FPGA [J]. *IOP Conference Series: Materials Science and Engineering*, 2018, **452**(4): 042145.
- [8] 芮东峰, 宗德. 基于 FPGA 的视频拼接系统的硬件设计 [J]. *应用科技*, 2013, **40**(6): 63–68.
- [9] 蔡芸. 基于 Jacinto 6 的多屏显示车载终端系统设计 [D]. 苏州: 苏州大学, 2017.

(上接第 31 页)

- [5] Kinch M A. Fundamentals of Infrared Detector Materials [M]. Bellingham: SPIE Press, 2007.
- [6] Sidor D E, Savich G R, Wicks G W. Surface Leakage Mechanisms in III-V Infrared Barrier Detectors [J]. *Journal of Electronic Materials*, 2016, **45**(9): 4663–4667.
- [7] 张利学, 孙维国, 吕衍秋, 等. InAs/GaSb II 类超晶格材料台面腐蚀 [J]. *红外与毫米波学报*, 2014, **33**(5): 472–476.
- [8] 张翔宇, 蒋洞微, 贺雯, 等. InAs/GaSb 超晶格台面刻蚀工艺研究综述 [J]. *航空兵器*, 2023, **31**(5): 41–49.