

文章编号: 1672-8785(2024)11-0013-04

p-on-n 型 10 μm 像元间距长波 1280 $\times$ 1024 红外探测器制备研究

王 鑫 刘世光 张 轶 王 丹 宁 提

(华北光电技术研究所, 北京 100015)

摘 要: 采用 p-on-n 结构的碲镉汞红外探测器芯片的暗电流低、少子寿命长, 是目前高性能红外探测器的主流发展方向。为了满足未来红外探测器小型化的发展需求, 开展了 p-on-n 型 10 μm 像元间距长波 1280 $\times$ 1024 探测器芯片研究。针对 As 离子注入激活、长波小间距芯片制备技术的难点, 开展了 As 离子注入技术、As 激活退火技术的研究分析。通过不同的表征方法验证了最佳条件, 并通过器件工艺进行了探测器芯片的制备。测试其 I - V 特性曲线, 获得了性能较好的探测器芯片。该研究对小像元间距 p-on-n 型长波碲镉汞焦平面器件的制备具有重要意义。

关键词: 碲镉汞; 像元间距; p-on-n; As 注入

中图分类号: TN305 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2024.11.002

Preparation Research of p-on-n Long-Wave 1280 $\times$ 1024 Infrared Detectors with 10 μm Pixel Pitch

WANG Xin, LIU Shi-guang, ZHANG Yi, WANG Dan, NING Ti

(North China Research Institute of Electro-Optics, Beijing 100015, China)

Abstract: The HgCdTe infrared detector chip with p-on-n structure has low dark current and long lifetime. It is the mainstream development direction of the high-performance infrared detector. In order to meet the development requirement of miniaturization of the future infrared detector, the p-on-n long-wave 1280 $\times$ 1024 detector with 10 μm pixel pitch was studied. In response to the difficulties of As ion implantation activation and long-wave small-pitch chip preparation technology, research and analysis have been conducted on As ion implantation technology and As activation annealing technology. The optimal conditions were verified by different characterization methods, and the detector chip was prepared through device technology. The I - V characteristic curve was tested, and a detector chip with good performance was obtained. This study is of great significance for the preparation of small-pitch long-wave p-on-n cadmium telluride mercury focal plane devices.

Key words: HgCdTe; pixel pitch; p-on-n; As implantation

收稿日期: 2023-11-13

作者简介: 王鑫(1993-), 男, 吉林白城人, 工程师, 硕士, 主要从事红外探测器设计与研发工作。

E-mail: 18801384627@139.com

0 引言

自 1800 年威廉·赫歇尔在试验中发现红外线以来^[1], 红外探测技术取得了非常大的发展, 已被广泛应用于防御、安全、环境监控、科学和空间应用等多个领域^[2]。目前制备的碲镉汞红外探测器芯片有 n-on-p 和 p-on-n 两种结构。前者利用 Hg 原子空位形成 p 型层, 其中的 Hg 空位会引入 Shockley-Read 复合中心, 使芯片的暗电流增大, 导致芯片性能降低。然而 p-on-n 结构由外掺杂 As 原子实现, 以带间复合为主, 因此可以获得较长的少数载流子寿命。与 n-on-p 结构相比, p-on-n 结构更容易获得低掺杂浓度的 n 型区。由于 n 型区的多数载流子(电子)的迁移率高, p-on-n 型探测器的暗电流低, 因此具有较大优势^[3], 在高温工作、小型化、甚长波探测方面有着很大的发展潜力。

然而 p-on-n 型探测器制备工艺更难, 主要难点是 As 离子的注入激活。由于 As 是一种两性掺杂元素, 既可作为浅施主置于 Hg 位, 又可作为浅受主置于 Te 位^[4]。在经过有效的退火时, As 很难占据 Te 位、形成受主, 从而得到 p 型碲镉汞材料。想要获得 p 型掺杂, 很大程度上依赖于退火方式和退火条件。只有在高温和高汞压下 As 离子才会激活为 p 型。因此, As 离子注入后的 p 型激活掺杂技术是制备 p-on-n 型碲镉汞探测器的关键。

碲镉汞红外探测器的常规工作温度为 77 K, 需将其封装在杜瓦内, 并用制冷机对其进行降温。随着应用需求的提升, 器件的阵列规模变大, 保持像元尺寸不变会导致系统功耗加大、组件尺寸增加等问题, 进而影响其在各个领域的应用。由于组件重量轻、尺寸小、功耗低的需求, 缩小像元尺寸成为探测器进一步发展的关键。

缩小像元尺寸可以使红外光电系统体积更小、重量更轻、紧凑度更高, 进而降低系统功耗。因此, 小像元间距探测器芯片研究变得越来越重要。本文针对这一发展方向, 开展了阵列规格为 1280×1024 、像元间距为 $10 \mu\text{m}$ 的 p-

on-n 型探测器芯片的制备技术研究。

1 实验方案

本文在碲锌镉衬底上利用水平液相外延(Liquid Phase Epitaxy, LPE)技术生长原位掺 In 的 n 型碲镉汞材料并将其作为吸收层, 其截止波长约为 $9.3 \mu\text{m}$, 载流子浓度为 $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 。通过 As 离子注入、高温激活退火完成材料的 p 型掺杂, 然后对其进行表面钝化、抑制表面漏电, 并通过光刻、刻蚀、电极制备等工艺完成探测器芯片的制备。

As 离子的质量大, 不易注入, 需使用较高的注入能量和剂量才能实现符合工艺要求的注入深度和浓度, 从而保证探测器芯片的性能, 同时使结区尽量远离表面, 减小表面损伤和表面态的影响。

在 As 离子注入过程中, 注入能量决定所形成 pn 结的深度以及对材料的损伤大小, 而注入剂量则决定 As 的掺杂浓度。通过调整注入剂量和注入能量, 可获得不同 As 掺杂深度的 p 型碲镉汞材料。

首先, 对不同条件离子注入后的芯片进行二次离子质谱(Secondary Ion Mass Spectroscopy, SIMS)测试评价, 获得了注入后 As 的分布曲线。通过对比深度以及 As 离子浓度分布, 获得最佳的离子注入条件。然后利用高温激活退火进行 As 离子的激活以及离子注入产生缺陷的修复。通过 SIMS 测试评价激活后 As 离子在样品中的分布状态, 并通过透射电镜(Transmission Electron Microscope, TEM)测试评价退火后样品的损伤修复状态, 从而得到最佳工艺条件。后续针对 $10 \mu\text{m}$ 像元间距, 设计了不同尺寸的注入区。为了尽量提高占空比并抑制串音, 对比后确定了合适的尺寸大小。基于此设计参数, 通过钝化、退火以及电极制备等工艺获得了探测器芯片样品。利用半导体参数测试仪进行 77 K 下的 $I-V$ 测试, 评价探测器器件的性能。

2 实验结果

目前, 通过对不同注入能量和注入剂量的

实验对比研究, 逐步提升了 As 离子的注入深度和有效浓度, 完成了 As 离子的有效注入。离子注入后样品的 SIMS 测试结果如图 1 所示。此时, As 离子分布在材料表面下小于 $1\text{ }\mu\text{m}$ 的有效区域内, 其浓度分布满足器件的制备需求。

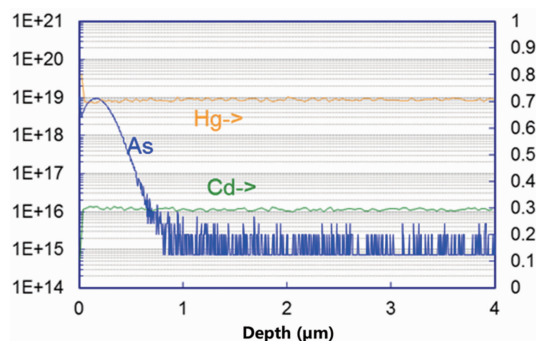


图 1 离子注入后样品的 SIMS 测试结果

As 离子的注入激活在汞饱和条件下进行, 一般通过高温退火和低温退火两步实现。其中, 高温退火用于激活 As 离子并且修复离子注入导致的缺陷, 但同时由于 Hg 的互扩散导致吸收区汞空位浓度过高, 可将 n 型区转为 p 型区, 需通过长时间低温退火来控制汞原子的补充。因此, 低温退火的目的是填充 Hg 空位, 包括离子注入和第一步退火产生的 Hg 空位。

为了完成 As 离子的激活并且消除注入造成的缺陷和损伤, 对样品进行了激活退火。通过设计不同的激活退火条件, 结合 TEM 和 SIMS 测试, 分析 As 在材料中的分布状态以及材料中的损伤修复情况, 并结合迁移率谱得出 As 的有效激活浓度, 确定合适的激活退火条件, 完成 As 离子激活。SIMS 测试结果如图 2 所示。可以看到, 激活退火后 As 离子向内发生了扩散, 说明 p 型区的有效宽度变宽。

在完成激活退火后样品的 As 离子分布情况测试后, 为了进一步确认退火后样品由于 As 离子注入造成的损伤的修复情况, 对样品进行了 TEM 测试(结果见图 3)。从图中可以看到, 表面 $0.6\text{ }\mu\text{m}$ 内没有观察到位错簇, 说明样品内由离子注入产生的缺陷都已消除, 样

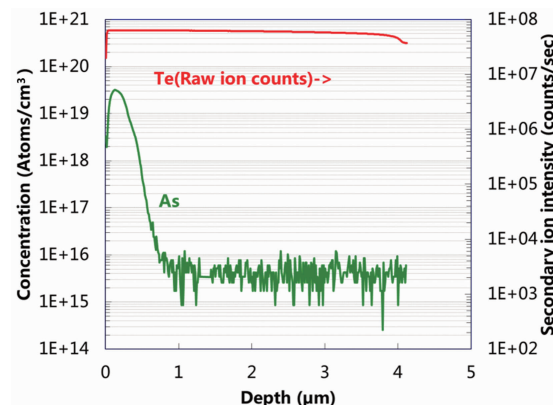


图 2 退火后样品的 SIMS 测试结果

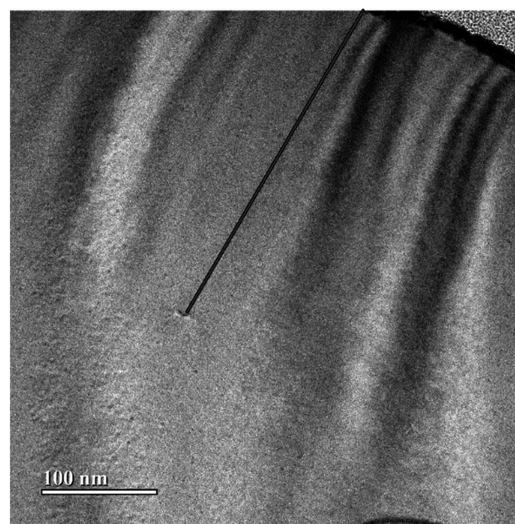


图 3 激活退火后样品的 TEM 测试结果

品已经恢复到较好的质量。也就是说, 此激活条件已完成材料损伤的有效消除。

然后, 为了评价注入后的 As 在碲镉汞材料内部的激活情况是否达到有效的激活浓度, 对此条件下制备的样品进行了迁移率谱测试。由于不同种类的载流子具有不同的迁移率, 它们在不同磁场下对电导的贡献不同。通过分析电导张量与磁场强度 B 的依赖关系, 可以获得样品中电子和空穴的种类以及样品中每种电子和空穴的迁移率与浓度。通过分析样品的变磁场数据, 获得样品中电导随迁移率连续变化的谱图。谱图中每一个峰值对应一种载流子, 通过迁移率的正负性可以判断载流子的类型。

迁移率谱测试结果如图 4 所示。经计算, 激活退火后样品的 As 激活浓度达到 $1 \times 10^{15}\text{ cm}^{-3}$ 以上。

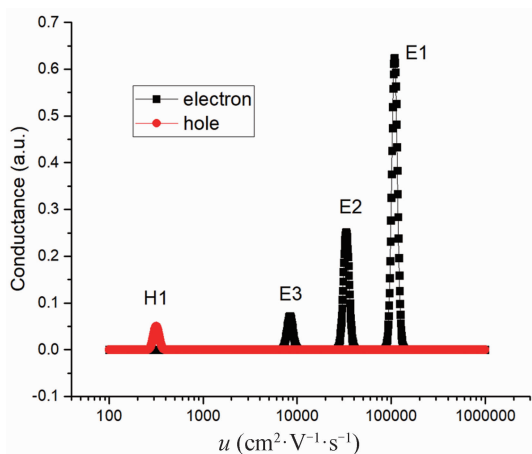


图 4 迁移率谱测试结果

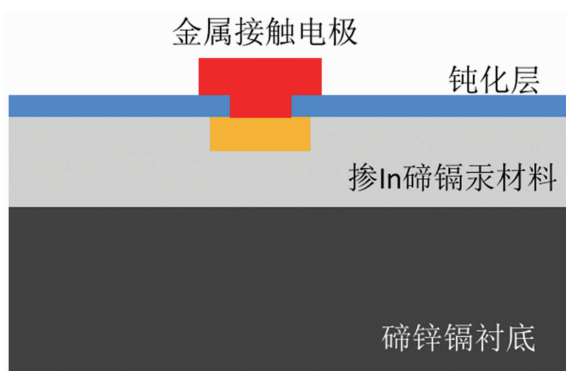
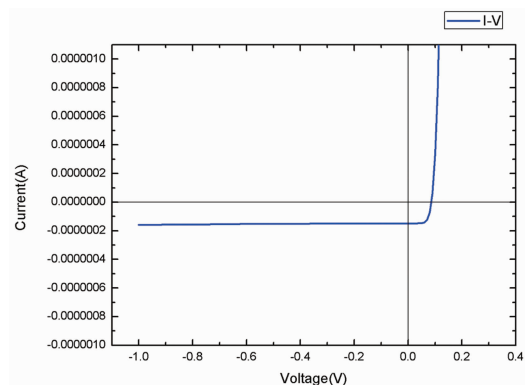


图 5 碲镉汞器件结构示意图

在完成碲镉汞材料 As 离子注入、As 激活退火后, 针对像元间距为 $10\ \mu\text{m}$ 的大面阵器件进行了相应设计。通过一系列对比实验分析, 确定了最佳器件尺寸。据此完成探测器芯片的制备, 其器件结构如图 5 所示。

将完成 As 离子注入激活的材料进行表面钝化、接触孔成型、电极沉积等工艺, 实现了探测器器件的制备。将制备好的器件放置在低温探针系统中, 通过液氮制冷到 $77\ \text{K}$ 温度, 然后使用半导体参数测试设备进行 $77\ \text{K}$ 下器件的伏安特性测试(结果见图 6)。

从 $I-V$ 测试图可以看出, 器件的反向电流随着偏压的增大未发生明显增大, 说明此器件的阻抗没有随偏压增大发生明显变化, 探测器器件的状态比较稳定。此条件下制备出的 p-on-n 型 $10\ \mu\text{m}$ 像元间距长波 1280×1024 器件具有较好的 p-on-n 器件性能, 证明此时的激活退火和钝化工艺已经达到了较好的水平。

图 6 探测器芯片样品的 $I-V$ 测试结果

3 结束语

本文主要针对 p-on-n 型 $10\ \mu\text{m}$ 像元间距长波 1280×1024 探测器芯片的制备进行了研究。针对 As 离子注入激活的难点, 开展了 As 离子注入技术和 As 激活退火技术的研究分析。通过 SIMS、TEM、迁移率谱等一系列测试方法完成了 As 离子注入激活效果评价, 获得了较好的工艺条件。针对像元间距为 $10\ \mu\text{m}$ 的大尺寸芯片进行了针对性设计, 并据此完成了器件的制备。然后利用半导体参数测试仪对探测器芯片($77\ \text{K}$ 下)进行 pn 结 $I-V$ 特性测试, 进而获得性能较好的探测器芯片。未来将继续对工艺进行优化, 降低器件暗电流, 进一步提升探测器器件的性能; 同时还将对互连电路进行性能评价。

参考文献

- [1] Rogalski A. History of Infrared Detectors [J]. *Opto-Electron Rev*, 2012, **20**(3): 279–308.
- [2] Mollard L. HgCdTe FPAs Made by Arsenic-ion Implantation [C]. *SPIE*, 2008, **6940**: 69400F.
- [3] 熊伯俊, 李立华, 杨超伟, 等. As 注入长波碲镉汞红外探测器工艺研究 [J]. *红外技术*, 2022, **44**(2): 129–133.
- [4] Gravrand O, Mollard L, Largeron C, et al. Study of LWIR and VLEIR Focal Plane Array Developments: Comparison Between p-on-n and Different n-on-p Technologies on LPE HgCdTe [J]. *Journal of Electronic Materials*, 2009, **38**(8): 1733–1740.