

文章编号: 1672-8785(2024)03-0015-08

应用于红外读出电路的 LVDS 接收电路设计

于 越

(烟台艾睿光电科技有限公司, 山东 烟台 264000)

摘 要: 在大规模红外读出电路中, 接口电路的数据传输效率及接口数量尤为关键。传统接口电路采用并行接口进行数据传输, 这种方式会占用较多的芯片引脚。为了提升数据的传输效率, 设计了一款用于数据接收的 3 通道串行低压差分信号 (Low Voltage Differential Signaling, LVDS) 接口电路。电路采用 $0.18\ \mu\text{m}$ 互补金属氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺设计。仿真结果表明, LVDS 接口电路在 400 MHz 频率下, 能够将 2 路接收端数据转换为 8 路数据并将其输出给内部数字处理单元。与传统并行接口相比, 本电路节省了 6 个数据传输引脚, 大大提高了数据传输效率。

关键词: 低压差分信号; LVDS; 红外读出电路; 串并转换

中图分类号: TN214 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2024.03.003

Design of LVDS Receiver Circuit Used in Infrared ROIC

YU Yue

(IRay Technology Co., Ltd., Yantai 264000, China)

Abstract: In large-scale infrared readout integrated circuits (ROIC), the data transfer efficiency and the number of interface circuits are particularly crucial. Traditional interface circuits use parallel interfaces for data transmission, which takes up a significant amount of chip pins. In order to improve the efficiency of data transmission, a 3-channel serial low voltage differential signaling (LVDS) interface circuit is designed for data reception. The circuit adopts a $0.18\ \mu\text{m}$ complementary metal oxide semiconductor (CMOS) process. The simulation results show that the LVDS interface circuit can convert 2-channel receiver data into 8-channel data at a frequency of 400 MHz and output it to the internal digital processing unit. Compared with traditional parallel interfaces, this circuit saves 6 data transmission pins, greatly improving data transmission efficiency.

Key words: low voltage differential signal; LVDS; infrared ROIC; serial-to-parallel

收稿日期: 2023-10-25

作者简介: 于越(1993-), 男, 甘肃天水人, 硕士, 主要从事红外读出电路的设计和测试研究。

E-mail: 490706560@qq.com

0 引言

对于红外读出电路而言,需要设计接口电路与外界进行数据交互。传统的 TTL、SPI 等接口功耗大、传输速率低,非常不利于大规模红外读出电路的数据刷新。LVDS 接口是一种由美国 NS 公司制订的接口电路标准,具有高速、低噪声、抗共模干扰、低功耗的特点^[1],已被广泛使用在高速信号传输领域。

与接口电路集成的红外读出电路阵列规模达到 2560×2048 ,阵列工作频率为 30 Hz 左右。以 14 位输出为例,若采用 14 路并行输出接口,则每一路接口的工作频率需达到 158 Mb/s。LVDS 接口的工作频率特性保证了接口的传输速率远超过 158 Mb/s。使用 LVDS 接口结合串并转换技术^[2-4],能够在保证传输速率的同时减少接口数量,大大节省了红外读出电路外围接口的芯片占用面积。

图 1 为典型的 LVDS 收发端电路结构图。收发端由发送端电路(Driver)、互连传输线(Interconnect)、接收端电路(Receiver)和 $100\ \Omega$ 终端电阻组成。CMOS 电平的输出信号(DATA/CLK)通过发送端电路产生 LVDS 电平的差分信号 TX_{outP} 和 TX_{outN} 。根据 LVDS 协议标准^[5], TX_{outP} 与 TX_{outN} 的差值在 $\pm 250 \sim 400$ mV 之间,共模电平为 1.2 V。 TX_{outP} 和 TX_{outN} 经过互连传输线,最终在终端电阻($100\ \Omega$)两端形成输入信号 RX_{inP} 和 RX_{inN} 。假设 $RX_{idm} = RX_{inP} - RX_{inN}$ 表示输入差分电平, RX_{idth} 表示接收电路的阈值电压,当 $RX_{idm} > RX_{idth}$ 时,接收电路根据 RX_{idm} 的极性,接收输入信号“0”或“1”,并将其恢复成芯片内部的 CMOS 电平。

根据图 1 可知,由于发送端电路和接收端电路的地存在电势差 ΔGND_{pd} ,接收端输入信号 RX_{inP} 和 RX_{inN} 的共模电平会产生相对 1.2 V 标称值的偏移变化。为了保证可靠的信号接收,接收电路需要一定的共模电压工作范围^[5]。

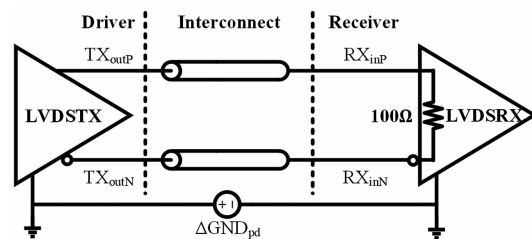


图 1 LVDS 收发端电路结构图

表 1 LVDS 接收端电路的关键指标

名称	最小值	最大值
输入共模电压/mV	200	2200
阈值电压/mV	-100	100
迟滞电压/mV	25	—

表 1 列出了 IEEE Std 1596.3-1996 标准^[5]中定义的 LVDS 接收端电路关键指标。迟滞电压(Hysteresis)是为了消除因输入信号不稳定而产生的输出误判。

1 电路设计

发送端输出信号经过互连传输线、封装引脚、ESD 防护网络后由 RX_{inP} 和 RX_{inN} 端口进入 LVDS 接收端。图 2 为接收端电路架构图。该电路由终端电阻、前置预放大器、迟滞比较器和串转并电路等四部分构成。终端电阻是多晶硅电阻,在此不多赘述。下面将分别介绍 3 个子模块的基本功能和电路结构。

1.1 前置预放大器

前置预放大器(PREAMP)是 LVDS 接收端的第一级子模块,直接连接接收端输入信号。由于输入信号具有较高的传输速率和 $250 \sim 400$ mV 的信号摆幅,因此预放大器需要较大的信号带宽和一定的放大倍数。此外,由于发送端与接收端可能存在的电位共模差异,接收端输入信号的共模电平在 $0.2 \sim 2.2$ V 范围内波动,因此预放大器需要将共模电平变化较大的输入信号转换为共模电平较稳定的输出信号。

本文中的预放大器^[6]结构如图 3 所示。输入对管 M0、M1 与共源共栅输出级 M8、M9、M10、M11 和电阻对 R1、R2 构成单级放大器。偏置电路为 VBP、VBN1、VBN2 提供电压偏置,确保单级放大器正常工作。单级放大

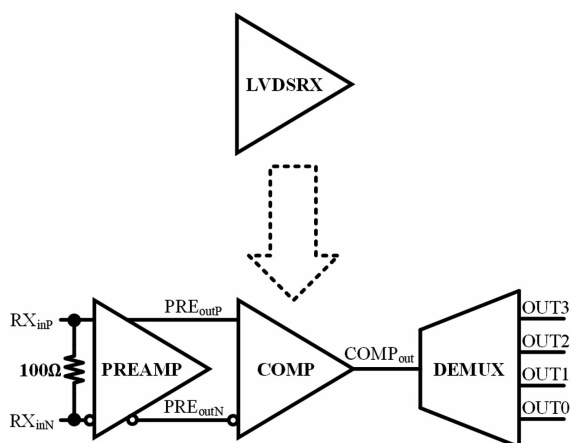


图 2 LVDS 接收端电路架构图

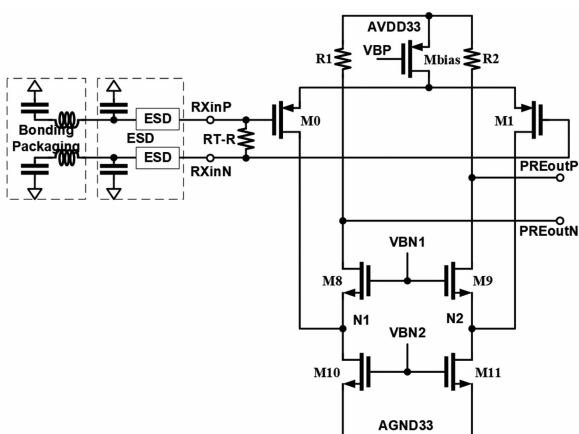


图 3 LVDS 接收端预放大器的电路图

器的增益为

$$A_v = -g_{M0} (R_1 // g_{M8} g_{ds8} g_{ds10}) \approx -g_{M0} R_1 \quad (1)$$

单级放大器输出信号的共模电平为

$$V_{out,CM} = V_{DD} - R_1 (I_{M10} - \frac{I_{Mbias}}{2}) \quad (2)$$

由于 M0、M1 和 M8、M9 的阻隔, 输出信号 PRE_outP 和 PRE_outN 的共模电平相较于输入信号 RX_inP 和 RX_inN 的共模电平变化很小。

1.2 迟滞比较器

迟滞比较器 (COMP) 将经过初步放大的差分信号 PRE_outP 和 PRE_outN 进一步转换为 1.8 V 的数字信号 COMP_out。图 4 为接收端所用迟滞比较器的电路图^[7]。比较器的器件尺寸由输入信号频率、输入信号摆率和比较器的迟滞电压决定。比较器的迟滞电压 V_{hys} 由 LVDS 协议和前置放大器增益决定。

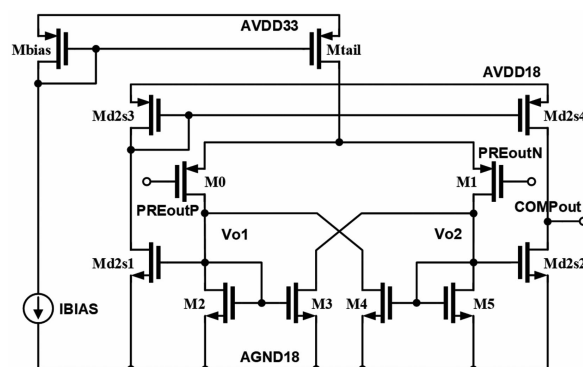


图 4 LVDS 接收端比较器的电路图

迟滞比较器的正迟滞电压为

$$V_{hys}^+ = \sqrt{\frac{I_{tail}}{K'_0 \left(\frac{W}{L}\right)_0}} \frac{\sqrt{\alpha} - 1}{\sqrt{\alpha} + 1} \quad (3)$$

迟滞比较器的负迟滞电压为

$$V_{hys}^- = \sqrt{\frac{I_{tail}}{K'_0 \left(\frac{W}{L}\right)_0}} \frac{1 - \sqrt{\alpha}}{\sqrt{\alpha} + 1} \quad (4)$$

式中, $\alpha = \frac{(W/L)_3}{(W/L)_2} = \frac{(W/L)_4}{(W/L)_5}$; K'_0 是 M0 的工艺相关参数; $(W/L)_0$ 是 M0 的宽长比; I_{tail} 是比较器的尾电流。先根据公式 $I_{tail} = SR * C_L$ 确定 I_{tail} 的大小, 再根据式 (3)、式 (4)、 α 和比较器迟滞电压确定输入对管 M0、M1 和负载管 M2、M5、M3、M4 的尺寸。

需要注意的是, 比较器的迟滞电压与接收端输入迟滞电压要求和前置预放大器的放大倍数强相关。三者的关系为

$$V_{hys,COMP} = |V_{hys}^+ - V_{hys}^-| = V_{hys,Receiver} * |A_v| \quad (5)$$

假设接收端输入迟滞电压要求为 25 mV, 前置预放大器增益为 2 倍, 则比较器的迟滞电压为 50 mV。

1.3 串转并电路

1.3.1 串转并电路分类

串转并电路 (DEMUX) 的目的是将一路串行数据/时钟转换为多路并行数据/时钟。根据串转并电路的实现方式, 可将电路分为串行结构^[2]、并行结构^[3]和树型结构^[4]三类。

串行结构又被称为移位寄存器型串转并电路。在此结构中, 串行数据 DATA 在位时钟

(BitCLK)的控制下,逐位移入串行连接的 N 个第一级 D 触发器中锁存, N 个数据被字时钟(ByteCLK)采样到并行连接的 N 个第二级 D 触发器中,第二级 D 触发器输出 $OUT_0 \sim OUT_N$,完成串行数据到并行数据的转换。串行结构的电路图如图 5 所示。

从图 5 中可以看到,前文提及的 BitCLK 即为整个接收端电路中的最高工作速率时钟,ByteCLK 即为 BitCLK 的分频时钟,两者的关系为

$$f_{\text{BitCLK}} = N * f_{\text{ByteCLK}} \quad (6)$$

式中, f_{BitCLK} 是位时钟频率, N 是串转并输出数量, f_{ByteCLK} 是字时钟频率。

串行结构的优点是结构简单、易于设计;缺点是第一级 N 个 D 触发器工作在最高频率,时钟负载过大,在超高频率时容易受到时钟负载的限制。

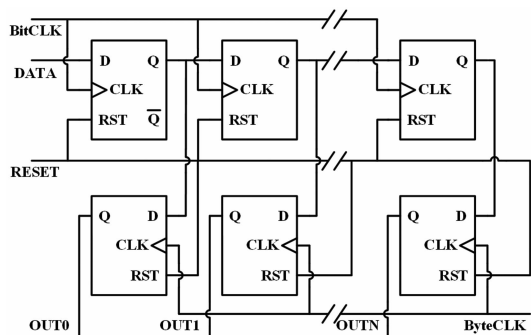


图 5 串行结构电路图

并行结构是一种多相时钟采样器。在并行结构中,串行数据 DATA 同时输入至并行的 D 触发器中,被 N 个不同相位的字时钟($\varphi_0 \sim \varphi_N$)采样后依次输出。第一级输出信号被字时钟采样到并行连接的 N 个第二级 D 触发器中,第二级 D 触发器由统一的字时钟(ByteCLK)采样输出 $OUT_0 \sim OUT_N$,完成数据的并行转换。并行结构的电路图如图 6 所示。

并行结构的优点是多相时钟频率低,整个转换电路的时钟负载小;缺点是负责第一级信号采样的 N 个多相时钟 $\varphi_0 \sim \varphi_N$ 不易产生,需要设计额外的多相时钟产生电路,会消耗额外的电路功耗。

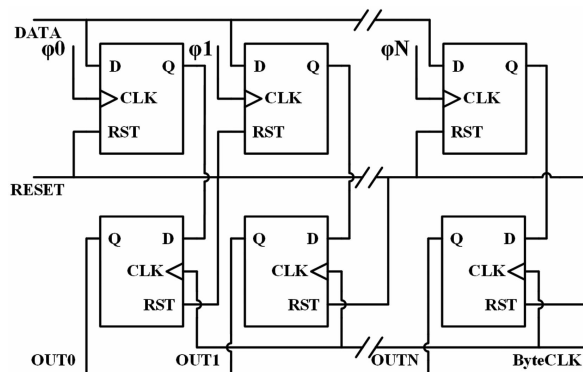


图 6 并行结构电路图

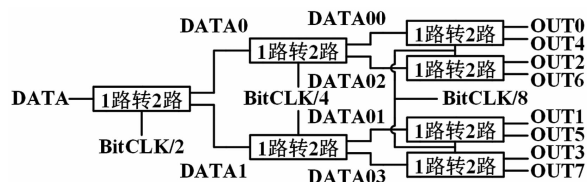


图 7 树型结构电路图

树型结构由多个 1 路转 2 路子单元和一系列 BitCLK 相关分频时钟构成。在转换过程中,每级 1 路转 2 路子单元利用 BitCLK 相关分频时钟的上升下降沿对输入数据进行采样,可轻松输出两路并行数据。树型结构让实际 f_{BitCLK} 大小降低一倍,而且工作在最高采样频率的 1 路转 2 路子单元在整个树型结构中仅有一个。树形结构的电路图如图 7 所示。

树型结构的优点是电路分布对称,时钟负载较小,无需多相时钟,适合高速数据转换;缺点是仅支持 2^N 个输出的数据转换。综上所述,针对 2 路转 8 路的串转并电路需求,树型结构是最优的实现方式。

1.3.2 串转并实际电路

LVDS 接收端实际采用的串转并电路如图 8 所示。其中, DATA 是比较器输出数据信号 COMP_{out} , CLK 是接收端时钟, CLK/2 与 CLK/4 分别为 CLK 的二分频、四分频时钟。由于 1 个 DATA 的数据宽度对应 1 个 CLK 周期,则 1 个 CLK/2 周期对应 2 个 DATA 数据,使用 CLK/2 信号的不同边沿即可采样到两组并行输出信号 DATA0 和 DATA1。

图 8 中, DEMUX1 为树型结构串转并电路,由 3 个采样 D 触发器、1 个分频电路、1

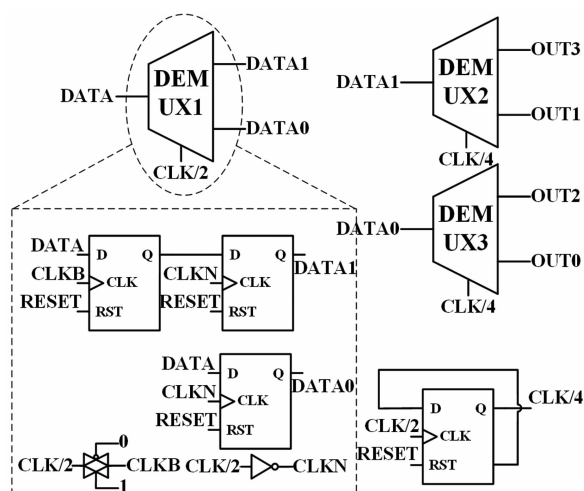


图 8 LVDS 接收端的串转并电路图

个常通传输门和 1 个反相器构成。采样时钟 CLK/2 经过常通传输门和反相器变成一组互补时钟 CLKB 和 CLKN。利用 CLKB 和 CLKN 的上升沿同时采样 DATA 信号, 在 CLKN 上升沿处同时输出两组并行信号 DATA0 和 DATA1。同理, DEMUX2 和 DEMUX3 将第一级输出信号 DATA1 和 DATA0 转换为 4 组并行输出 OUT0~OUT3。

图 9 所示的时序图展示了图 8 所示电路的串并转换过程。CLK/2 在上升沿和下降沿处同时采样 DATA 信号, 得到的 DATA0 和 DATA1 被 CLK/4 边沿采样, 并在 CLK/4 下降沿处输出 4 路并行信号 OUT0~OUT3。

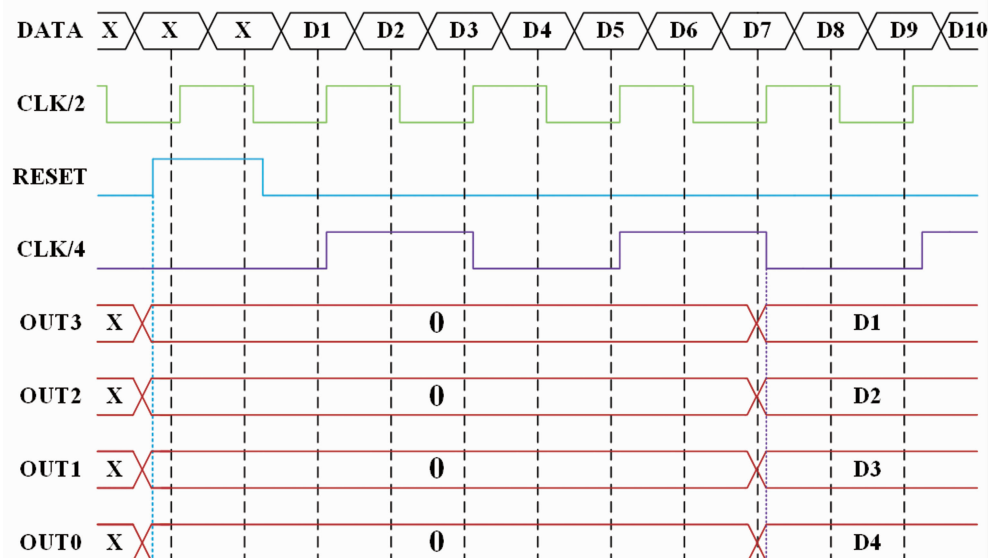


图 9 LVDS 接收端串转并电路时序图

2 仿真结果

LVDS 接收端电路采用 $0.18\ \mu\text{m}$ CMOS 工艺设计。根据红外读出电路的要求, 接收端电路需要 3 个通道 (CH1~CH3)。CH1、CH3 接收数据信号, CH2 接收时钟信号, CH2 不需要 DEMUX 电路。接收端整体电路的版图如图 10 所示。其中红框内的版图为 LVDS 接收端的 PAD 和 ESD, CH1 被黑框分为 RES (100 Ω)、PREAMP、COMP 和 DEMUX 四个部分, 绿框内的版图为 LVDS 接收端的去耦电容。

图 11~图 13 为使用仿真软件得到的接收端电路的后仿真结果图。考虑到接收端输入信号的工作频率约为 400 MHz, 实际前置预放大器的信号带宽设计为 1 GHz 左右, 开环增益约为 3 dB。

对于迟滞比较器来说, 接收端的迟滞电压需求为 25 mV, 前置预放大器增益为 3 dB, 则迟滞比较器的迟滞电压应大于 35 mV。图 12 中, 红色斜线表示 PRE_{outP} 的静态电压扫描曲线, PRE_{outP} 在 0.8~1.6 V 区间内变化; 黄色水平线表示 PRE_{outN} 静态电压为 1.2 V; 绿色迟滞扫描线表示比较器的迟滞窗口, 约为 55 mV, 满足接收端迟滞电压要求。

图 13 为单一通道串转并电路输出结果图。输入信号 DATAP/DATAN 是由 PRBS 信号发

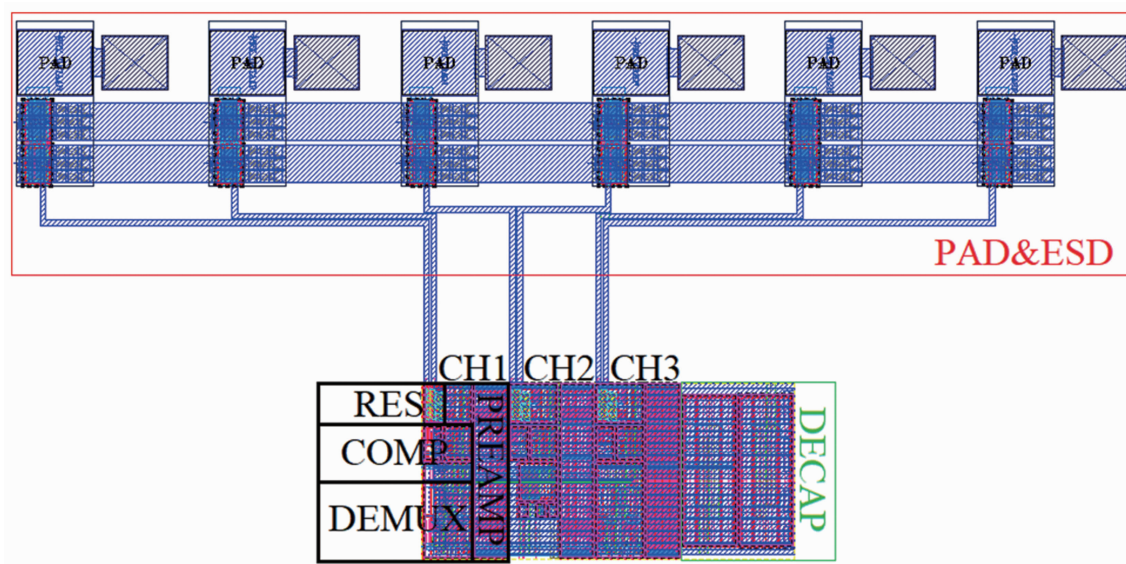


图 10 LVDS 接收端整体电路版图

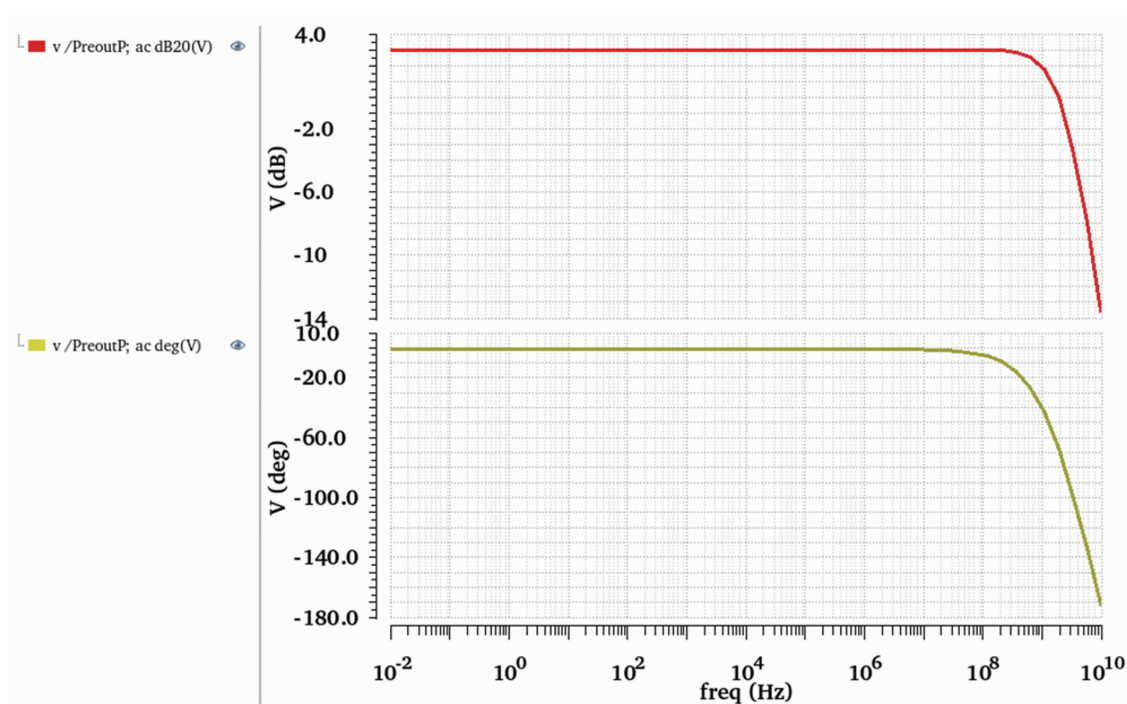


图 11 LVDS 接收端预放大器交流特性图

生器产生的 LVDS 伪随机信号，信号摆幅为 350 mV，信号传输速率为 800 Mb/s，SD0~SD3 是串转并电路的 4 路输出并行信号。输出结果图表明，本文设计的串转并电路能够将 1 路 800 Mb/s 串行数据正确转换为 4 路 200 Mb/s 并行数据。

3 结束语

本文设计了一款用于大规模红外读出电路

的 3 通道 LVDS 接收端接口电路。其中，1 路用于接收 400 MHz 高速时钟，2 路用于接收 800 Mb/s 串行数据。仿真结果表明，所设计的接收端电路能够正确地将 2 路 800 Mb/s 的串行数据转换为 8 路 200 Mb/s 并行数据。与传统的 8 路并行接口相比，本文设计的接口电路仅通过 2 路接口传输相同的数据，提高了红外读出电路的传输效率，可节省红外读出电路外围接口电路的芯片占用面积。

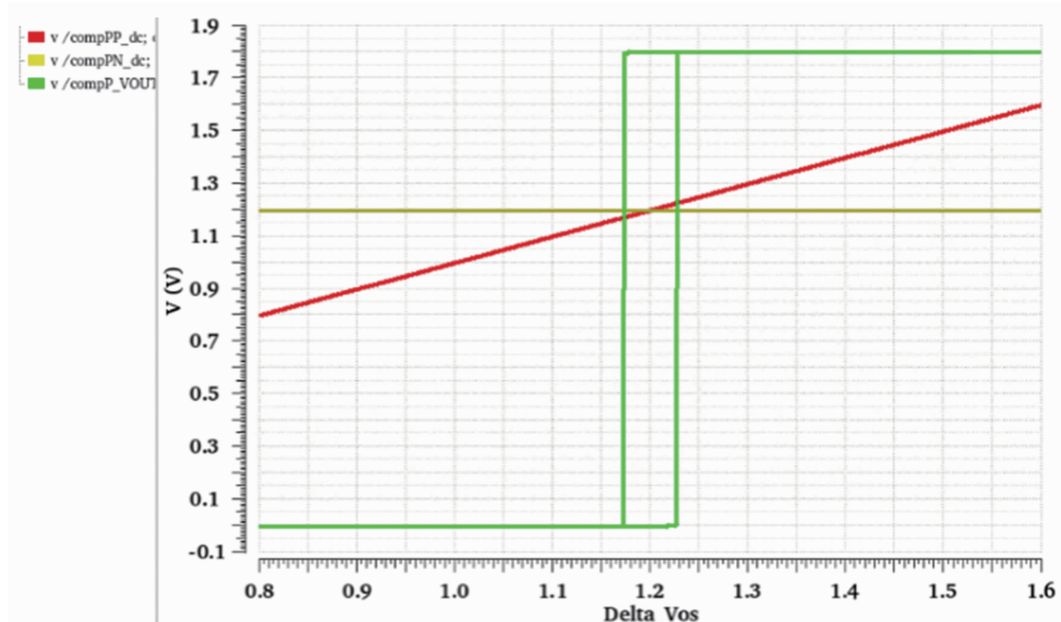


图 12 LVDS 接收端迟滞比较器迟滞窗口的仿真结果图

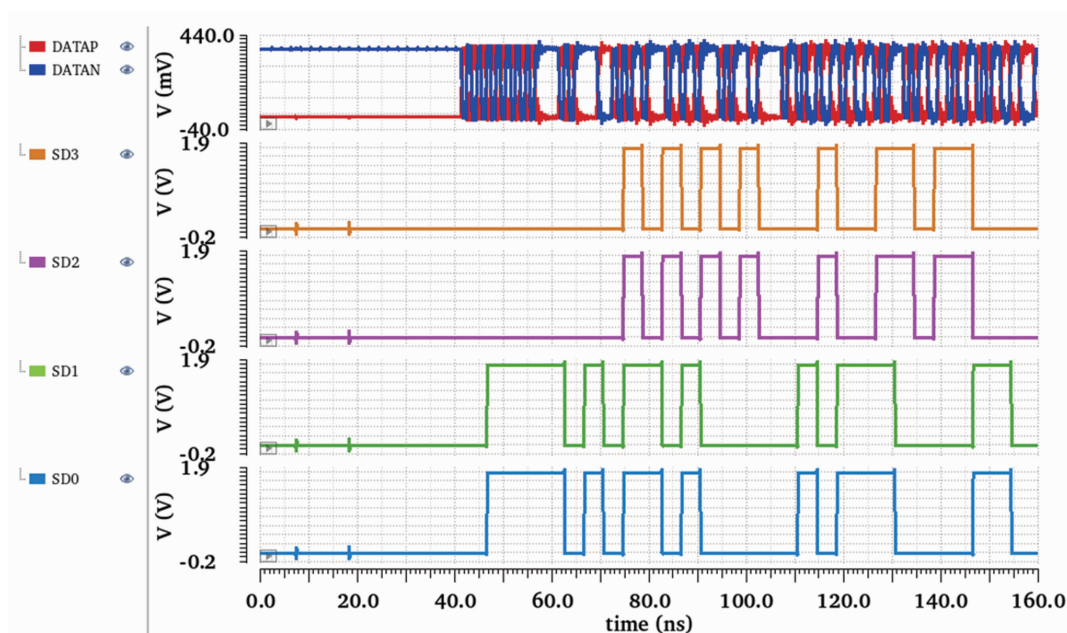


图 13 LVDS 接收端单一通道串转并电路输出结果图

参考文献

- [1] 马建国, 张禹, 刘纪洲, 等. 图像采集系统中 LVDS 信号交流耦合传输设计 [J]. 激光与红外, 2016, 46(11): 1404-1407.
- [2] Higashisaka N, Shimada M, Ohta A, et al. GaAs DCFL 2.5 Gbps 16-bit Multiplexer/Demultiplexer LSI's [J]. IEEE Journal of Solid-State Circuits, 1994, 29(7): 808-814.
- [3] Yang C K K, Farjad-Rad, Horowitz, et al. A 0.6/spl mu/m CMOS 4Gb/s Transceiver with Data Recovery Using Oversampling [C]. Kyoto: 1997 Symposium on VLSI Circuits, 1997.
- [4] Fukaishi M, Nakamura K, Sato M, et al. A 4.25-Gb/s CMOS Fiber Channel Transceiver with Asynchronous Tree-type Demultiplexer and Frequency Conversion Architecture [J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 2139-2147.

- [5] IEEE. IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI): IEEE Std 1596.3 [S]. New York: Institute of Electrical and Electronics Engineers, 1996.
- [6] Boni A, Pierazzi A, Vecchi D. LVDS I/O Interface for Gb/s-per-pin Operation in 0.35- μm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2001, **36**(4): 706–711.
- [7] Fan K X, Xu G H, Xu Y, et al. Design of a High Performance Low Voltage Differential Signal Receiver [C]. Singapore: 5th International Conference on Electronics, Communications and Networks, 2016.

(上接第 14 页)

- [3] 翟永成, 丁瑞军. 320×256 大电荷容量的长波红外读出电路结构设计 [J]. *红外与激光工程*, 2016, **45**(9): 80–85.
- [4] 袁媛, 王静, 李冬冰. 甚高灵敏度红外探测器读出电路实现方法研究 [J]. *激光与红外*, 2019, **49**(6): 714–719.
- [5] 陈斌, 李立华, 梁艳, 等. 甚高灵敏度红外探测器读出电路研究进展 [J]. *红外与激光工程*, 2020, **49**(1): 100–106.