

文章编号: 1672-8785(2024)02-0028-08

应用于红外大面阵数据传输的 接口电路设计

陈方清

(烟台艾睿光电科技有限公司, 山东 烟台 264000)

摘 要: 红外大面阵(2560×2048)数字读出电路对芯片数据接口有高速、低功耗、强驱动能力的需求。采用 0.18 μm 互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺设计了 4:1 并串转换电路、电平转换电路以及采用预加重技术的低压差分信号(Low Voltage Differential Signal, LVDS)驱动器电路。并串转换电路采用双沿采样的树形结构降低时钟频率, 电平转换电路采用正反馈结构提升速度, LVDS 驱动电路采用可编程电流大小的预加重副通路对主通路进行高频分量补偿, 以保证驱动能力和提升高速信号的完整性。接口的数据传输速率可达到 1 Gbit/s。当负载电容为 2 pF 时, 一个通道的功耗为 15.8 mW@1 Gbit/s; 当负载电容为 8 pF 且打开预加重时, 一个通道的功耗为 19 mW@1Gbit/s, 输出电压摆幅为 350 mV, 输出共模电平为 1.21 V, LVDS 驱动电路的所有参数均满足标准协议。

关键词: 高速接口电路; 并串转换; 低压差分信号; 预加重

中图分类号: TN432 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2024.02.004

Interface Circuit Design for Infrared Large Array Data Transmission

CHEN Fang-qing

(Yantai IRay Technology Co., Ltd., Yantai 264000, China)

Abstract: Infrared large-area array (2560×2048) digital readout circuits require high-speed, low-power consumption, and strong driving capabilities for chip data interfaces. Using 0.18 μm complementary metal oxide semiconductor (CMOS) process, a 4:1 parallel-to-serial conversion circuit, a level translation circuit, and a low voltage differential signal (LVDS) driver circuit using pre-emphasis technology were designed. The parallel-to-serial conversion circuit adopts a double-edge sampling tree structure to reduce clock frequency, the level translation circuit adopts a positive feedback structure to improve the speed, and the LVDS driving circuit uses a pre-emphasis secondary path with programmable current to compensate for high-frequency components in the main path, ensuring driving capability and improving the integrity of high-speed signals. The data transmission rate of the interface can reach 1 Gbit/s, and when the load capacitance is 2 pF, the power consumption of one

收稿日期: 2023-10-25

作者简介: 陈方清(1995-), 男, 重庆人, 工程师, 主要从事红外读出电路方面的研究。

E-mail: 875283368@qq.com

channel is 15.8 mW@1 Gbit/s; When the load capacitance is 8 pF, with pre-emphasis turned on, the power consumption of one channel is 19 mW@1 Gbit/s, the output voltage swing is 350 mV, and the output common-mode level is 1.21 V. All parameters of the LVDS drive circuit meet the standard protocol.

Key words: high-speed interface circuit; parallel-to-serial conversion; low-voltage differential signal; pre-emphasis

0 引言

各波段的红外焦平面器件正朝着高分辨率、高帧频方向发展^[1]。对于数字型红外读出电路,上百万个像元通过片上集成的高速模数转换器(Analog-to-Digital Converter, ADC)将模拟信号转换成数字信号,然后将其输出到现场可编程门阵列(Field Programmable Gate Array, FPGA)进行处理。因此对读出电路芯片输出接口的速率提出了更高的要求。传统的 CMOS 并行接口电路已经满足不了大面阵红外焦平面读出电路对接口的速率要求, LVDS 电路具有速率高、抗共模干扰等特点^[2],可以有效解决上述问题。

2018 年,祝晓笑等^[3]基于 0.11 μm CMOS 工艺设计了一种适用于 CMOS 图像传感器的 LVDS 驱动电路。该电路在 3.3 V 电源电压下,数据传输速率为 500 Mbit/s。2020 年,岑懿群^[4]在红外焦平面数字化读出电路设计中基于 0.18 μm CMOS 工艺,采用像素级 ADC+LVDS 输出的架构(并串转换采用串行结构),设计了轻负载下速率为 1 Gbit/s 的发射端电路。

在上述研究的基础上,结合红外焦平面读出电路的传输速率和数据量,提出了红外读出接口电路的架构。该电路架构包括 4 个数据发射通道和 2 个时钟发射通道。在 6 个发射通道中,采用时钟树分配时钟,并共用 1 个共模反馈电压基准。每个发射通道包含 1 个并串转换电路、电平转换电路、预加重控制逻辑产生电路、LVDS 主体电路和预加重电路。

1 接口电路总体架构

红外焦平面读出电路芯片的整体架构如图 1 所示。焦平面产生的电流信号通过模拟前端

电路转换成电压信号,再经过 ADC 转换成数字信号;ADC 输出的低速并行数字信号经过并串转换变成高速串行数字信号,然后经过电平转换电路,由 LVDS 驱动电路传递给接收端芯片。红外焦平面阵列规模为 2560×2048 ,帧频为 30 Hz,转换级采用 14 位 ADC,数据量非常庞大,需达到 2.2 Gbit/s。针对 14 位数据,若每位分配一个引脚,则传输数据频率需达到 158 Mb/s。然而,普通的 1.8 V CMOS 数字接口很难满足这一要求。根据 LVDS 驱动器理论, LVDS 信号在无损传输时的最高速率为 665 Mbit/s^[5]。若改用 LVDS 接口传输数据,可将 14 位数据中每 4 位分配一对引脚,则每个通道的 LVDS 工作的速率仅需 632 Mbit/s。

2 接口电路设计

2.1 并串转换电路设计

并串转换电路可以将 ADC 输出的 14 路低速并行数据中的 4 路转换为 1 路高速串行数据。为了完成数据转换,需使用 4 个并串转换电路。对于多余的数据位,可以使用开头校验码进行补齐。4:1 的并串转换电路基于树形结构,采用两级双沿采样的 2:1 并行转串行转换设计,其电路结构如图 2 所示。

并串转换电路采用双沿采样,有效地降低了时钟频率。项目指标要求传输数据率为 632 Mb/s。为满足需求,最高时钟频率需为 316 MHz。该时钟可由锁相环产生,也可由接收端接收的时钟输入产生,并经过二分频后作为第二级树形结构的选通时钟。选择器的结构如图 3 所示,每个 2:1 并串转换单元由 5 个锁存器和选择器构成。第一路数据通过 2 个锁存器进行数据对齐,第二路数据通过 3 个锁存器对数

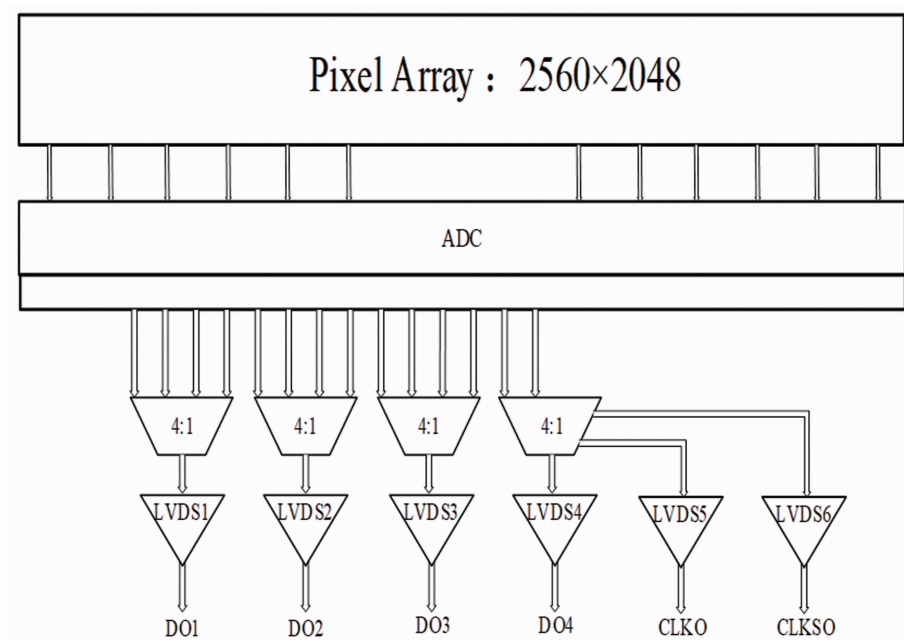


图 1 读出电路的整体架构

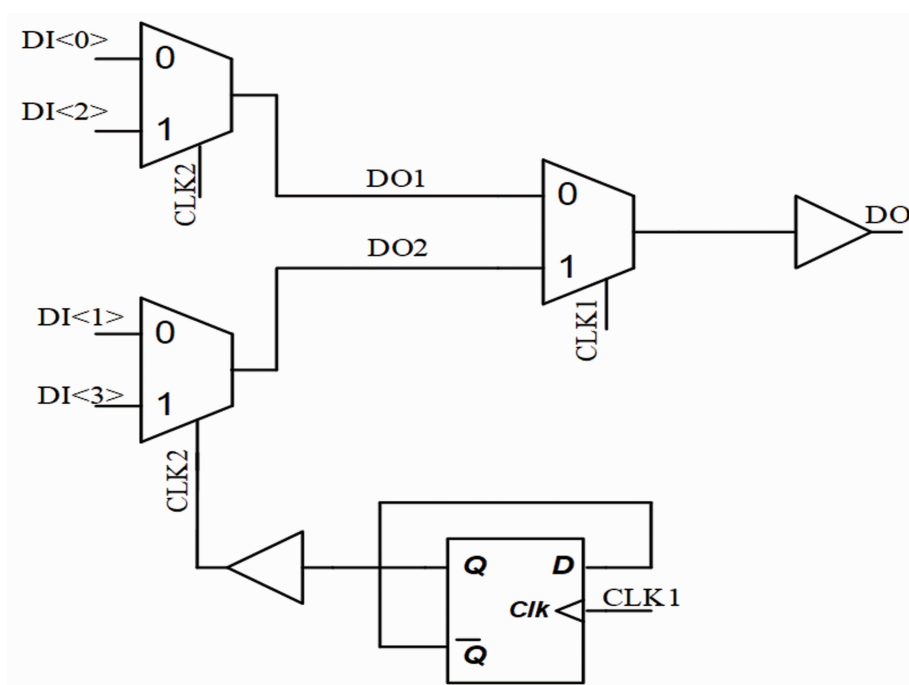


图 2 并串转换电路结构

据进行对齐。当两路数据到达选择器时，它们固定地错开半个周期，其相位关系严格由时钟边沿决定。选择器采用时钟的正负半周选通输出数据。

2.2 LVDS 电路设计

2.2.1 电平转换电路

为了节省功耗和提高速率，在设计基于标

准协议的 LVDS 驱动器时，采用了基于 1.8 V 的电源域设计。由于 IO 电压域为 3.3 V，因此需使用电平转换电路将 1.8 V 的信号转换为 3.3 V。电平转换电路采用了交叉耦合锁存结构^[6]，如图 4 所示。当输入 VINP 为低电平时，M0 截止；当输入 VINN 为低电压域的高电平时，足以使 M1 导通，从而使 VOUTP 为

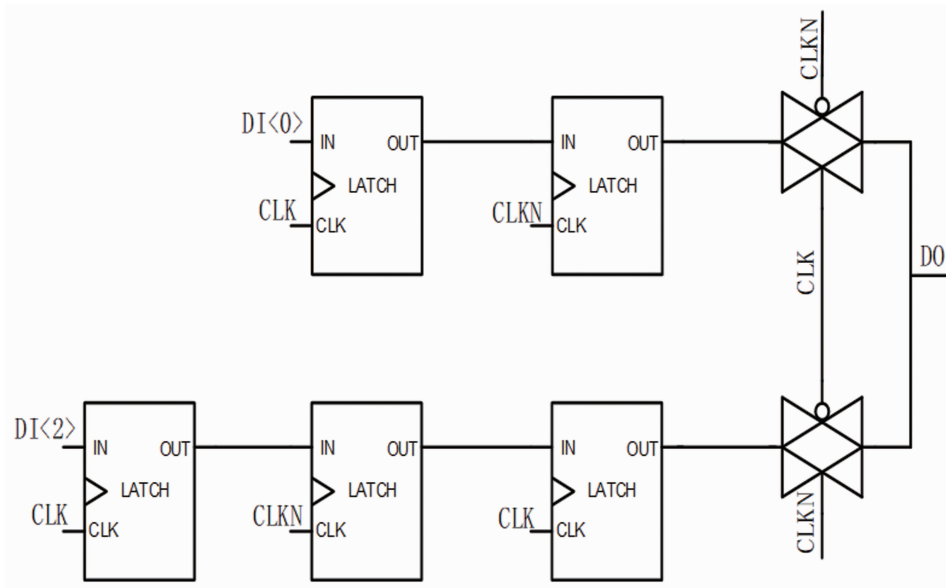


图 3 2:1 选择器的原理图

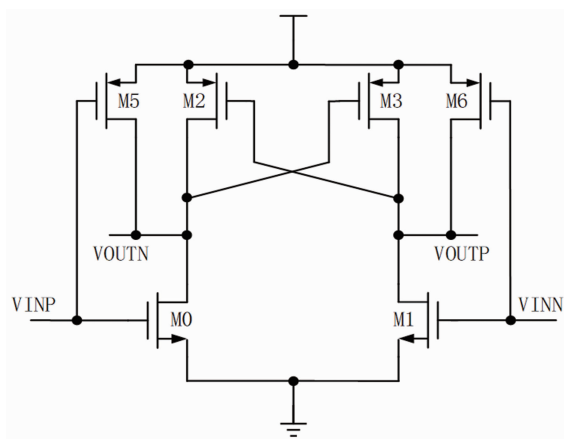


图 4 电平转换电路

低电平, 同时 M2 导通, 将输出 VOUTN 拉到高电压域电源电压。为了能改变输出状态, 下拉管 M0 和 M1 必须要抵消 M2 和 M3 的锁存作用, 因此 M0 和 M1 的管子尺寸必须比 M2 和 M3 大得多。这导致输出波形的上升时间变慢, 对占空比产生影响。为了解决这个问题, 在该结构上增加 M5 和 M6。当输入 VINP 为低电平时, M5 导通, 快速对 VOUTN 进行充电, 缩短了输出波形的上升时间, 从而改善了占空比。

2.2.2 LVDS 主驱动及共模反馈电路

LVDS 主驱动电路采用电流模结构, 由 NMOS 电流源和 PMOS 电流源以及两组开关和共模反馈电路构成(见图 5)。

VIP 和 VIN 是一对差分 CMOS 信号, 输出信号 VOP 和 VON 通过外部的 $100\ \Omega$ 电阻形成一个电流回路。当 VIP 为高电平、VIN 为低电平时, M0 和 M2 导通, M1 和 M3 截止, 电流从 VOP 经过外部电阻流向 VON, 产生 350 mV 的压降。当 VIN 为高电平、VIP 为低电平时, M1 和 M3 导通, M0 和 M2 截止, 电流从 VON 经过外部电阻流向 VOP, 产生 350 mV 的压降, 从而完成了从 CMOS 信号到 LVDS 信号的转换。

开关管的尺寸设计主要取决于导通阻抗和寄生电容。导通阻抗和负载电容的时间常数需满足 LVDS 工作频率的上升时间要求, 同时还需保证两个电流源管子处于饱和区。过大的开关管尺寸会增加输出端的寄生电容。这不仅需要更强的驱动能力, 而且也会影响工作速度。

由于 LVDS 的输出端直接连接芯片的引脚, 考虑到其静电保护 (Electro-Static Discharge, ESD) 性能, 在开关通路上增加二级防护电阻。通过将二级防护电阻与开关管串联后再并联, 使并联后的阻抗满足要求。

由于 N 沟道金属氧化物半导体 (N-channel Metal Oxide Semiconductor, NMOS) 电流源和 P 沟道金属氧化物半导体 (P-channel Metal Oxide Semiconductor, PMOS) 之间存在失配, 共模电

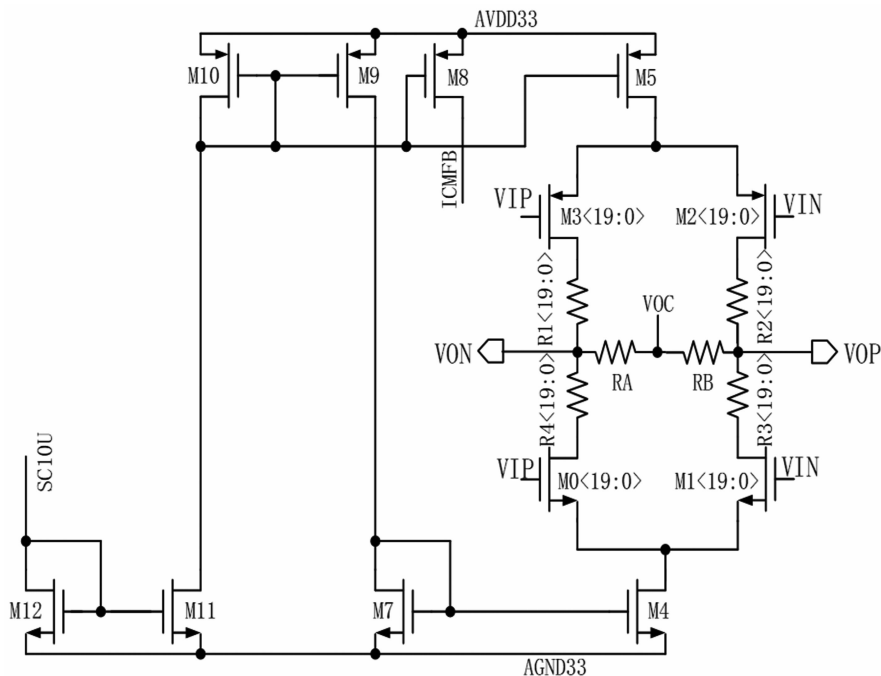


图 5 LVDS 驱动电路

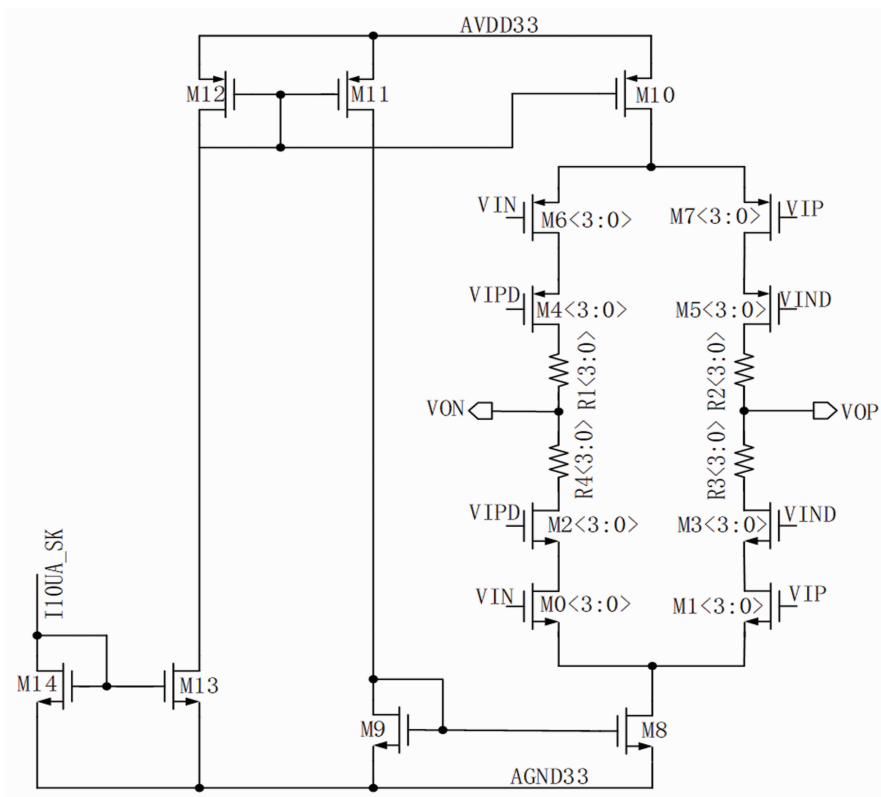


图 6 预加重电路

压无法稳定到一个精确值，因此需要采用共模反馈电路来稳定共模电压。共模反馈电路将 VOC 的电压值与带隙基准的输出电压进行比较，通过调节支路电流大小，达到动态平衡。

2.2.3 预加重电路

为了弥补信号在重负载传输过程中的高频损失，设计了预加重电路^[7]。其原理是通过增加信号发生跳转时的电流来减小信号翻转的建

立时间。预加重电路如图 6 所示。主驱动信号 VIN 和 VIP 经过延迟链产生延迟信号 VIND 和 VIPD, 分别控制预加重电流支路的 8 个开关。当 VIP 处于从高翻低的翻转时刻, VIND 在此时刻经过延迟时间后从低翻高。在延迟这段时间内, M5 和 M7 支路开关会打开, 同时 VIN 在从低翻高, VIPD 经过延迟时间后从高翻低, M0 和 M2 支路会同时打开。预加重电路向主驱动器提供额外的可配置电流, 以增加功耗的形式提升高速性能和高负载性能。主信号和延迟信号之间的延时时间和预加重电流可由配置位控制, 灵活针对不同负载情况。为保证 ESD 性能, 开关通路上增加了二级防护电阻。

3 仿真结果与分析

电路采用 Spectre 工具进行仿真验证, 并串转换电路在 500 MHz 时钟下将 4 路速率为 250 Mbit/s 的并行数据转换成 1 路 1 Gbit/s 的仿真结果(见图 7), 电路功耗仅为 720 μ W。

LVDS 驱动器的共模反馈环路在负载电容为 2~8 pF 的情况下, 各个工艺角、温度以及电源电压下的稳定性仿真结果如图 8 所示。典型情况下, 环路带宽为 43 MHz, 相位裕度为

68°, 环路增益为 76 dB。

当 LVDS 驱动器的负载情况为 ESD 负载电容、PAD 寄生电容以及外部负载电容为 2 pF 和 8 pF 时, 输入 1 Gbit/s 的伪随机码信号进行仿真。图 9 和图 10 展示了瞬态仿真结果波形和眼图。

图 9(a)展示了输出端口的共模电压和差分输出电压瞬态波形, 图 9(b)展示了差分输出电压的眼图。可以看出, 在负载电容为 2 pF 且未开启预加重时, 共模信号在信号翻转时的最大抖动为 20 mV, 差分信号摆幅为 320 mV, 眼高为 320 mV, 眼宽为 0.8 UI。在负载电容为 8 pF 且开启预加重时, 共模信号在信号翻转时的最大抖动为 30 mV, 差分信号摆幅为 350 mV, 眼高为 350 mV, 眼宽为 0.9 UI(见图 10)。该设计的 LVDS 驱动器在 1 Gbit/s 速率下符合 LVDS 协议标准。

4 结束语

本文采用 0.18 μ m CMOS 工艺设计了一种用于红外大面阵数字读出电路芯片的高速低功耗接口电路。所设计的并串转换电路将时钟频率降低了 50%, 大大降低了红外读出电路的

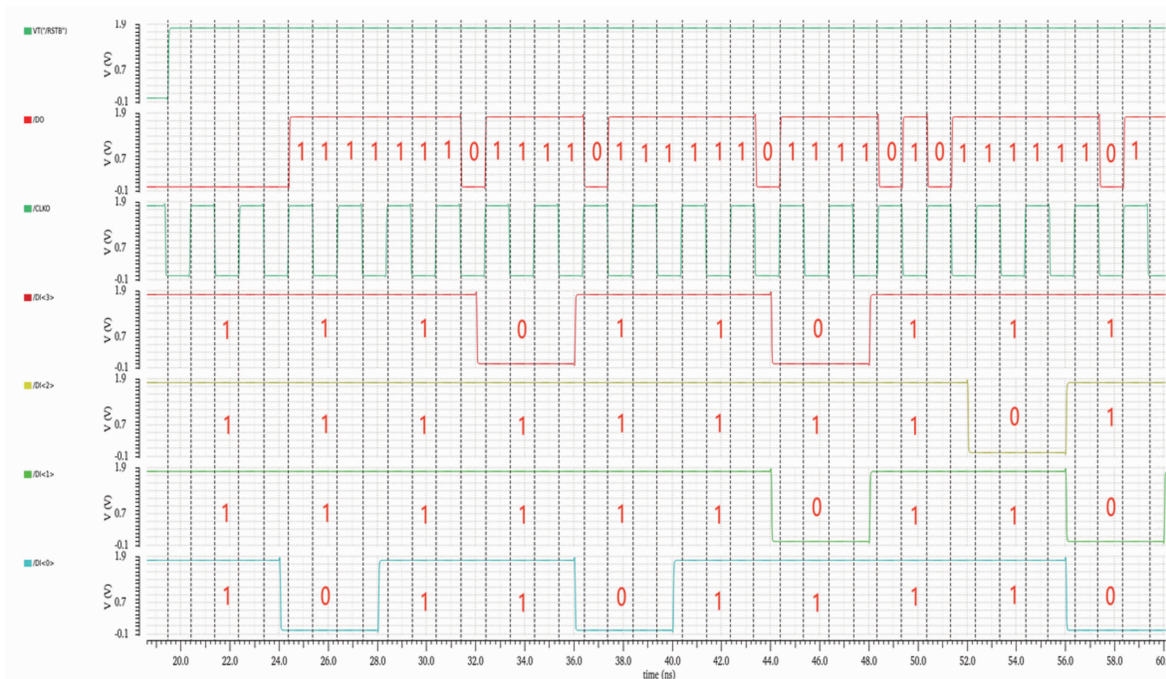


图 7 4 路 250 Mbit/s 并行转 1 路 1 Gbit/s 串行的仿真结果

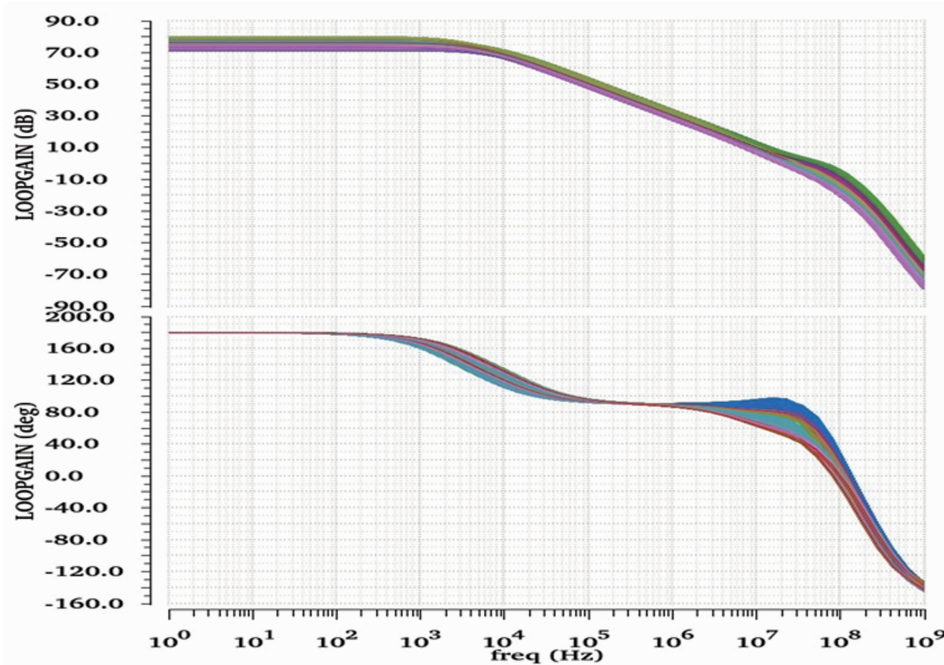


图 8 共模反馈环路的稳定性仿真结果

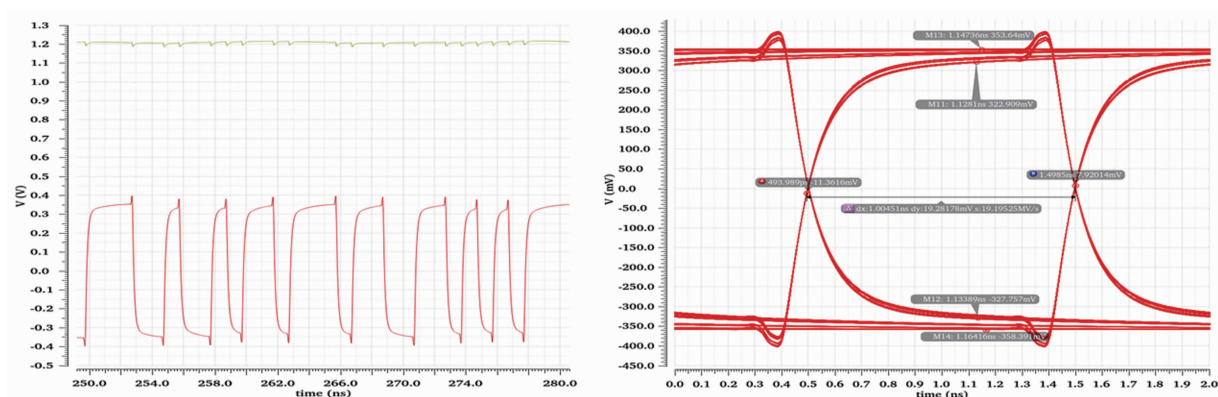


图 9 负载电容为 2 pF 且未开预加重时输入 1 Gbit/s 的伪随机码信号: (a) LVDS 驱动器的输出波形; (b) 输出眼图

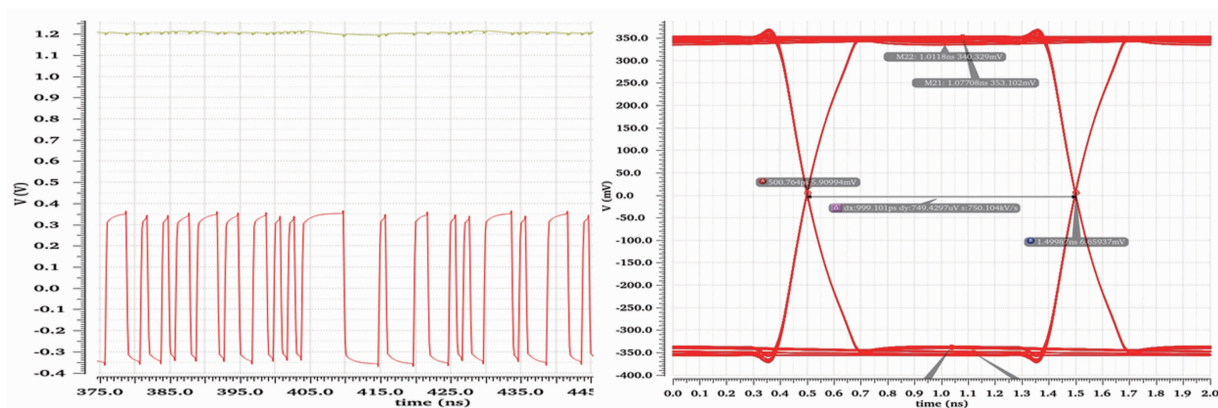


图 10 负载电容为 8 pF 且打开预加重时输入 1 Gbit/s 的伪随机码信号: (a) LVDS 驱动器的输出波形; (b) 输出眼图

整体功耗。LVDS 驱动电路采用可编程电流大小的预加重副通路对主通路进行高频分量补偿, 以确保驱动能力和提升高速信号的完整性。LVDS 驱动器的最高工作速率为 1 Gbit/s, 满足了红外大面阵对传输速率的要求, 而且在此条件下眼图质量良好, 所有参数均符合标准协议。虽然目前所设计的接口电路功耗比传统结构低, 但仍有改进的空间。下一步的工作将着重于提高传输速率和降低红外读出接口电路的功耗。

参考文献

- [1] 何力, 胡晓宁, 丁瑞军, 等. 第三代红外焦平面基础技术的研究进展 [J]. 红外与激光工程, 2007, **36**(5): 696–701.
- [2] 马建国, 张禹, 刘纪洲. 图像采集系统中 LVDS 信号交流耦合传输设计 [J]. 激光与红外, 2016, **46**(11): 1404–1407.
- [3] 祝晓笑, 翟江峰, 赵洋立, 等. 一种 CMOS 图像传感器片上 LVDS 驱动电路设计 [J]. 半导体光电, 2018, **39**(5): 627–633.
- [4] 岑懿群. 红外焦平面数字化读出电路关键技术的研究 [D]. 上海: 中国科学院上海技术物理研究所, 2020.
- [5] Telecommunications Industry Association/ Electronic Industries Alliance. Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits [S]. TIA/EIA-644A, 2001.
- [6] Koo K H, Seo J H, Ko M L, et al. A New Level-up Shifter for High Speed and Wide Range Interface in Ultra Deep Sub-micron [C] Kobe: 2005 IEEE International Symposium on Circuits and Systems (ISCAS), 2005.
- [7] Lee S C. Design of LVDS Driver Based CMOS Transmitter for a High Speed Serial Link [C] Kyoto: 2010 International Conference on Electronics and Information Engineering, 2010.