

文章编号: 1672-8785(2024)01-0012-08

7.5 μm 像元间距红外探测器 三维电极的制备与应用

王格清¹ 申 淙² 冯晓宇¹ 张 轶¹

(1. 华北光电技术研究所, 北京 100015;

2. 中国电子科技集团公司第四十五研究所, 北京 100176)

摘 要: 采用现有读出电路电极生长设备和直写式光刻设备开发了三维电极的制备工艺。在制备过程中, 首先在读出电路表面制备三维电极, 在碲镉汞芯片端生长钢饼, 然后通过倒装互连工艺可以实现 7.5 μm 像元间距的 1k $\times$ 1k 碲镉汞芯片与读出电路的互连。可变参数包括金属生长角度、生长速率、生长厚度以及金属种类等。经研究发现, 通过该工艺制备的 7.5 μm 像元间距的三维电极高度可达到 3.8 μm , 高度非均匀性小于 3%, 可以经受 7.6×10^{-5} N 的压力。三维电极的应用, 降低了倒装互连工艺对 HgCdTe 芯片平坦度和互连设备精度的要求, 大幅提高了 7.5 μm 像元间距红外探测器的互连成品率。

关键词: 碲镉汞; 7.5 μm 像元间距; 三维电极

中图分类号: TN215 文献标志码: A DOI: 10.3969/j.issn.1672-8785.2024.01.002

Preparation and Application of Three-Dimensional Micro-Tubes for 7.5 μm -Pitch Infrared Detectors

WANG Ge-qing¹, SHEN Cong², FENG Xiao-yu¹, ZHANG Yi¹

(1. North China Research Institute of Electro-Optics, Beijing 100015, China;

2. The 45th Research Institute of China Electronics Technology Group Corporation, Beijing 100176, China)

Abstract: A fabrication process for three-dimensional micro-tubes was developed using existing readout circuit electrode growth equipment and direct-write photolithography system. In the preparation process, the three-dimensional micro-tubes were first prepared on the surface of the readout circuit. The indium bumps were grown on the HgCdTe chip, and then flip-chip bonding was used to achieve interconnections between the 1k $\times$ 1k array HgCdTe chip with 7.5 μm pitch and the readout circuit. The controllable parameters include metal growth angle, growth rate, thickness, and metal type, etc. It is found that the height of the three-dimensional micro-tubes with 7.5 μm pitch prepared by this process can reach 3.8 μm , the height non-uniformity is less than 3%, and it can withstand the pressure of 7.6×10^{-5} N. The application of the three-dimensional micro-tubes reduces the requirements for the flatness of HgCdTe chips and the precision of interconnection equipment in the flip-chip bonding process, significantly improving the yield of interconnected infrared detectors

收稿日期: 2023-06-22

作者简介: 王格清(1995-), 女, 河北保定人, 助理工程师, 主要从事红外探测器器件技术研究。

E-mail: wanggeqing@163.com

with 7.5 μm pitch.

Key words: HgCdTe; 7.5 μm pitch; micro-tube

0 引言

随着各类小型化自动武器装备在战场上被高频使用,并获得了大量战果,此类装备的国防需求不断增长。同时红外探测器制造技术不断提高,低成本、小型化、低功耗(Size, Weight and Power reduction, SWaP)已经成为第三代碲镉汞红外探测器的重要发展方向^[1-3]。目前国外部分产品已经进入市场,并逐渐成为主流 SWaP 产品。为了适应市场及国防需求的变化,需要研制像元间距为 7.5 μm 、面阵规模为 $1\text{k}\times 1\text{k}$ 的碲镉汞中波红外探测器。但在研制过程中,读出电路与碲镉汞芯片倒装互连工艺的成品率极低,导致无法制备出性能满足需求的探测器。如何高质量完成 7.5 μm 像元间距读出电路与碲镉汞芯片倒装互连工艺,是探测器研制过程中的关键技术难点。

1 技术难点

在探测器的研制过程中,由于碲镉汞光敏芯片表面起伏较大,倒装互连设备在调平过程

中不可避免地存在一定的微小误差。另外,由于像元间距较小,设备对准误差的负面影响也无法被忽略。这些因素大幅提升了 7.5 μm 像元间距探测器的倒装互连工艺对钢凸点技术参数要求。为了保证探测器倒装互连工艺的成品率,需要在 7.5 μm 像元间距读出电路的位点上制备出具有较大高度且高度均匀性好的钢凸点。这对读出电路钢凸点制备工艺提出了巨大的挑战^[4-9]。

受下列因素的制约,钢凸点阵列的高度及其均匀性很难提升:首先,为了将无用的金属钢完全剥离,需要光刻胶的厚度大于所生长的金属层厚度的 2 倍。其次,钢凸点在倒装互连过程中会因发生形变而宽度增加。为了避免相邻钢凸点发生连接,需要保证钢凸点间留有足够的间隙。然而,探测器的像元间距只有 7.5 μm ,因此可用于制备钢凸点的空间极为狭小。在上述条件的限制下,7.5 μm 像元间距光刻图形的尺寸和光刻胶的厚度之间产生了不可调和的矛盾。

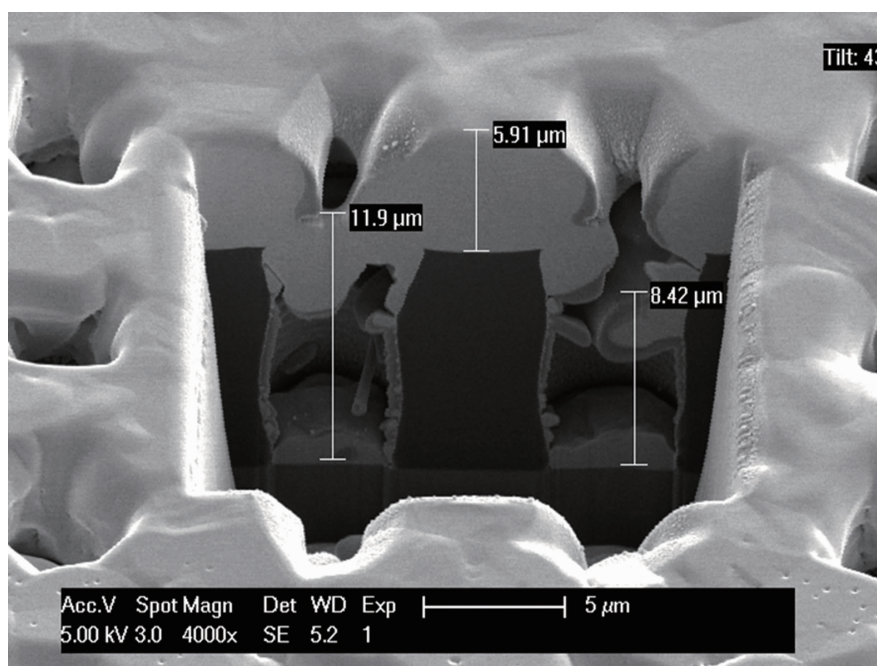


图 1 劣质钢凸点的扫描电镜图

在 $10\ \mu\text{m}$ 像元间距条件下, 虽然可以通过光刻制备出尺寸更大的钢凸点生长结构, 但在金属钢生长过程中还是会发生少量生长结构堵塞现象, 导致此处制备的钢凸点高度无法达到设计值, 并且与周围钢凸点高度差异很大(见图 1)。当像元间距降低至 $7.5\ \mu\text{m}$ 时, 可制备的钢凸点生长结构尺寸更小, 更易发生生长结构堵塞现象。因此制备出的钢凸点高度和高度均匀性均无法满足倒装互连工艺的要求。带有此类钢凸点的读出电路与碲镉汞芯片倒装互连后, 会产生大量盲元, 导致制备出的探测器性能无法满足应用需求。

为了增加钢凸点高度的均匀性, 可以在钢凸点下制备直径小于钢凸点的圆形凸点下金属层(Under Ball Metal, UBM), 然后采用“起球工艺”将钢凸点回融成钢球, 从而降低钢凸点高度差异。但是读出电路的像元接触孔多为 $2\ \mu\text{m} \times 2\ \mu\text{m}$ 的方孔, 其对角线长度为 $2.82\ \mu\text{m}$, 几乎与 UBM 直径相同。因此留给光刻工艺的套刻误差余量极为有限, 同时还需要保证 UBM 的一致性。当 UBM 不能完全覆盖电路像元接触孔时, 探测器的性能稳定和长期可靠性会受到影响。UBM 直径的差异会降低钢凸点的高度均匀性。过小的 UBM 会使钢凸点回融成球后不易粘附在读出电路表面, 容易脱落, 形成盲元。综上所述, $7.5\ \mu\text{m}$ 像元间距的 UBM 制备工艺也存在诸多难点。

在满足上述条件后, 钢凸点倒装互连的技术路线还要求倒装互连工艺全过程保持很高的调平、对准精度, 否则微小的设备误差即会导致互连失败。其原因在于: 当电路钢凸点高度不够时, 一旦碲镉汞芯片平坦度稍差或者互连设备的误差使碲镉汞芯片与读出电路之间存在微小的角度, 就会导致倒装互连失败, 芯片出现大面积区域性盲元。而且钢凸点高度差异大, 使得绝大部分像元与钢凸点完成连接后仍有部分像元由于钢凸点高度不足没有实现连通, 导致盲元数量大幅增

加。因此, 如何在 $7.5\ \mu\text{m}$ 像元间距的读出电路上制备出高度合适且均匀性好的钢凸点, 是 $7.5\ \mu\text{m}$ 像元间距碲镉汞红外探测器研制的重要技术难题。此项技术的突破, 可以大幅提升小间距碲镉汞红外探测器倒装互连工艺的成品率, 进而提高探测器的整体良率。

2 三维电极的制备与应用

由于钢凸点技术路线存在诸多难点, 很难实现读出电路与碲镉汞芯片互连。为了降低 $7.5\ \mu\text{m}$ 像元间距探测器的倒装互连工艺难度, 提升探测器的良品率, 需要开发三维电极互连技术路线^[10]。此技术路线如下: 首先在 $7.5\ \mu\text{m}$ 像元间距的读出电路上制备三维电极, 然后在碲镉汞芯片上制备小高宽比的钢饼, 最后通过倒装互连工艺完成读出电路与碲镉汞芯片的互连导通。综合考虑制备工艺的困难和工艺稳定性, 三维电极的设计高度可以达到 $4\ \mu\text{m}$, 且直径为 $2.5 \sim 3.5\ \mu\text{m}$; 钢饼的设计厚度为 $2.5\ \mu\text{m}$, 尺寸为 $5\ \mu\text{m} \times 5\ \mu\text{m}$ 。理论上, 三维电极和钢饼的总高度可达 $6.5\ \mu\text{m}$ 左右。此高度足以弥补碲镉汞芯片表面起伏和互连设备的误差, 完全满足 $7.5\ \mu\text{m}$ 像元间距探测器的倒装互连工艺需求。在倒装互连工艺过程中, 三维电极不会因压力而发生膨胀。而且由于三维电极的侧壁厚度很小, 其与钢饼互连时会插入钢饼, 因此连通后不会使钢饼宽度增加, 从而降低了工艺对互连设备调平、对准精度的要求。

经过仿真计算, 对钢凸点互连位点与三维电极互连位点的应力分布进行比较。计算结果表明, 两种互连结构的温度从室温降低至 $77\ \text{K}$ 的过程中, 产生的热应力极值相当, 均为 $1300\ \text{MPa}$ 左右。但是钢凸点与碲镉汞芯片和读出电路接触的两端均存在高应力集中区域。而三维电极的高应力集中区域仅存在于读出电路端, 如图 2 所示。因此可以推断三维电极互连技术路线使探测器的长期可靠性更高。

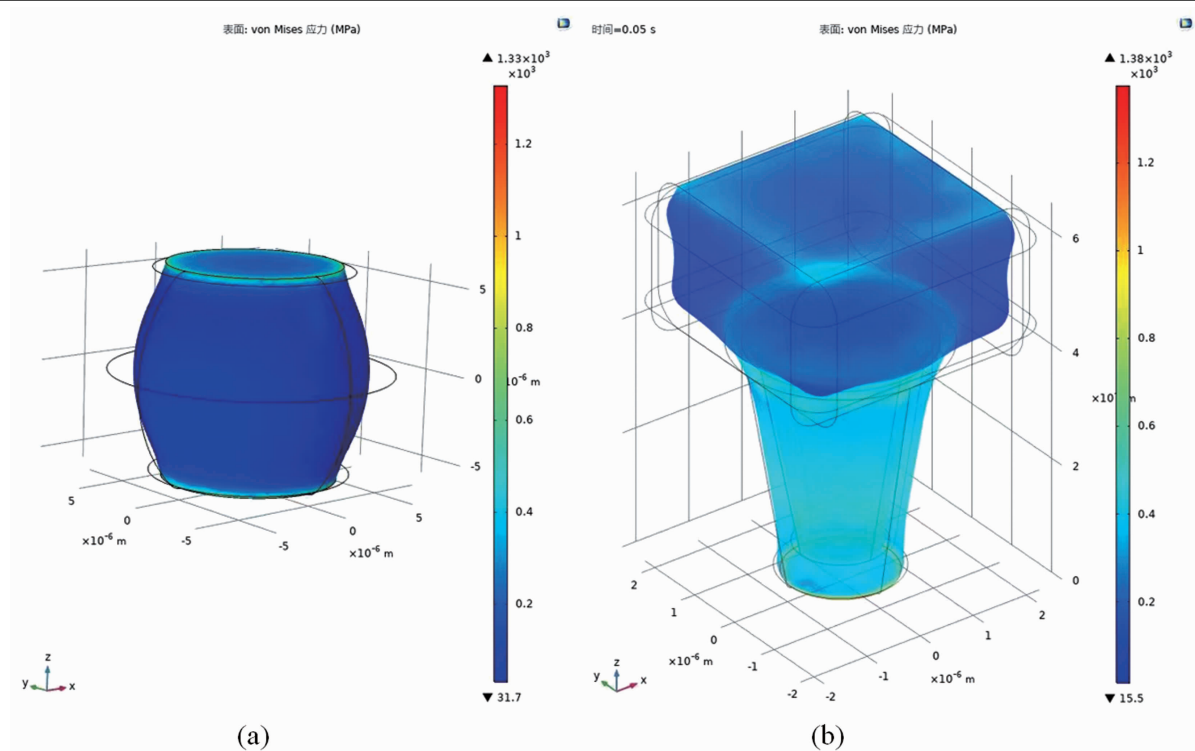


图 2 应力仿真结果: (a)钢凸点互连位点; (b)三维电极互连位点

为了在读出电路表面制备出高质量的三维电极, 首先需要在其表面完成高质量的大深宽比光刻图形转移, 并且保证图形在后续金属生长过程中不会由于温度升高而发生形变, 使最终金属电极的形貌符合初始设计。常规光刻工艺过程中, 光刻胶曝光后烘烤的主要目的是光刻消除驻波效应, 因此普遍时间设置较短。但为了提升光刻图形强度, 需要适度延长曝光后的烘烤过程。这样不仅可以充分消除光刻图形的驻波效应, 同时使光刻胶溶剂有效挥发, 提升光刻胶的强度。

在光刻胶显影后光刻图形已经形成, 此时再次进行长时间高温烘烤会导致光刻图形顶部与底部光刻胶溶剂的挥发速率不同, 使光刻图形发生形变。因此需要特殊设计光刻胶曝光显影后的烘烤过程, 均衡释放光刻图形各个部分的光刻胶溶剂, 从而避免大深宽比光刻图形发生形变, 同时提升光刻图形的坚固程度。所以可将长时间曝光显影后的烘烤过程分割成多个高温烘烤阶段, 并加入多个不同温度的低温保持过程, 进而释放由于光刻胶溶剂挥发导致的

内部应力, 防止发生龟裂和变形。最后待光刻图形自然降温至室温后, 再进行后续工艺。

通过此方法制备的光刻图形具有深宽比大、侧壁陡直度高、图形在高温环境下不易变形的优点, 可以保证在后续的金属生长和离子刻蚀工艺过程中光刻图形不发生形变, 最终制备出几何尺寸与设计值相近的三维电极。

三维电极的具体制备过程如下: 在待制备三维电极的读出电路表面使用上述优化的光刻工艺, 制备出预先设计好的高深宽比三维电极图形; 然后在光刻图形表面上, 按照预先设计生长一定厚度的多种金属复合膜层; 使用离子铣选取合适的刻蚀角度, 对读出电路表面的复合金属膜层进行刻蚀, 断开三维电极与表面多余金属的连接部分; 最后将读出电路放入 80℃ 的 N-甲基吡咯烷酮(NMP)中浸泡, 使用剥离工艺完成三维电极的制备(见图 3)。上述所有工艺过程均需控制温度, 全过程中读出电路表面的温度必须低于 90℃。

读出电路加工过程中经常使用的金属有 Cu、Sn、Ag、Al 等。这些金属所制备的结构

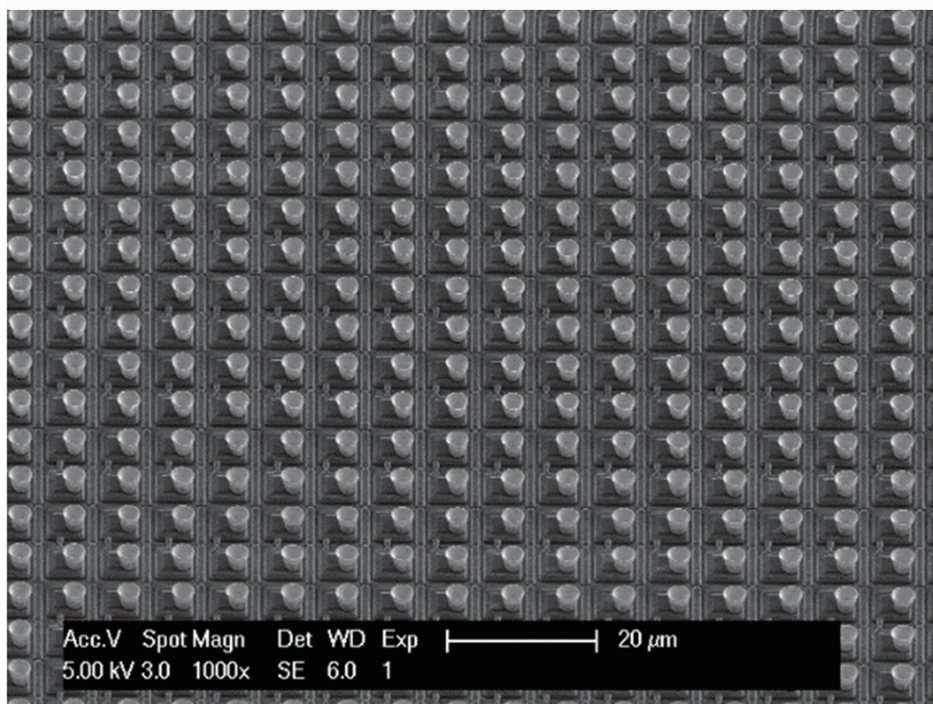


图 3 三维电极阵列的扫描电镜图

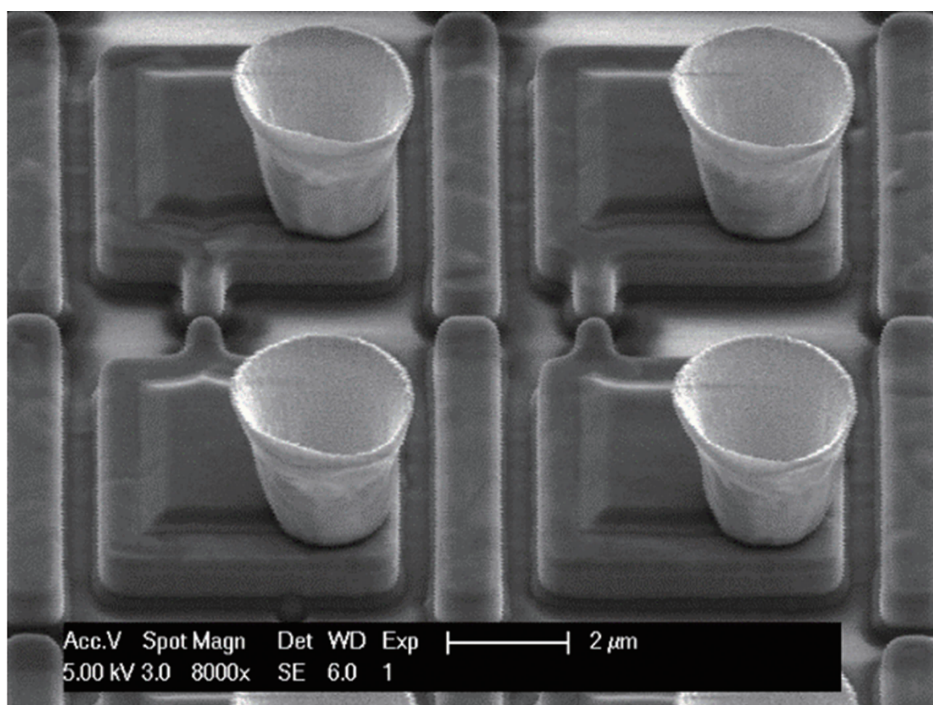


图 4 由 Cu、Sn、Ag、Al 组成的三维电极的扫描电镜图

与读出电路表面具有很高的粘附性，并且不会造成读出电路性能损伤。因此，为了兼顾三维电极在读出电路上的牢固程度和强度，可以选取 Cu、Sn、Ag、Al 等多种金属组合成复合膜层来制备三维电极。根据三维电极组成金属的

不同，适当调整离子刻蚀工艺参数。最终制备出的三维电极高度可达到 $3.8\ \mu\text{m}$ (见图 4)，高度非均匀性小于 3%。与碲镉汞芯片表面铟饼互连后，可形成高度约为 $5\ \mu\text{m}$ 的结构 (见图 5)。

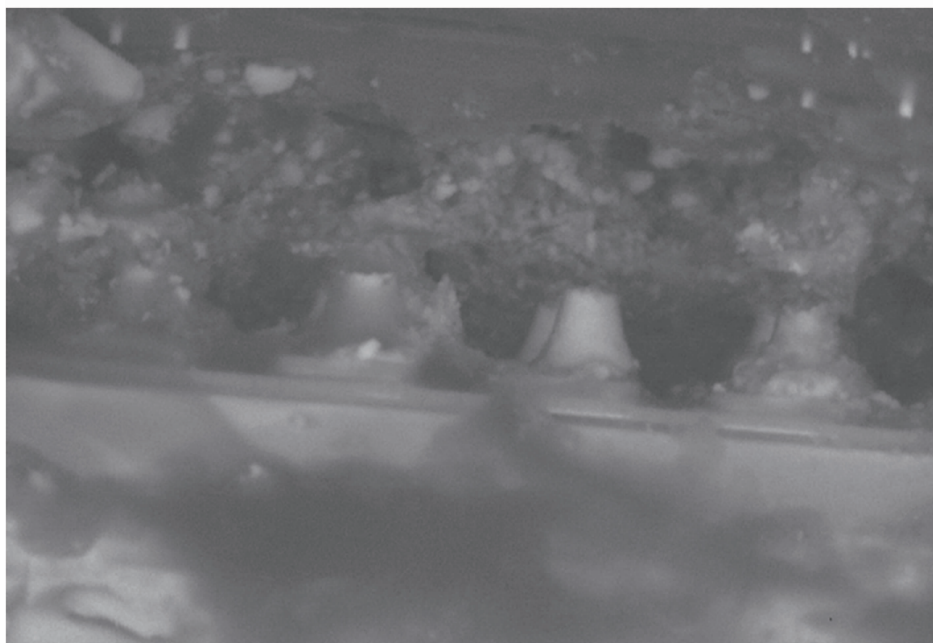


图 5 多金属层三维电极互连效果

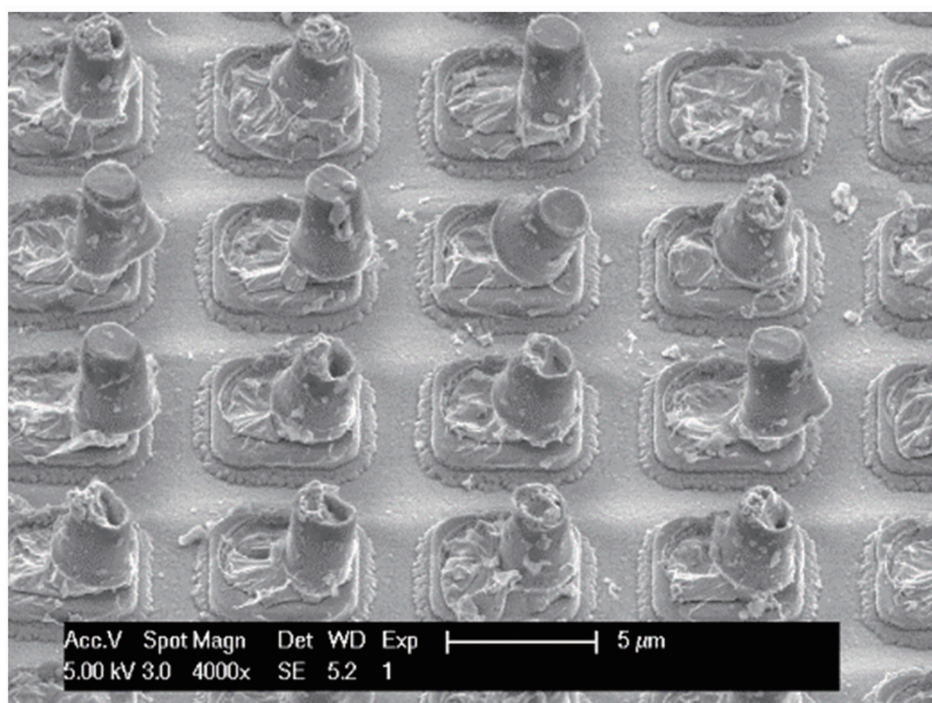


图 6 与芯片分离后的读出电路

倒装互连完成后,将样品切片。使用扫描电镜(Scanning Electron Microscope, SEM)观察发现,将带有三维电极的读出电路与碲镉汞芯片进行互连的过程中,由于仅三维电极的顶部边缘与钢饼表面接触,并且三维电极的强度远大于钢饼,因此随着互连压力的增加,三维电

极会插入钢饼体内(见图 5),实现高强度连通。三维电极与钢饼的接触面积远小于钢凸点技术路线,相同的互连压力可以产生更大的压强,因此探测器完成互连所需的压力大幅下降。互连压力的降低,有利于对碲镉汞芯片的保护,降低其在互连工艺过程中被损坏的概率。

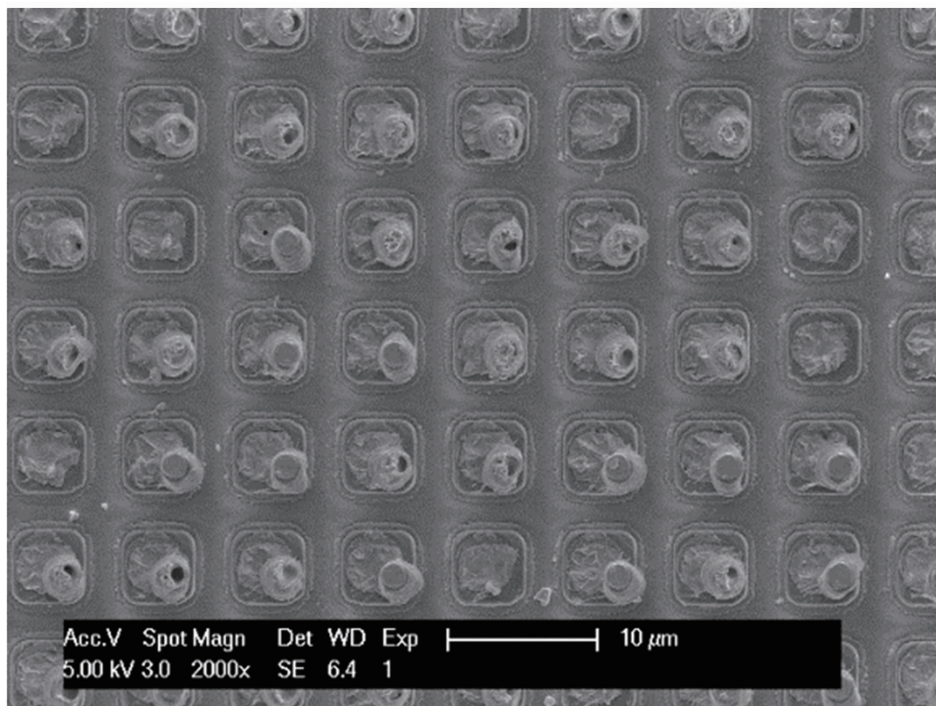


图 7 三维电极与钢并未对准

样品倒装互连完成后, 经过高温回流, 使互连位点的金属钢和三维电极形成互融, 互连位点进一步得到了加固。此后, 为了便于观察互连工艺的实际效果, 使用物理方法将碲镉汞芯片与读出电路分离。通过 SEM 观察发现, 读出电路和碲镉汞芯片表面上的三维电极仍能保持完整。经计算可得, 单个三维电极在经受 7.6×10^{-5} N 的压力并对钢饼产生约 2.64×10^7 Pa 的压强后, 仍然能保持形态完整。这充分说明多金属层三维电极具有很高的强度, 经过互连回流工艺后不会形变(见图 6)。与此同时, 有些三维电极受限于互连设备的精度, 并未与碲镉汞芯片的钢饼中心对准, 但是三维电极与钢饼连接的牢固程度没有受到影响。而且像元位置仍然实现了连通, 相邻像元之间也没有发生连接, 因此整体像元连通率并没有受到影响。这表明三维电极互连技术路线可以弥补互连设备误差对芯片连通造成的负面影响, 降低倒装互连工艺对精度的需求, 提升探测器互连工艺的稳定性 and 成品率(见图 7)。

3 结束语

综上所述, 利用三维电极互连技术路线可

以制备出高度和高度均匀性均满足倒装互连工艺需求的 $7.5 \mu\text{m}$ 像元间距互连位点。碲镉汞芯片与读出电路完成倒装互连后, 互连位点的强度满足需求。对比钢凸点互连技术路线, 三维电极互连技术路线需要的互连工艺精度、实现难度大幅降低, 可以保证实现较高的工艺成品率和工艺稳定性。通过仿真模型可以看出, 三维电极互连技术路线减少了互连位点在降温过程中的高应力集中区域, 有利于提高 $7.5 \mu\text{m}$ 像元间距红外探测器的性能稳定性和长期可靠性。三维电极的上述优势, 使得此技术路线可以继续向 $5 \mu\text{m}$ 像元间距发展, 为更小像元间距探测器的研制提供了技术基础。其在小间距、超大面阵、垂直集成等多类型碲镉汞红外探测器的研制过程中广泛应用, 可以大幅降低此类探测器的倒装互连工艺难度, 进而提升探测器的成品率。

参考文献

- [1] Rogalski A. Next Decade in Infrared Detectors [C]. *SPIE*, 2017, **10433**: 1–25.
- [2] Rogalski A. Infrared Detectors: An Overview [J]. *Infrared Physics and Technology*, 2002, **43**

- (3): 187–210.
- [3] Chorier P. Sofradir Latest Developments for Infrared Space Detectors [C]. *SPIE*, 2011, **8012**: 34–38.
- [4] 张轶, 刘通, 张鹏, 等. 小间距红外探测器读出电路钢凸点制备技术 [J]. *激光与红外*, 2020, **50**(8): 981–984.
- [5] Tian Y, Liu C, Hutt D, et al. Electrodeposition of Indium Bumps for Ultrafine Pitch Interconnections [J]. *Electron Mater*, 2014, **43**(2): 594–603.
- [6] Zhong Y P, Yuan H H, Ju G H. Design of ROIC for Long Wave Photoconductive Detector with Nonuniformity Correction [J]. *Infrared and Laser Engineering*, 2018, **47**(1): 104001.
- [7] Ploetner M, Sadowski G, Rzepka S, et al. Aspects of Indium Solder Bumping and Indium Bump Bonding Useful for Assembling Cooled Mosaic Sensors [J]. *Microelectron Int*, 1991, **8**(2): 27–30.
- [8] Jiang J, Tsao S, O'Sullivan T, et al. Fabrication of Indium Bumps for Hybrid Infrared Focal Plane Array Applications [J]. *Infrared Physics and Technology*, 2004, **45**(2): 143–151.
- [9] Zhang Y, Niu J F, Zhang P, et al. Development of a New Indium Bump Fabrication Method for Large-area HgCdTe Detector [C]. *SPIE*, 2020, **11563**: 1–4.
- [10] 张轶, 刘世光, 张敏, 等. HgCdTe 红外探测器芯片微管电极的制备与应用 [J]. *激光与红外*, 2019, **49**(11): 1350–1352.