

文章编号: 1672-8785(2023)02-0018-06

原位退火对 Si 基 CdTe 材料的 位错抑制研究

李 震 王 丹 高 达 邢伟荣

(华北光电技术研究所, 北京 100015)

摘 要: 硅与碲镉汞之间的外延碲化镉缓冲层能够减小外延过程中产生的高达 10^7 cm^{-2} 的位错密度, 高温热退火是抑制材料位错的有效方法之一。传统的离位退火技术会导致工艺不稳定和杂质污染等, 而原位退火则可有效解决这些问题。利用原位退火技术对分子束外延生长的硅基碲化镉材料进行了位错抑制研究。对厚度约为 $9 \mu\text{m}$ 的碲化镉材料进行了 6 个周期不同温度的热循环退火, 并阐释了不同退火温度对硅基碲化镉材料位错的抑制效果。采用统计位错腐蚀坑密度的方法对比了退火前后材料的位错变化。可以发现, 在退火温度为 520°C 时, 位错密度可以达到 $1.2 \times 10^6 \text{ cm}^{-2}$, 比未进行退火的 CdTe 材料的位错密度降低了半个数量级。

关键词: 原位退火; 碲化镉; 位错密度

中图分类号: TN214 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2023.02.004

Study on Dislocation Suppression of Si-based CdTe Materials by In-situ Annealing

LI Zhen, WANG Dan, GAO Da, XING Wei-rong

(North China Research Institute of Electro-Optics, Beijing 10015, China)

Abstract: The epitaxial CdTe buffer layer between silicon and HgCdTe can reduce dislocation density of up to 10^7 cm^{-2} generated during epitaxial process. High-temperature thermal annealing is one of the effective methods to suppress dislocations in materials. The traditional out of place annealing technology will lead to process instability and impurity pollution, and in-situ annealing can effectively solve these problems. Dislocation suppress of Si-based CdTe grown by molecular beam epitaxy (MBE) was studied using in-situ annealing technique. The CdTe material with a thickness of about $9 \mu\text{m}$ was subjected to six cycles of thermal cycling annealing at different temperatures. The effect of different annealing temperatures on the dislocation suppression of Si-based CdTe material was explained. Statistical dislocation etch-pits density method was used to compare the dislocation changes of materials before and after annealing. It can be found that the dislocation density can reach $1.2 \times 10^6 \text{ cm}^{-2}$ when the annealing temperature is 520°C , which is 0.5 orders of magnitude lower than that of the CdTe material without annealing.

Key words: in-situ annealing; cadmium telluride; dislocation density

收稿日期: 2022-09-05

作者简介: 李震(1995-), 男, 北京人, 助理工程师, 主要从事分子束外延硅基碲镉汞方面的研究。

E-mail: liyuif@outlook.com

0 引言

第三代碲镉汞(HgCdTe)红外焦平面器件已经发展到了 $4k \times 4k$ 的规模^[1-2]。为实现该技术的进一步发展并满足更大面积以及高晶体质量的 HgCdTe 材料需求, 需要不断提升外延 HgCdTe 工艺水平。对于大规模高性能的红外焦平面探测器来说, Si 是制备 HgCdTe 探测器的优质材料之一, 其巨大的优势就是成本低、可用面积大。国内 Si 基 CdTe/HgCdTe 材料的研究最早开展于 2000 年初, 主要集中在 CdTe 材料湿化学清洗、晶格失配解决方案、退火优化方案等方面。而在 Si 与 HgCdTe 之间的外延 CdTe 缓冲层能够降低 Si 与 HgCdTe 之间达 19.3% 的晶格失配, 减小外延过程中产生的高达 10^7 cm^{-2} 的位错密度^[3]。降低 HgCdTe 位错的主要方法之一就是降低由 CdTe 延伸到 HgCdTe 的位错, 因此需要优先解决 CdTe 材料的位错问题。

退火是材料在经历加热、保温和冷却这一过程中改变组织结构、优化材料性能的一种热处理工艺^[4]。Yamaguchi M 等人^[5]解释了高温退火是抑制材料体内位错的有效方法之一。CdTe 外延层能直接影响退火对材料位错的抑制作用。由于 HgCdTe 材料制备过程中 CdTe/Si 外延层生长完成后还需在生长室中生长 HgCdTe 层, 采用传统的离位退火技术将面临工艺不稳定和杂质污染问题, 且不可稳定生长。而采用原位退火技术可以有效地避免离位退火带来的问题, 并保证外延工艺可持续, 因而被广泛使用于材料制备工艺。

前期的研究表明, 退火温度过高或过低都会导致样品最终结果较差。温度的选取要兼顾 CdTe 材料的表面形貌与晶体质量, 并在退火的同时进行一定的 Te 或 CdTe 束流保护, 以降低温度对材料表面质量的影响。退火次数对薄膜的影响也较大, 既要达到改善薄膜结构和提高性能的效果, 又要防止薄膜中的元素组分流失。

本文主要使用分子束外延(Molecular Beam

Epitaxy, MBE)技术在 CdTe/Si 外延层生长完成后直接进行原位退火工艺, 研究热循环退火(Thermal Cycle Annealing, TCA)对材料位错的抑制作用。采用 TCA 工艺对 CdTe/Si 外延层进行 6 个周期的循环退火(最适宜的退火温度为 $490 \sim 550^\circ\text{C}$)^[6]。循环退火次数的选择主要考虑退火完成后材料的 X 射线双晶衍射半峰宽(Full Width at Half Maximum, FWHM)与晶粒的大小变化。对完成退火的 CdTe/Si 外延层进行膜层厚度、表面平整度和 FWHM 等外形、表面质量参数的表征。通过材料位错腐蚀坑密度(Etch-Pits Density, EPD)的变化研究 TCA 技术对 Si 基 CdTe 材料的位错抑制。

1 实验

1.1 材料生长

实验使用双温区加热的分子束外延生长系统, 将衬底直接放置在钼托上。在 3 in Si (211) 晶圆表面经过高温脱附、As 钝化和 ZnTe 缓冲层生长后^[7], 继续生长厚度约为 $9 \mu\text{m}$ 的 CdTe 外延层。其厚度根据前期的外延实验结果确定。在不考虑材料利用率等情况下, 外延厚度越厚, 材料性能越好。图 1 为 CdTe 外延过程的示意图^[8]。Si 衬底经过低温除气和高温脱氧后, 外延厚度约为 $30 \sim 60 \text{ nm}$ 的 ZnTe 缓冲层, 可以保证 CdTe 层晶向稳定。ZnTe 还可防止位错延伸到 CdTe 外延层中。在高温脱氧后的降温过程中, 向 Si 的表面喷一层 As, 以形成 As-Si 单原子钝化层, 从而保证后续材料的层状生长。

1.2 退火工艺

生长完成后直接进行原位退火工艺。退火过程如图 2 所示, 退火条件在表 1 中列出。共

表 1 实验设计方案

编号	循环周期	退火温度/ $^\circ\text{C}$	保护束流
1	6	550	Te
2	6	490	Te
3	6	520	Te
4	6	520	CdTe、Te
5	—	—	—

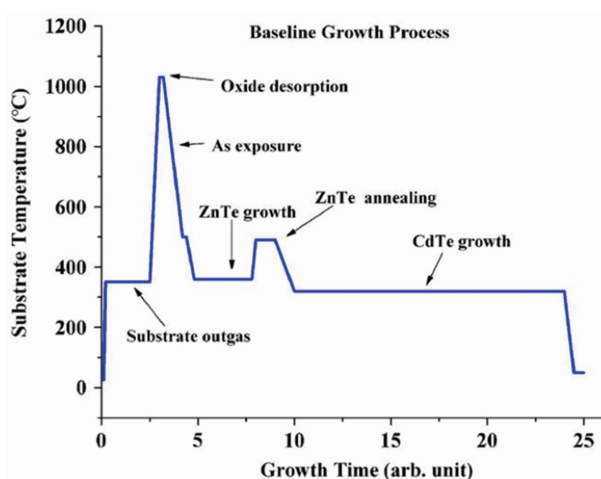


图 1 CdTe 外延过程的示意图

生长 4 片不同温度的 CdTe/Si 材料, 提供一定的 Te 或 CdTe 束流保护, 并增加 1 个未退火材料进行对比。为了使结果更加明显, 共选取 3 个温度点进行退火(温度差为 30°C)。同时验证 520°C 时不同保护束流对材料质量的影响。CdTe/Si 材料在常规外延 10 h 后开始退火。升温至设定温度后保持 1 min, 再降低 100°C 并重新升温, 如此循环 6 次后完成退火过程。

利用傅里叶变换红外 (Fourier Transform Infrared, FTIR) 光谱仪、光学轮廓仪和 X 射线衍射仪 (X-Ray Diffractometer, XRD) 对完成退火的 CdTe 外延层表面特性进行相关测试表征。将测试后的 CdTe/Si 材料划成 20×20 的小片, 继续进行位错测试。位错腐蚀使用 Everson 腐蚀液。经过 30 s 的腐蚀时间后, 使用扫描电子显微镜 (Scanning Electron Microscope, SEM) 对位错腐蚀坑进行观察。

1.3 测试表征

使用 FTIR 光谱仪进行 CdTe 外延层厚度测量。测试 $65 \text{ mm} \times 65 \text{ mm}$ 范围内 25 个点的厚度值, 并对测量值进行方差计算, 验证材料的厚度均匀性情况; 使用光学轮廓仪进行表面平整度测试, 主要测试 $\varnothing 70 \text{ mm}$ 范围内外延层的总厚度变化, 即最大厚度值与最小厚度值之差; 使用 XRD 选取 5 个点进行 FWHM 测试, 测试材料表面的晶格质量, 验证 CdTe 退火温度是否影响 FWHM; 使用 SEM 对位错腐蚀坑

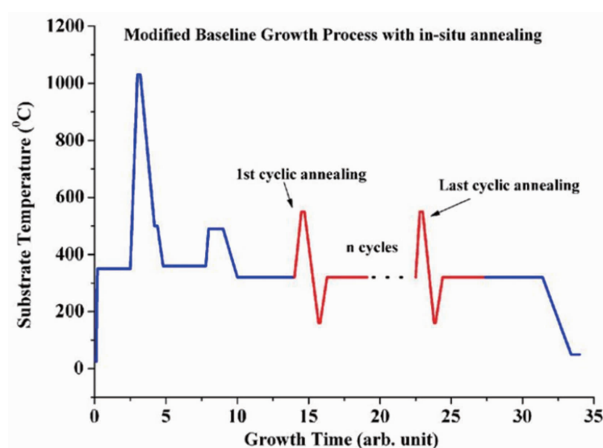


图 2 原位退火过程

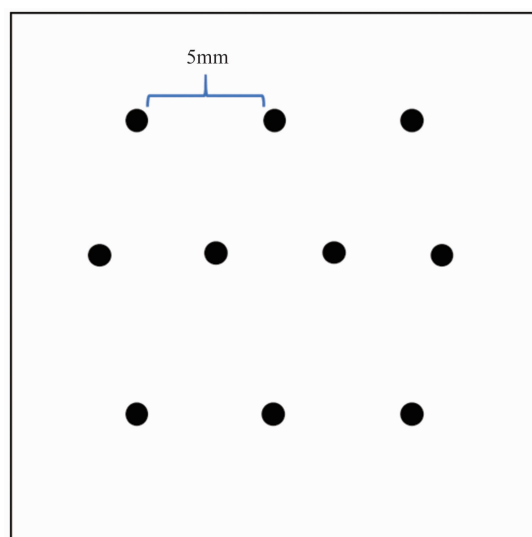


图 3 位错测试点的示意图

进行观察 (EPD 测量要求测试覆盖样品表面), 并在样品上按照图 3 所示随机选择 10 个点进行测试。保证测得的数据具有较好的代表性, 求得的平均值被定义为该材料的 EPD。

2 结果与讨论

使用双加热温区对 CdTe/Si 外延层进行原位退火工艺, 减小了材料中心区域与边缘区域的温差。原位退火过程中的温差越小, 降低位错的作用越大, 位错的分布越均匀, 实验越准确。

在退火温度大于 400°C 时, 对 CdTe/Si 外延层的位错抑制作用开始显现。CdTe/Si 外延层的厚度为 $9 \mu\text{m}$ 的材料经过 520°C 的 TCA 退火后, 位错密度降低半个数量级以上, 最好结

果可以达到 $1.2 \times 10^6 \text{ cm}^{-2}$ 。当退火温度为 550°C 时, CdTe/Si 外延层表面开始出现蒸发现象, 实验结果与文献[9]的测试结果相似, 表明外延层表面材料的逸散会对材料表面质量产生较大的影响。

由表 2 可知, 在循环退火次数相同的情况下, 过高或过低的热退火温度会导致位错迁移速率变化, 进而影响材料的位错密度。当退火温度为 490°C 时, 位错密度为 $7.2 \times 10^6 \text{ cm}^{-2}$; 但是当退火温度提高至 520°C 时, 位错密度减小了半个数量级。这是由于高温下位错迁移埋灭得更快, 从而降低了位错密度^[4]。由表 2 还可看到, 恒定退火温度下使用不同保护束流对位错的抑制作用也有所差别。可能是高温使 CdTe 和 Te 元素逸散过多, 导致层与层之间产生宏观形变, 相互作用发生较大变化, 引起位错密度的变化。

图 4(a) 和图 4(b) 所示分别为 520°C 和 490°C 退火温度下的材料位错表面。根据腐蚀

坑的大小, 使用 SEM 在 $5000\times$ 下观察样品表面(视场面积为 $4.85 \times 10^{-6} \text{ cm}^2$)。从图 4(c) 中可以看出, 经过高温退火后, 样品的 EPD 值比未退火的样品减小了很多, 印证了 CdTe 在高温退火后对位错有明显的抑制作用。

表 2 位错密度结果

编 号	EPD/ cm^{-2}
1	7.2×10^6
2	1.5×10^7
3	1.2×10^6
4	2.3×10^6
5	8.8×10^6

传统的 CdTe/Si 外延层的厚度一般在几微米到十几微米之间。因此, 在实际的热退火实验中, 外延层厚度的影响可以忽略不计^[4]。表 3 列出了表面质量测试数据。对外延层厚度进行方差计算。结果表明, 退火温度对厚度均匀性影响不明显。

如表 3 所示, 退火温度对表面平整度几乎没有影响, 不同退火温度下的表面平整度变化

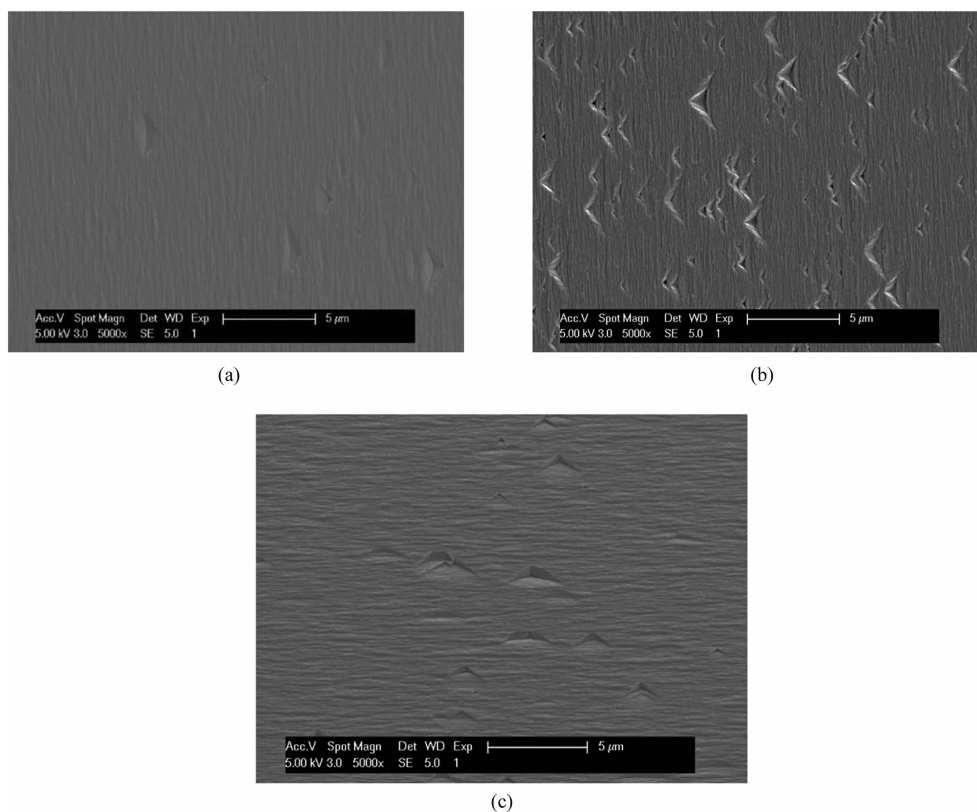


图 4 退火前后 CdTe 样品在 SEM 下的位错密度图片: (a) 3# 退火后样品; (b) 2# 退火后样品; (c) 5# 未退火样品

无规律,不能表明退火温度对 CdTe/Si 外延层的总厚度变化有相关性。

根据 XRD 测试原理可知,晶格质量的变化会导致 FWHM 变化。如表 3 所示,外延层表面的晶格质量越好,退火温度对材料质量的影响越小。测试结果证明温度的升高会导致晶体质量的变化,只有不断地优化退火工艺,才能降低对 FWHM 的影响。

表 3 表面质量测试结果

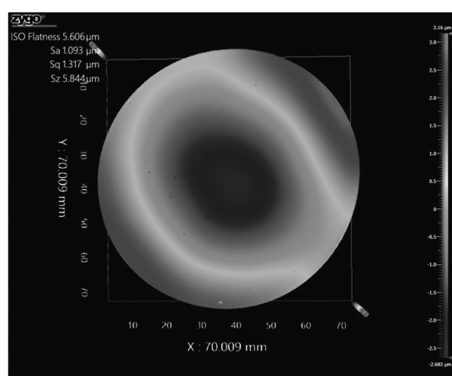
编号	厚度/ μm	FWHM/arcsec	表面平整度/ μm
1	9.9	92.8	6.4
2	8.9	82.6	7.2
3	8.3	87.4	5.6
4	8.6	83.8	6.2
5	8.5	78.5	5.9

图 5 所示为退火前后的 CdTe/Si 表面平整度。测试结果表明,退火温度对表面平整度的影响不明显。显然在 Si 衬底经过高温除气后,退火温度几乎不会对其产生影响。

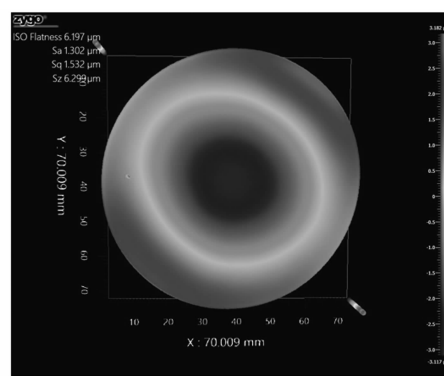
通过 520℃ 下不同保护束流的对照可以发现,具有 CdTe 和 Te 保护的 CdTe 材料的 EPD 值比单一进行 Te 保护时有所升高,同时 FWHM 和表面平整度的变化也有所差别。然而这不是一项详尽的实验,需要继续实验以发现其中的关系,找到影响上述材料参数的原理。

3 结束语

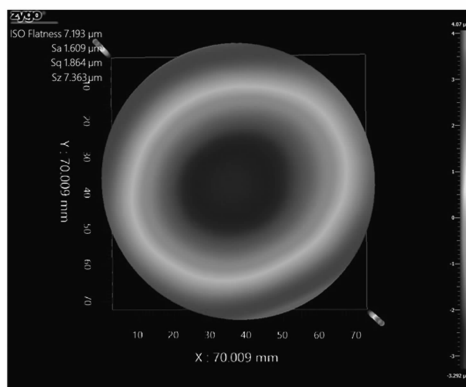
采用原位高温循环退火工艺对 MBE 生长的 CdTe/Si 外延层在热退火前后的位错关系变化、材料质量分析等方面进行了研究,验证了原位退火技术改善 CdTe/Si 外延层位错的情况。与未退火外延片相比,其位错密度降低了半个量级(为 $1.2 \times 10^6 \text{ cm}^{-2}$),材料质量、材料参数均匀性达到了较高水平。退火对外延层厚度均匀性及表面平整度的影响不明显,但是退火会导致外延层 FWHM 变差,使晶体质量下降。通过 CdTe/Si 外延层退火前后实验数据的对比,验证了原位退火可抑制位错密度的作



(a)



(b)



(c)

图 5 退火前后 CdTe 样品的表面平整度: (a) 3# 退火后样品; (b) 2# 退火后样品; (c) 5# 未退火样品

用。在后续的研究中, 需要继续深入研究退火对 FWHM 的影响, 以获得质量更高的碲化镉材料。

参考文献

- [1] Gravrand O, Destefanis G, Bisotto S, et al. Issues in HgCdTe Research and Expected Progress in Infrared Detector Fabrication [J]. *Journal of Electronic Materials*, 2013, **42**(11): 3349–3358.
- [2] Reddy M, Peterson J M, Vang T, et al. Molecular Beam Epitaxy Growth of HgCdTe on Large-Area Si and CdZnTe Substrates [J]. *Journal of Electronic Materials*, 2011, **40**(8): 1706–1716.
- [3] 舒天宇. IV-VI 族半导体异质结制备及其能带结构研究 [D]. 杭州: 浙江大学, 2019.
- [4] 傅小明, 杨在志, 孙虎. 材料制备技术与分析方法 [M]. 南京: 南京大学出版社, 2020.
- [5] Yamaguchi M, Yamamoto A, Tachikawa M, et al. Defect Reduction Effects in GaAs on Si Substrates by Thermal Annealing [J]. *Applied Physics Letters*, 1998, **53**(23): 4518–4522.
- [6] Farrell S, Brill G, Chen Y, et al. Ex Situ Thermal Cycle Annealing of Molecular Beam Epitaxy Grown HgCdTe/Si Layers [J]. *Journal of Electronic Materials*, 2010, **39**(1): 43–48.
- [7] 王丛, 强宇, 高达, 等. 基于正交设计的 Si 基复合衬底优化工艺试验 [J]. *激光与红外*, 2019, **49**(11): 1353–1356.
- [8] Wijewarnasuriya P S. Dislocation Reduction in HgCdTe Grown on CdTe/Si [C]. *SPIE*, 2016, **9854**: 98540B.
- [9] 沈川, 顾仁杰, 傅祥良, 等. Si 基 CdTe/HgCdTe 分子束外延材料的位错抑制 [J]. *红外与毫米波学报*, 2011, **30**(6): 490–494.
- (上接第 17 页)
- [10] 施敏, 伍国珏. 半导体器件物理 [M]. 西安: 西安交通大学出版社, 2008.
- [11] Talipov N K, Ovsyuk V N, Remesnik V G. Electrical Activation of Boron Implanted in p-HgCdTe ($x=0.22$) by Low-temperature Annealing Under an Anodic Oxide [J]. *Materials Science & Engineering B: Solid-State Materials for Advanced Technology*, 1997, **44**(1–3): 266.
- [12] Gopal V, Gupta S, Bhan R K, et al. Modeling of Dark Characteristics of Mercury Cadmium Telluride n^+-p Junctions [J]. *Infrared Phys Technol*, 2003, **44**(2): 143–152.
- [13] 刘心田, 包昌珍, 褚君浩, 等. HgCdTe 离子注入掺杂及损伤特性 [J]. *红外技术*, 1998, **20**(6): 22–24.
- [14] 王淑云. B^+ 离子注入 p 型 $Hg_{0.8}Cd_{0.2}Te$ [J]. *红外与激光技术*, 1991, **14**(6): 49–51.
- [15] Fiorito G, Gasparini G, Svelto F. Properties of Hg Implanted $Hg_{1-x}Cd_xTe$ Infrared Detectors [J]. *Applied Physics*, 1978, **17**(1): 105–110.
- [16] Hua H, Xie X, Hu X. Analysis of Dark Current in Long-wavelength HgCdTe Junction Diodes at Low Temperature and an Approximate Method to Calculate the Trap Density of Depletion Region [C]. *SPIE*, 2012, **8419**: 8419A.