

文章编号: 1672-8785(2019)09-0018-05

单片集成的增强型和耗尽型 pHEMT 技术

林 豪 林伟铭 詹智梅 王潮斌 陈东仰 郑育新

肖俊鹏 林来福 林张鸿 李贵森

(福联集成电路有限公司, 福建 莆田 351117)

摘 要: 随着射频/微波器件的快速发展及其应用领域的日益扩大, 基于半导体单片集成技术的多种器件集成工艺不断发展。研究了一种采用 AlGaAs-InGaAs 的砷化镓化合物衬底。琥珀酸湿法蚀刻工艺对器件电性能影响较小。将耗尽型和增强型赝配高电子迁移率晶体管(pseudomorphic High-Electron-Mobility Transistor, pHEMT)器件集成于同一芯片半导体工艺技术。结果表明, 增强型晶体管 Y 型栅极的线宽为 $0.25\ \mu\text{m}$, 开启电压为 $0.3\ \text{V}$; 耗尽型晶体管栅极的线宽为 $0.5\ \mu\text{m}$, 开启电压为 $-0.8\ \text{V}$, 实现了在同一芯片上集成从负到正的栅极电压分布, 为设计者提供了更为宽广的设计平台。这种集成技术可以应用于低噪声放大器、线性天线开关、滤波器以及功率控制装置等领域。

关键词: 增强型; 耗尽型; pHEMT; 低噪声放大器; 单片微波集成电路; 二维电子气

中图分类号: TN454 **文献标志码:** A **DOI:** 10.3969/j.issn.1672-8785.2019.09.004

Monolithic Integration of Enhancement- and Depletion-Mode pHEMT Technology

LIN Hao, LIN Wei-ming, ZHAN Zhi-mei, WANG Chao-bin, CHEN Dong-yang, ZHENG Yu-xin,

XIAO Jun-peng, LIN Lai-fu, LIN Chang-hong, LI Gui-sen

(UniCompound Integrated Circuit Co., Ltd., Putian 351117, China)

Abstract: With the rapid development and increasingly expanding application fields of RF/microwave devices, various device integration processes based on semiconductor monolithic integration technology have been developing. A GaAs compound substrate with AlGaAs-InGaAs is studied. The succinic acid wet etching process has less influence on the electrical performance of the device. The depleted and enhanced pseudomorphic high-electron-mobility transistor (pHEMT) devices are integrated into the same chip semiconductor process technology. The results show that the Y-gate of enhanced transistor has a linewidth of $0.25\ \mu\text{m}$ and an opening voltage of $0.3\ \text{V}$; the gate of depleted transistor has a linewidth of $0.5\ \mu\text{m}$ and an opening voltage of $-0.8\ \text{V}$. The gate voltage distribution from negative to positive on the same chip is realized, and a broader design platform for designers is provided. This integration technology can be applied to fields such as low noise amplifiers, linear antenna switches, filters, and power control devices.

Key words: enhancement-mode; depletion-mode; pHEMT; low noise amplifier; monolithic microwave integrated circuit; two-dimensional electron gas

收稿日期: 2019-09-22

作者简介: 林豪(1992-), 男, 福建莆田人, 本科, 主要从事 GaAs 化合物半导体工艺技术研发。

E-mail: andy_lin@unicompound.com

0 引言

微波通信技术广泛应用于移动通信领域, 包括宽带码分多址 (Wideband Code Division Multiple Access, W-CDMA)、全球移动通信系统 (Global System for Mobile Communications, GSM)、无线局域网 (Wireless Local Area Network, WLAN) 以及第五代移动通信系统应用^[1-3]。近几年来, 该技术主要是为设计者提供不同特性的晶体管并应用于射频集成电路前端模块 (Front-End Module, FEM) 中的低噪声放大器以及器件开关。虽然半导体工业中大部分的金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 都是将硅作为基底, 但由于砷化镓具有禁带宽、直接带隙和电子迁移率高等特点, 以其为衬底的化合物半导体场效应晶体管 (Field Effect Transistor, FET) 可以在高频区应用于通讯技术中的电路前端模块。

1 外延结构与集成工艺

1.1 外延结构

采用分子束外延法在 6 寸砷化镓基底片上生长外延层。如图 1 所示, 该项技术的外延结构包括 400 nm 缓冲层和 7.5 nm 高铟浓度无掺杂 InGaAs 沟道层; 在通道层与双 Si-delta 掺杂层之间生长的 AlGaAs 间隔层的厚度为 3 nm; 在厚度为 11 nm 的肖特基阻挡层上生长出一个厚度为 20 nm 的 InGaP 蚀刻停止层; 生长的最后一层外延层为厚度为 50 nm 的 GaAs 重掺杂帽层^[1]。

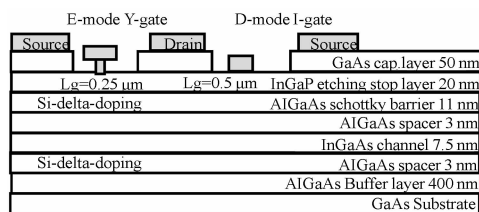


图 1 AlGaAs/InGaAs GaAs pHEMT 衬底结构

1.2 集成工艺介绍

用 Ar^{2+} 离子注入法确定晶体管制备区域, 使得离子植入区域大于 $2 \mu\text{m}$ 的外延电阻的阻值

超过 $100 \text{ M}\Omega$ 。晶体管采用 AuGe/Ni/Au 的金属结构作为器件的源/漏极。在制备时, 通过回火工艺形成良好的欧姆接触, 如图 1 所示。

我们采用两种不同的光刻胶来依次构造 Y 形状的栅极。其中, 第一层为正性光刻胶。采用 I-Line 步进式曝光机进行曝光, 然后光阻显影, 接着搭配化学微缩辅助光刻手法 (Relacs)^[4], 使栅极金属的底部可达到预期的 $0.25 \mu\text{m}$ 线宽; 同时定义出 Y 型栅底部的形状。Y 型栅顶部形状是通过负性光刻胶涂布显影来定义的。在完成图形定义之后, 通过将琥珀酸、氨水与双氧水的混合溶液作为蚀刻液的湿蚀刻制程来控制栅极的蚀刻宽度。该溶液在刻蚀顶层 GaAs 时与第二层的 InGaP 有较高的选择性蚀刻比, 以保证 Schottky 表面的完整性^[5]。最后沉积 Pt/Ti/Pt/Au = 10 : 60 : 30 : 570 nm 的金属结构作为栅极金属。图 2 为增强型 Y 型栅极的剖面图。其中, 晶体管栅极的底部宽度为 $0.25 \mu\text{m}$, 蚀刻总宽度为 $0.879 \mu\text{m}$ 。在金属蒸镀后, 制程工艺增加一道热处理, 让栅极金属能下沉至肖特基层, 从而形成增强型晶体管^[6]。Y 型结构的栅极可以减小栅极电阻。大多数设计人员将 $0.25 \mu\text{m}$ 增强型栅极应用于 802.11a 无线局域网^[7]。

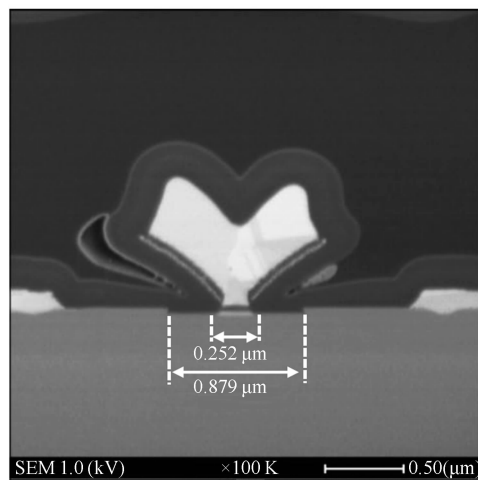


图 2 增强型 Y 型栅极的剖面图

在完成增强型 Y 型栅极晶体管的工艺制作流程后, 接下来就是集成类似 I 型的耗尽型栅极。我们先用涂布机在晶圆表面上涂覆一层

负性光刻胶。经过对准设备曝光显影后, 梯形栅极图案形成。再采用酸碱度为 4.2 的琥珀酸混合溶液 (混合配比为 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2=10:1:1$) 蚀刻外延片的帽层, 最后蒸镀金属 ($\text{Pt}/\text{Ti}/\text{Pt}/\text{Au}=25:60:40:200\text{ nm}$), 形成梯形栅极。如图 3 所示, 该梯形栅极的线宽为 $0.513\text{ }\mu\text{m}$, 蚀刻总宽度为 $1.146\text{ }\mu\text{m}$ 。

根据前面描述的集成工艺, 增强型/耗尽型晶体管已被集成在电路中。集成电路中所用到的被动元件包括使用 TaN 材料^[8]的薄膜电阻。采用等离子体溅镀方式将该电阻 (厚度为 75 nm , 贴片电阻为 $50\text{ }\Omega/\text{sq}$, 接触电阻为 $0.090\text{ hm}\cdot\text{mm}$) 集成在电路中。另外, 被动元件还包括两级金属板内嵌 SiN 介质的 MIM 电容器 (电容密度为 $600\text{ pF}/\text{mm}^2$) 以及堆叠电容 (电容密度为 $1200\text{ pF}/\text{mm}^2$)。将金属结构 $\text{Ti}/\text{Pt}/\text{Au}/\text{Ti}=300/400/10000/30\text{ nm}$ 作为第一层金属连接线 (同时也作为 MIM 的下极板), 其厚度为 $1\text{ }\mu\text{m}$; 第二层金属连接线 (同时也作为 MIM 的上极板) 的厚度为 $2\text{ }\mu\text{m}$, 金属结构为 $\text{Ti}/\text{Pt}/\text{Au}/\text{Ti}/\text{Au}/\text{Ti}=300/400/10000/330/10000/60\text{ nm}$ 。两个金属层之间聚酰亚胺的厚度为 $1.6\text{ }\mu\text{m}$ 。集成芯片的背面通过过孔方式并电镀金属 Au, 用于芯片接地连接和散热。

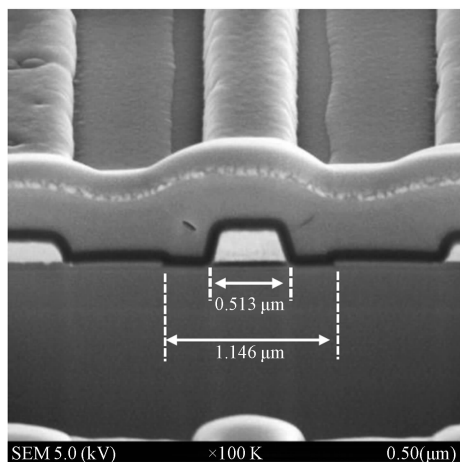


图 3 耗尽型 I 型栅极结构的剖面图

2 器件关键参数的结果及讨论

表 1 汇总了尺寸为 $4\text{ }\mu\text{m}\times 50\text{ }\mu\text{m}$ 的增强型和耗尽型 pHEMT 器件所表现出的一些关键物

理参数及直流电性参数, 包括栅极线宽 L_g 、漏电流 I_{dss} 、最大漏电流 I_{dmax} 、栅极开启/夹断电压 V_{th}/V_p 、最大跨导 G_m 以及栅极崩溃电压 B_{Vgd} 等。利用这项集成技术制作出的器件的噪声系数已降至 0.4 dB 。它将会非常适合于低噪声放大器应用。

表 1 器件参数结果汇总

参数	E-mode	D-mode	单位
L_g (Gate length)	0.3	0.5	μm
I_{dss}	0.0003	330	mA/mm
I_{dmax}	530	460	mA/mm
G_m	830	460	mS/mm
V_{th}/V_p	0.3	-0.8	V
R_{on}	1	1	$\text{Ohm}\cdot\text{mm}$
B_{Vgd}	15	15	V
f_t	60	30	GHz
f_{max}	120	100	GHz
N_{Fmin}	0.4	—	dB

图 4 所示为不同栅极电压下增强型/耗尽型晶体管的漏电流密度和跨导曲线。

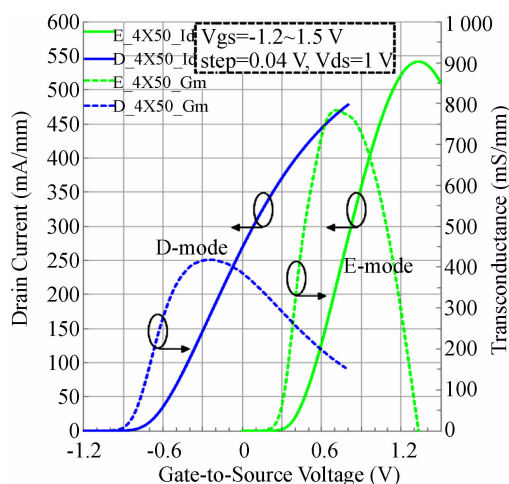


图 4 增强型与耗尽型器件的漏极电流、跨导与栅极电压曲线

增强型 pHEMT 测试条件如下: 测试偏压 V_{gs} 从 0 V 扫到 1.5 V , 每 0.04 V 为一个增量, 测量 I_d 。耗尽型 pHEMT 测试条件如下: 测试偏压 V_{gs} 从 -1.2 V 扫到 0.8 V , 每 0.04 V 为一个增量, 测量出相应的 I_d 。结果表明, 增强型 pHEMT 和耗尽型 pHEMT 的最大漏电流分

别为 530 mA/mm 和 460 mA/mm, 跨导分别为 783 mS/mm 和 418 mS/mm。

图 5 为增强型/耗尽型 pHEMT 栅极的电流-电压关系图(测试偏压与图 4 相同)。当源/漏电流密度为 1 mA/mm 时, 增强型 pHEMT 栅极的开启电压 V_{gs} 为 0.27 V; 在栅极夹断的状态下, 漏电流为 $10^{-5} \sim 10^{-6}$ mA/mm。当源/漏电流密度为 1 mA/mm 时, 耗尽型 pHEMT 栅极的关断电压 V_{gs} 为 -0.85 V; 在栅极夹断的状态下, 漏电流为 $10^{-3} \sim 10^{-4}$ mA/mm。

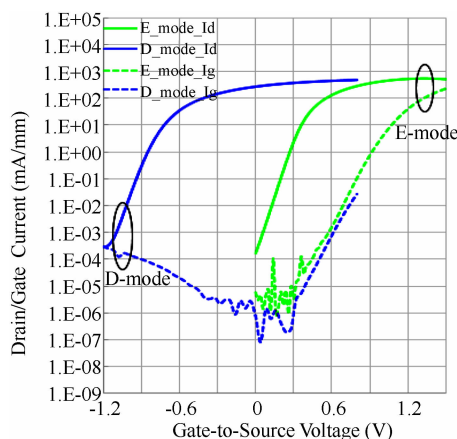


图 5 增强型/耗尽型器件漏极和栅极的电流-电压趋势图

图 6 中的增强型 pHEMT 器件测试条件如下: 测试偏压 V_{gs} 从 0 V 扫到 1 V, 每 0.01 V 为一个增量, 测量出相应的 I_d 。计算 $4 \mu\text{m} \times 50 \mu\text{m}$ 器件的电流密度和跨导。当 V_{gs} 为 1 V 时, 饱和漏极电流密度为 428 mA/mm, 膝点电压为 0.6 V。我们定义, 增强型 pHEMT 在 $V_{ds}=0.2$ V、 $V_{gs}=0.8$ V 时, 测量的漏电流密度为 170.85 mA/mm, 导通电阻为 5.855Ω 。

图 7 中的耗尽型 pHEMT 器件测试条件如下: 测试偏压 V_{gs} 从 -1.2 V 扫到 0.8 V, 每 0.2 V 为一个增量, 测量出相应的 I_d 。计算 $4 \mu\text{m} \times 50 \mu\text{m}$ 器件的电流密度和跨导。当 V_{gs} 为 0.8 V 时, 饱和漏极电流密度为 443 mA/mm, 膝点电压为 0.7 V。我们定义, 耗尽型 pHEMT 在 $V_{ds}=0.2$ V、 $V_{gs}=0.8$ V 时, 测量的漏电流密度为 185.44 mA/mm, 导通电阻为 5.395Ω 。

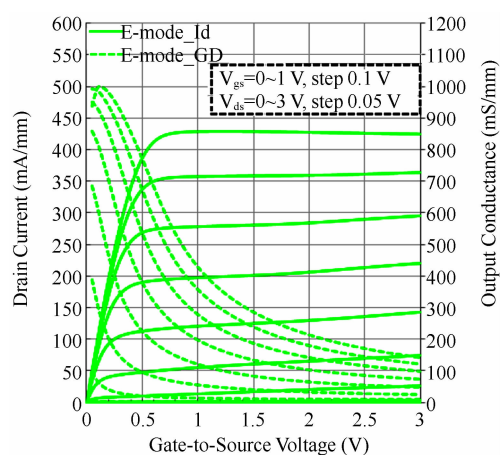


图 6 增强型器件的输出特性曲线

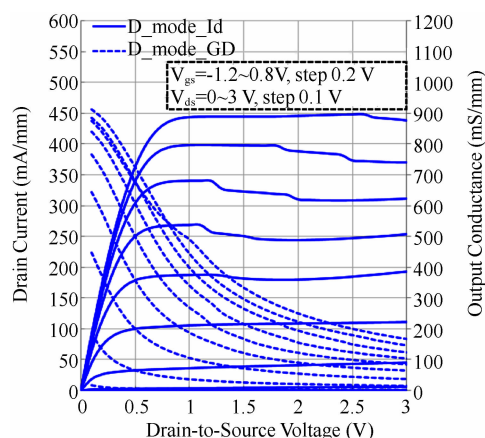


图 7 耗尽型器件的输出特性曲线

图 8 所示为增强型与耗尽型 pHEMT 器件在反向偏压下的击穿电压测量曲线。可以看到, 当漏极电流为 1 mA/mm 时, 相应的栅极反向偏压大于 16 V。在半导体器件中, 晶体管能承受的反向偏压必须是操作电压的三倍, 因此我们所讨论和描述的器件可操作的最大电压为 5 V。

3 结束语

本文在以 GaAs 为衬底的化合物半导体单片微波集成技术中将增强型 pHEMT 与耗尽型 pHEMT 器件集成于同一集成电路中, 针对集成工艺流程进行研究说明, 并对所集成器件的物理特性及直流电性进行分析。数据表明, 采用此集成技术制备出的功率器件可以满足相关的电学性能及电性参数指标, 在单片微波集成电路中具有量产前景和发展前途。

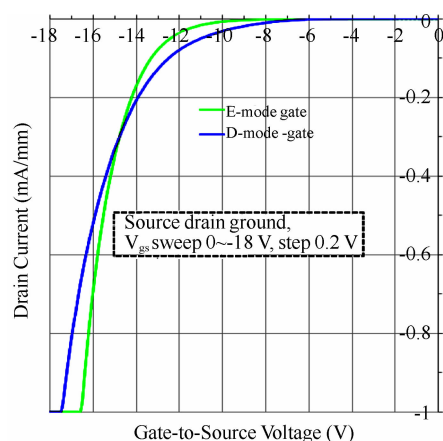


图 8 增强型与耗尽型器件栅极的击穿电压曲线

参考文献

- [1] 王海岩. 我国数字微波通讯现状及发展前景 [J]. 科学技术创新, 2018, 22(9): 182-183.
- [2] 李颖. 解读新型微波通讯技术的发展及应用 [J]. 电子技术与软件工程, 2018, 7(23): 38.
- [3] 张震宇. 新型微波通讯技术的发展及应用研究 [J]. 数字技术与应用, 2017, 35(4): 42.
- [4] Toyoshima T, Ishibashi T, Minamide A, et al. 0.1 μm Level Contact Hole Pattern Formation with KrF Lithography by Resolution Enhancement Lithography Assisted by Chemical Shrink (RELACS) [C]. San Francisco: 1998 IEEE International Electron Devices Meeting, 1998.
- [5] Wu X F, Liu H X, Li H O, et al. Fabrication of 150-nm $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ mHEMTs on GaAs Substrates [J]. Science China Physics, Mechanics & Astronomy, 2012, 55(12): 2389-2391.
- [6] Chou Y C, Lai R, Leung D, et al. Gate Sinking Effect of 0.1 μm InP HEMT MMICs Using Pt/Ti/Pt/Au [C]. Princeton: 2006 International Conference on Indium Phosphide and Related Materials, 2006.
- [7] Lei M, Cody H, Robert B, et al. A 1mm² Two Stage LNA and SP2T Switch RFIC FEM for WLAN 802.11a Applications [C]. Santa Clara: 2012 IEEE Radio and Wireless Symposium, 2012.
- [8] 解雨庆. 高功率 TaN 薄膜及集成电阻器的研究 [D]. 成都: 电子科技大学, 2012.