

文章编号: 1672-8785(2010)11-0025-06

基于 DSP 的机载可见光相机 1553B 总线通讯的实现

修吉宏

(中国科学院长春光学精密机械与物理研究所, 吉林长春 130033)

摘 要: 1553B 总线是机载设备之间实现信息传输时广泛采用的一种总线标准。简要阐述了 1553B 总线协议, 并以某型机载可见光相机为例, 介绍了相机系统的组成、各部分的功能以及系统的联接方式。从硬件和软件两个方面介绍了采用 TMS320F2812 和 B61580 芯片实现 1553B 通讯的模块化设计方法, 并说明了将 1553B 模块嵌入相机主控软件的流程。该方法稳定可靠, 可满足系统设计的要求。

关键词: B61580; 1553B 总线; TMS320F2812; 机载可见光相机

中图分类号: TP311.5 **文献标识码:** A **DOI:** 10.3969/j.issn.1672-8785.2010.11.006

Realization of DSP-based 1553B Communication Bus for Airborne Visible Light Camera

XIU Ji-hong

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of
Sciences, Changchun 130033, China)

Abstract: The 1553B bus is a bus standard widely used in information transmission among airborne instruments. The 1553B bus protocol is presented in brief. Taking a certain airborne visible light camera as an example, the components of the camera system, their functions and system joint mode are presented. Both a TMS320F2812 chip and a B61580 chip are used in the design of a 1553B communication module and the procedure to embed the 1553B software module in the main control software of the camera is illustrated. This method is stable and reliable and can meet the design requirements of the camera system.

Key words: B61580; 1553B bus; TMS320F2812; airborne visible camera

1 引言

航空机载设备之间的信息传输及信息共享主要是通过航空电子总线完成的。目前广泛采用的航空电子总线主要包括 MIL-STD-1553B 及 ARINC429、ARINC629 总线标准。其中, 1553B

总线因具有高可靠性、反应灵敏、双冗余和强抗干扰性等优点, 在航空领域已占据统治地位。目前, 1553B 总线通信的实现方法主要有两种: 采用 1553B 总线协议控制器或通过 FPGA 设计 1553B 总线协议内核。由于 1553B 总线协议控制器将复杂的 1553B 总线协议嵌入到了芯片中, 因

收稿日期: 2010-06-10

基金项目: 国家 863 高技术研究发展计划资助项目 (2006AA06A208)

作者简介: 修吉宏 (1976-), 女, 吉林人, 博士, 副研, 主要从事航空成像与测量技术研究。 E-mail: xiuji hong0809@yahoo.com.cn

此采用协议控制器的实现方法和开发过程相对比较简单,可降低系统软件的设计成本。但是当前国内设计中所采用的 1553B 总线协议控制器件基本依赖于进口的专用器件,如 DDC 公司生产的 ACE(Advance Communication Engine) 芯片系列,其价格昂贵,有时还会受到购买渠道的限制。而采用 FPGA 设计的方法需要开发 1553 总线协议内核,其开发难度大,开发及验证周期较长,不利于机载设备的快速应用。因此,在进行 1553B 总线通讯设计过程中,尽可能地节约软硬件成本,降低开发周期,对机载设备的研发与生产具有非常重要的意义。此外,鉴于 1553B 总线在机载设备通讯中的广泛应用,开发适用于大多数机载设备的结构化和通用化 1553B 总线通讯软件,不但可降低人员设计成本,而且还有利于机载设备的快速应用。

2 MIL-STD-1553B 总线

MIL-STD-1553B 总线(简称 1553B)的全称为时分制命令/响应多路数据传输总线。它是一种集中式的时分串行总线,其主要特点是分布处理、集中控制和实时响应。1553B 总线的结构如图 1 所示。其中,总线传输媒介为屏蔽双绞线,采用双总线冗余的方式;第二条总线处于热备份状态。总线控制器(BC)是在总线上启动数据传输任务的唯一终端;远程终端(RT)是接收到 BC 命令后进行数据传输的终端,每个 RT 终端被分配了唯一的总线地址,最多可挂载 31 个;总线监视器(MT)用于监视总线数据及提取数据,以便以后进行数据分析,但它不参与任何数据传输^[1]。

1553B 总线的传输速率为 1Mb/s,其采用消息传输机制,即总线上的信息是以消息(message)

形式调制成曼彻斯特码后进行传输的。每条消息最长由 32 个字组成,字格式包括三种:命令字、数据字和状态字。每种字格式的字长度均为 20bit,它由同步头(3bit)、消息块(16bit)和奇偶位(1bit)三部分组成^[2]。三种类型的字格式如图 2 所示。

1553B 总线上的消息传输过程如下:总线控制器 BC 向某一终端 RT 发送接收(命令字)或发送(命令字+数据字)指令,终端在给定的响应时间范围内发回一个状态字并执行消息的接收(接收 BC 发送的数据字)或发送(向 BC 发送数据字);BC 通过验收 RT 回送的状态字来检验传输是否成功并进行后续操作。

3 机载可见光相机系统

可见光相机主要由相机主控系统、调焦控制系统、调光控制系统、像移补偿控制系统以及图像处理器组成。各个组成部分的工作任务如下:

(1) 相机主控系统:相机的中央处理器负责传递相机内外部系统信息、计算主要工作参数以及向相机内部的其它分系统发送控制命令;

(2) 调焦控制系统:根据控制命令与高度、温度、压力等工作参数信息调整相机焦面,完成检焦及调焦任务;

(3) 调光控制系统:根据控制命令与光照度参数信息调整相机光阑大小,完成检光及调光任务;

(4) 像移补偿控制系统:根据控制命令与像移补偿速度、姿态角速率等参数信息实时调整相机机身组件,完成拍照过程中的前向像移及

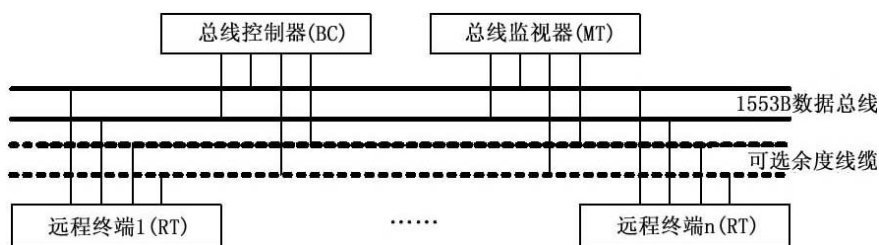


图 1 1553B 总线的结构图



图 2 1553B 总线的字格式

姿态像移补偿任务;

(5) 图像处理器: 根据控制命令完成 CCD 图像存储、压缩以及传输任务。

图 3 为机载可见光相机系统的简易交联框图。给相机加电后, 相机主控系统通过 1553B 总线同飞机主控系统进行通讯, 接收控制指令和飞行参数, 并将其转化为内部控制命令及各分系统所需的工作参数, 再通过 1553B 总线回送相机当前的工作状态及故障信息; 通过 RS422 总线同相机内部的其它分系统进行通讯, 实时发送内部控制命令及分系统工作参数, 命令各个分系统完成拍照过程中的调光、调焦、像移补偿以及图像存储和传输任务; 在工作过程中, 通过 RS422 总线周期性地采集相机内部其它分系统的工作状态及故障信息, 然后及时将它们反馈给飞机主控系统^[3]。由图 3 可知, 1553B 总线通讯是相机主控系统同飞机主控系统进行信息传递的唯一通道, 其可靠性直接关系到相机系统是否能够正常工作, 是相机主控系统设计过程中的重要部分。

4 1553B 总线通讯的实现

4.1 关键器件的选择

考虑到系统的设计周期, 我们确定采用协议控制芯片的方法来完成 1553B 总线通讯模块的设计, 并最终选择了国产芯片 B61580。B61580 是一款符合 1553A/B Notice2 及 GJB289A 协议的国产芯片, 其协议内核、管脚排列及封装同 DDC 公司的 BU-61580 相兼容。采用该协议控制器开发 1553B 总线通讯模块, 不但可以继承进口协议控制器的开发优势, 而且还能节约设计成本。

B61580 协议芯片具有灵活的处理器接口, 支持 8 位或 16 位数据总线, 可以容易地与 MCU、DSP、CPLD/FPGA 等相连接。其内部集成了双收发器逻辑、编解码器、协议逻辑、内存管理和中断控制逻辑, 还提供了一个 $4k \times 16bit$ 的内部共享静态 RAM 和与微处理器总线直接相连的缓冲接口, 最大可外扩 $64k \times 16bit$ 的共享存储器空间。该芯片可以配置为 BC、RT 或 BM 中的任何一种工作模式, 其硬件接口包括电源、隔离变压器接口、数据总线、地址总线、中断请求及各类控制接口等共计 70 个引脚; 软件接口包括 17 个内部寄存器、8 个测试寄存器以及内部 $4k \times 16bit$ 的共享存储器空间, 其中寄存器及存储空间在 BC、RT 或 BM 模式下的组织形式有所不同^[4]。

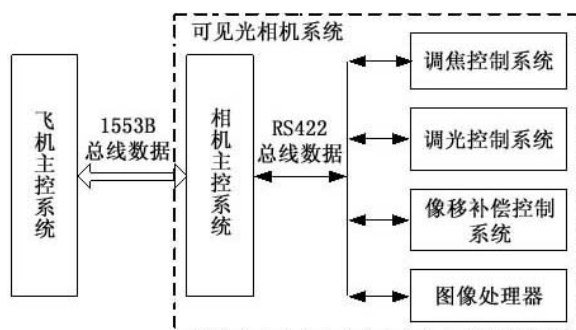


图 3 航空遥感器系统的交联框图

由于 B61580 芯片的硬件接口提供了 16 位数据总线, 当同 8 位处理器接口时, 必须采用分时读写的模式, 因此, 主控系统应优先选用外部接口为 16 位的微处理器, 这样在系统软硬件设计时操作起来可更简便些。同时综合考虑主控系统的工作频率要求、内部工作参数运算的简便

性以及同内部其它分系统的通讯接口方式等综合因素,我们选择了 TI 公司 2000 系列中最新的 TMS320F2812 作为核心处理器。F2812 属于 32 位定点 DSP,其最高速度可达 150MIPS。它可以在单个指令周期内完成位的乘累加运算,具有改进的通讯接口,并采用低电压供电(3.3V 外设、1.8V 或 1.9V 内核)。

4.2 硬件设计

当相机主控系统通过 1553B 总线同飞机主控系统进行通讯时,飞机主控系统作为总线控制器 BC,负责启动总线上的数据传输;相机作为远程终端,根据接收到的 BC 命令内容接收或发送数据。因此,本系统设计中的 B61580 工作于 RT 模式,其 1553B 总线接口电路框图如图 4 所示。由于 B61580 采用 5V 电平标准,而 F2812 的 I/O 口采用 3.3V 的 CMOS 电平标准,因此两者在接口时须经过电平转换。本系统采用 74ALVC164245 完成两者接口时数据线、地址线及 B61580 中断请求引脚 INT 和准备应答引脚 READY 的电平转换。B61580 工作所需的控制信号是通过 F2812 的 I/O 口或采用 Altera 公司的 CPLD 器件 EPM7128STI-100 进行逻辑译码后实现的。B61580 中的存储器有两种访问模式:BUFFERED 模式和 TRANSPARENT 模式。本系统设计选用 BUFFERED 模式。当芯片工作在 BUFFERED 模式下时,CPU 和芯片共享内部 4k×16bit 容量的存储器。在 16 位缓冲模式下,B61580 的主要逻辑控制信号及其控制方式见表 1。

另外,F2812 通过中断方式采集 1553B 总线通信数据,B61580 的中断引脚 INT 经过电平转换后引入 F2812 的外部中断 XINT2。当 B61580 的 READYD 信号为低电平时,表示其内部存储器或寄存器数据已准备好,F2812 可进行读取。当 F2812 的 XREADY 引脚为高电平时,表示外围器件已准备好,可以进行访问。两者逻辑相反,因此 READYD 信号须经过 CPLD 反操作后再同 F2812 的 XREADY 信号连接。B61580 的总线输出端通过两个耦合变压器 B-3226 与外部的

1553B 总线连接;B61580 的远程终端地址和校验位由波段开关进行选择。

4.3 软件设计

B61580 的软件接口设计主要是指对其内部寄存器及共享存储器空间的设置。在不同工作模式下,寄存器及存储器的设置也有所不同。根据前面所述,本系统中的 B61580 应配置成 RT 模式。它在通讯时为相机分配的 RT 地址为 0x08,表 2 列出了 RT 子地址及其消息类型和内容。

软件设计包括初始化配置和接收发送中断程序设计两部分。其中,初始化配置是设计的主要部分,包括芯片功能的选择、中断管理和状态字设置等。本系统的初始化配置过程如下:

(1) 执行软件复位:配置启动/复位寄存器的写模式;

(2) 设置配置寄存器 3:在配置寄存器 3 中写 0x8000,设置芯片工作于增强模式;

(3) 设置中断屏蔽寄存器:在中断屏蔽寄存器中写 0x0001,允许消息结束中断;

(4) 设置配置寄存器 2:在配置寄存器 2 中写 0xB803,设置增强模式中断、使能“忙”位查找表、使能接收双缓冲模式、可覆盖非法数据,设置时标分辨率为 64μs,设置产生的中断为脉冲信号,设置增强 RT 存储器管理模式,并且设置广播数据分离;

(5) 设置配置寄存器 3:在配置寄存器 3 中写 0x8082,设置 B61580 为增强模式并允许非法命令字和模式码中断;

(6) 设置配置寄存器 5:在配置寄存器 5 中写 0x0080,设置当 RT 地址为 31 时为广播模式;

(7) 初始化堆栈指针:设置堆栈的初始指针为 0x0000。

(8) 初始化查找表:根据通讯协议,设置接收子地址 0x01 的数据存储区为 0x0400,发送子地址 0x07 的数据存储区为 0x0440,广播接收子地址 0x01 的数据存储区为 0x0480;

(9) 设置子地址控制字:设置接收子地址和广播接收地址 0x01 消息结束中断使能,同时设置发送子地址 0x07 消息结束中断使能;

(10) 设置 RT 命令非法化表:根据通讯协议,设置广播接收子地址 0x01、非广播接收子

地址 0x01 及非广播发送子地址 0x07 所在的 RT 地址空间为合法命令数据设置, 其余空间的值设为 0xFFFF;

(11) 设置“忙”位查找表: 将“忙”位查找表的值设置为 0, 即不设置子地址的 Busy 标记;

(12) 初始化 RT 数据存储区中的数据: 使 RT 存储空间中 Data Block 5 ~ Data Block10 (对应的 RT 子地址为 0、7 和 31) 的值初始化;

(13) 设置配置寄存器 1: 在配置寄存器 1 中写 0x8F80, 将 B61580 的工作模式设置为 RT 模式, 并设置 RT 响应 BC 发出的动态总线交换请

求; RT 状态字中的 busy bit 根据 RT Busy Look Table 中的相应值而设定; 将 RT 响应 BC 状态字中的 SERVICE REQUEST 设置为 0; 根据芯片管脚 SSFLAG 的值设置 RT 响应 BC 状态字中的值, 设置 RT 终端标记。

当初始化配置完成后, 芯片可根据接收到的 BC 命令字内容执行相应的动作: 如果接收到的命令为发送数据, 则根据命令字将相应的发送存储区中的数据发送出去; 如果是接收数据, 则将接收到的数据存储到接收存储区中; 在发送 / 接收动作完成后, 发出 RT 状态字, 并发出中断

表 1 B61580 的控制逻辑信号及其控制逻辑实现

信号名称	功能描述	控制方式	CPLD 内部译码逻辑
SELECT	内部存储器 / 寄存器数据 传送使能	CPLD 译码输出控制	SELECT=XZCS2+XA15
STRBD	与 SELECT 配合, 初始化 和控制数据传送	CPLD 译码输出控制	STRBD=XZCS2+XA15
MEM/REG	存储器 / 寄存器选择	CPLD 译码输出控制	MEM/REG=XA13
RD/WR	读 / 写选择	F2812 的 XR/W 控制	直接同 F2812 连接, 未经过 CPLD 译码
ADDR_LAT	地址锁存选择	F2812 的 GPIOA3 控制	
ZERO_WAIT	等待模式选择	连接到高电平, 即非零等待模式	
POLARTY_SEL	读写极性选择	连接到高电平, 即为低时表示写操作	

表 2 1553B 消息子地址及消息内容

RT 子地址	消息类型	数据字个数	消息内容	消息发送周期
01	BCtoRT	17	飞行参数及控制指令	50ms
07	RTtoBC	8	传感器的当前工作状态及故障信息	50ms

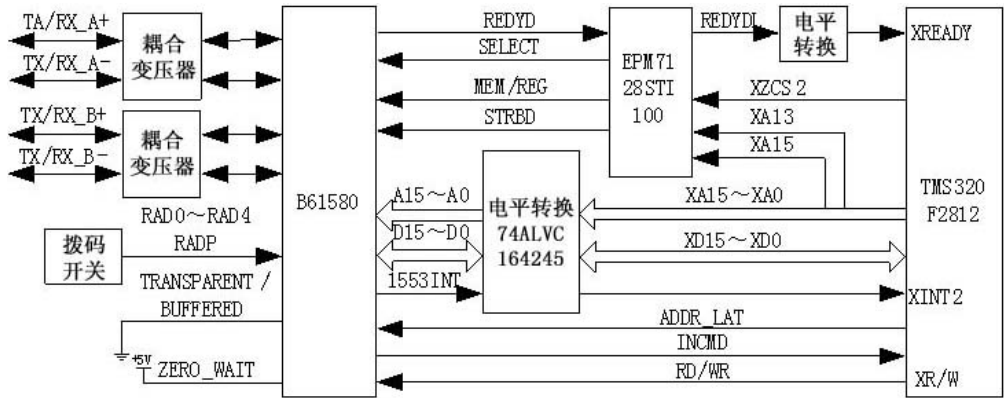


图 4 1553B 总线接口电路框图

信号。因此,中断程序主要是根据当前消息描述符中的内容来完成接收或发送数据的处理的。中断程序的流程图如图 5 所示。

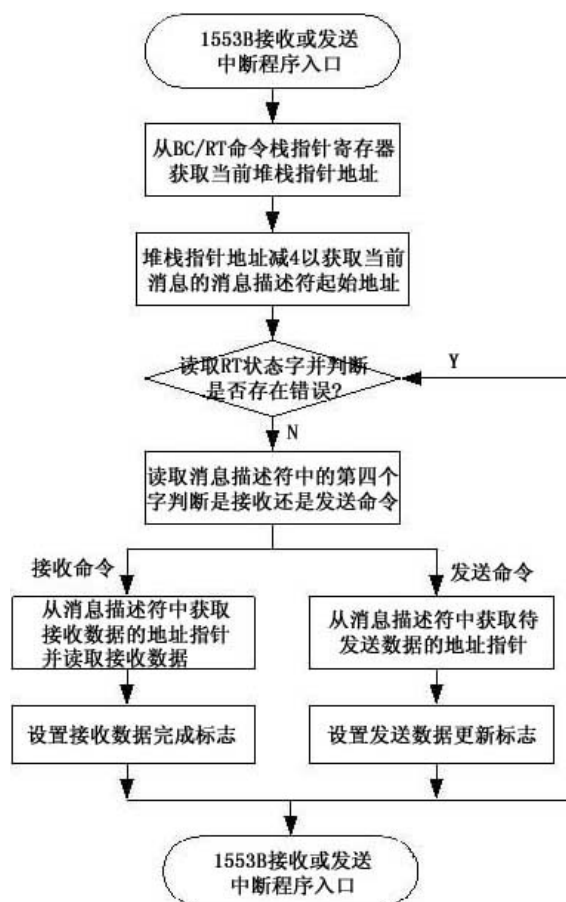


图 5 1553B 接收或发送中断程序的流程图

虽然本系统是针对 RT 功能设计的,但是为了实现程序设计的模块化和便于今后功能的扩展,我们在 DSP 软件的 CCS 开发环境中,用寄存器文件结构定义方法和寄存器位定义方法^[5]按照 BC、RT 及 MT 对 B61580 内部的 17 个寄存器分别进行了定义。整个过程结构清晰,通过用软件编程,形成了单独的头文件和源文件。它们在今后类似的应用设计中可直接调用,节约了设计成本。

4.4 1553B 模块在相机主控系统软件中的嵌入

在将 1553B 通讯模块嵌入相机主控软件中时,主要遵循以下流程:

(a) 相机主控软件初始化结束后,开 1553B 中断,并实时查询 1553B 接收和发送参数更新标志;

(b) 当查询到 1553B 接收到的参数被更新时,首先对接收到的参数进行格式处理,将其内容写入内部工作寄存器,并根据接收到的参数计算内部分系统的工作参数,最后根据接收到的 1553B 命令向相机内部分系统发送相应的控制命令并提供完成该控制命令所需的工作参数;

(c) 当查询到 1553B 发送的参数被更新时,首先通过内部 RS422 总线向相机内部的其它分系统请求工作状态及故障信息,将采集到的状态信息处理为 1553B 待发送参数的处理格式并更新 1553B 发送参数存储区,等待下次 1553B 发送命令中断到来后再将其发送到 1553B 总线上。

图 6 所示为相机主控软件主程序的流程。

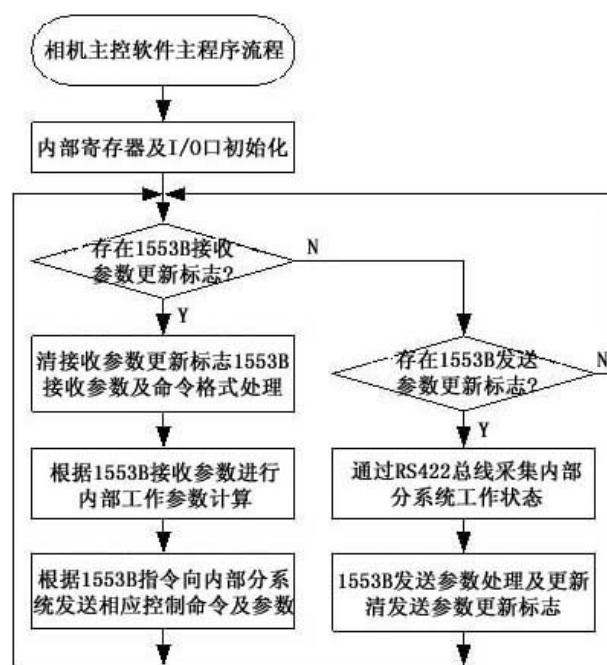


图 6 相机主控软件主程序的流程图

5 结论

本文以某型机载可见光相机主控系统为例,介绍了机载设备作为远程终端同载机进行 1553B 总线通讯的模块化设计方法。采用了 CPLD 逻辑器件及时钟频率较高的 DSP 芯片,满足了内部控制逻辑更改的灵活性要求和系统运行的速度要求。同时,采用国产 1553B 协议控制芯片,不但缩短了研发周期,而且还降低了设计成本。本系统所采用的模块化设计思路和方法,适

(下转第 43 页)