文章编号：1672-8785(2018)07-0019-06

基于星地链路的 FPGA 在轨可重构设计

陈其聪[1,2,3]　顾明剑[2,3*]

(1. 中国科学院大学，北京　100049；
2. 中国科学院上海技术物理研究所，上海　200083；
3. 中国科学院红外探测与成像技术重点实验室，上海　200083)

摘　要：随着信号处理算法的发展，人们对航天用现场可编程门阵列(Field Programmable Gate Array，FPGA)提出了算法可更新的需求。而传统的固定算法模式已经无法满足要求，所以星上 FPGA 在轨可重构设计成为了解决这一问题的关键。提出了一种基于星地链路的 FPGA 在轨可重构设计方案。通过星地链路上载配置数据并将其存入电可擦除只读存储器(Electrically Erasable Programmable Read Only Memory，EEPROM)内，然后利用反熔丝器件对 FPGA 进行大规模算法重配置操作。这项设计方案已经通过了相关验证，同时也提升了星载 FPGA 的灵活性。

关键词：星地链路；FPGA；重配置

中图分类号：V474　**文献标志码**：A　**DOI**：10.3969/j.issn.1672-8785.2018.07.004

Implement of FPGA in-orbit Reconfiguration Based on Satellite-to-ground Link

CHEN Qi-cong[1,2,3], GU Ming-jian[2,3*]

(1. *University of Chinese Academy of Sciences, Beijing 100049, China*;
2. *Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China*;
3. *Key Laboratory of Infrared Detection and Imaging Technology, Chinese Academy of Sciences, Shanghai 200083, China*)

Abstract: With the development of signal processing algorithms, the algorithm updatable requirement is put forward for the Field Programmable Gate Array (FPGA) used in the field of space. Since traditional fixed algorithm models could not meet this requirement, the in-orbit reconfigurable design of FPGAs onboard satellites becomes the key to solve the problem. A FPGA reconfigurable design scheme based on the satellite-to-ground link is proposed. In the scheme, the configuration data are uploaded through the satellite-to-ground link and are stored in the Electrically Erasable Programmable read only memory (EEPROM). Then, an antifuse device is used to implement large scale algorithm reconfiguration on the FPGA. This design scheme is verified and the flexibility of the space-borne FPGAs is improved.

Key words: satellite-to-ground link; FPGA; reconfiguration

收稿日期：2018-04-07

作者简介：陈其聪(1992-)，男，浙江苍南人，硕士研究生，主要研究方向为 FPGA 算法的实现。

*通讯作者：E-mail：gumingj@sina.com

0 引言

FPGA 以其丰富的逻辑资源和 I/O 管脚以及功耗低、可靠性高等特性，已经在卫星领域得到了越来越广泛的应用，并逐渐从单一的时序控制功能转向算法应用。现有卫星较多采用 CPU 的方式进行卫星轨道控制、数管通信和数据图像处理，而专门使用 FPGA 开展星上数据大规模信号处理则逐渐成为趋势，由此也对 FPGA 上的算法可重构提出了要求。我国现有的卫星载荷设备在使用 FPGA 时，大部分都是采用一种单一功能模式。在卫星发射后，其内部的配置电路不能再改变，无法适应大规模软件及算法更新的要求。同时，若原有的配置数据出现错误，则有可能导致整块 FPGA 的功能失效，进而影响系统运行。因此，星上 FPGA 的在轨可重构系统就显得尤为重要了。一方面，该系统能够重配置 FPGA 内部的电路功能，使其实现新算法；另一方面，对于功能出错或者存在缺陷的 FPGA 程序，也能进行重配置校正。本文对基于星地链路的 FPGA 在轨可重构系统的设计展开了讨论，并给出了一种以 EEPROM 作为重配置数据存储器件、采用美国 ACTEL 公司生产的反熔丝 FPGA 对 Xilinx FPGA 进行大规模算法重配置的结构体系。为验证系统功能，我们构建了用于开展相关实验的测试平台。

1 FPGA 的配置方式

FPGA 的配置方式取决于生产工艺，主要分为 SRAM 结构、反熔丝结构和 Flash 结构。其中，SRAM 结构目前占据主流地位。由于掉电后 SRAM 会失去所有配置，所以基于 SRAM 的 FPGA 每次上电都需要通过外部的非易失性存储器件对程序进行重新加载[1]。采用反熔丝结构的 FPGA 属于一次性可编程 FPGA，具有非易失性的特点；编程后的内部逻辑电路固定且无法修改，掉电后无需重新配置[2]。采用 Flash 结构的 FPGA 则结合了上述两种特性，能够多次重复编程，而且掉电后片内逻辑电路不会丢失。Xilinx 公司和 Altera 公司主要研发 SRAM 型 FPGA，而 ACTEL 公司的产品则主要采用反熔丝和 Flash 结构。

Xilinx 公司生产的 SRAM 型 FPGA 具有丰富的逻辑资源和 I/O 管脚，因此常被用于星上复杂的数据处理和算法实现。本文提出的在轨可重构系统也是针对 Xilinx Virtex-4 系列 FPGA 的。下面着重介绍 Xilinx FPGA 的配置方式。

1.1 FPGA 的配置模式

Xilinx 公司的 Virtex-4 系列 FPGA 具有多种配置模式，包括串行主模式(Master Serial)、串行从模式(Slave Serial)、并行主模式(Master SelectMAP)、并行 8 位从模式(Slave SelectMAP8)、并行 32 位从模式(Slave SelectMAP32)以及边界扫描模式(JTAG)[3]。通过控制配置管脚 M[2:0]可以实现相应的配置模式。由于并行 8 位从模式的配置时序简单可控，配置速度较快，因此本文将该模式用作 FPGA 的配置方式。表 1 列出了并行 8 位从模式的几个重要配置管脚的相关信息。

表 1 并行 8 位从模式的主要管脚说明

管脚名称	功能描述
M[2:0]	配置模式设置管脚，在 INIT_B 的上升沿被采样
CCLK	配置时钟信号，主动模式下为输出，被动模式下为输入
DIN[7:0]	并行模式下的配置数据输入端
DONE	配置完成指示信号：0 表示配置未完成；1 表示配置完成
PROGRAM_B	配置寄存器复位信号
INIT_B	上升沿时采样配置模式选择管脚 M[2:0]。同时作为 CRC 校验返回信号：0 表示 CRC 校验错误；1 表示 CRC 校验正确

1.2 FPGA 的配置流程

并行 8 位从模式利用外部器件所提供的配

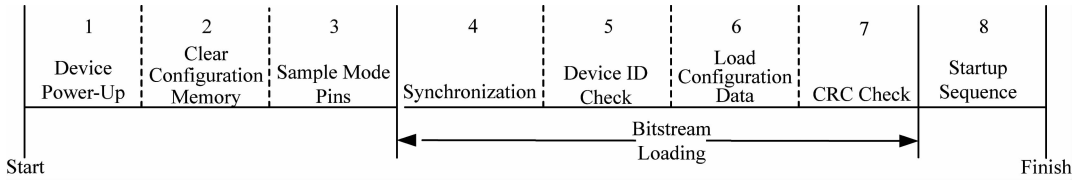


图 1 FPGA 的配置流程

置时钟 CCLK，每个时钟的上升沿通过 DIN[7:0]管脚向 FPGA 发送 8 bit 数据，直到完成所有的配置操作为止。图 1 所示为具体的配置步骤[4]。

(1)第 1～3 步：初始化阶段。在 FPGA 上电后，通过拉低 PROGRAM_B 管脚可以实现对 FPGA 内部配置寄存器的清零操作。FPGA 配置寄存器复位后，在 INIT_B 的上升沿读取 M[2:0]管脚的值，将 FPGA 切换到指定的配置模式。

(2)第 4～7 步：配置数据的载入阶段。首先发送 32 bit 的同步头(0xAA995566)，用于提示 FPGA 做好接收配置数据的准备。接着传输设备 ID 号，进行器件的 ID 校验工作，确保配置数据与被配置的 FPGA 型号相匹配。ID 校验完毕后，以每个时钟 8 bit 的并行数据模式发送配置数据，实施配置操作。最后进行 CRC 校验，确保配置数据不出错。如果 CRC 校验错误，那么 FPGA 就会自动拉低 INIT_B 信号，并通知主机这次配置失败。

(3)第 8 步：程序启动阶段。完成配置操作后，FPGA 按照一定顺序进行初始化，例如 DCMs 锁定(DCMs to locked)、全局写信号使能(Global Write Enable)等。初始化结束后就正式运行片内程序。

由上述过程可知，在配置失败的情况下，FPGA 不会自动发起重配置操作，而只会给出一个 INIT_B 为低电平的错误信号。只有对其进行重新上电或者拉低 PROGRAM_B 管脚，才能实现重配置操作。航空航天领域对可靠性的要求极高，所有的供电操作都有着严格限制，不允许在配置失败的情况下随意加断电[5]。因此需要通过外部器件来检测配置状态，在接收到配置失败的 INIT_B 低电平信号后，通过拉低 PROGRAM_B 管脚来强制 FPGA 进行新一轮的配置操作。

2 在轨可重构系统设计

图 2 所示为基于星地链路的在轨可重构系统的硬件电路。地面测控系统将重配置数据拆分打包，然后通过星地链路将其上传至卫星；卫星上的数管系统对数据包进行解包操作，并通过 ACTEL 公司生产的反熔丝 FPGA 将重配置数据存入到 EEPROM 内。在上传完所有重配置数据后，该 FPGA 再通过读取 EEPROM 内的配置数据来对 Xilinx FPGA 进行重配置操作[6]。

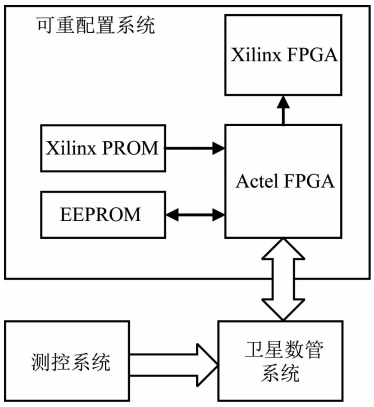


图 2 星上可重构系统的整体结构图

与文献[7]里的 CPLD＋FLASH 结构以及文献[2]和[8]里的 ACTEL FPGA＋FLASH 结构相比，本文采用的 ACTEL FPGA＋EEPROM 结构在太空环境下具有更好的抗辐射性和可靠性；同时由于 EEPROM 具有随机寻址和字节读写等特性，该结构在操作时序方面比 Flash 更加简单，因此能够简化电路设计和提高系统稳定性。

2.1 可重构系统的硬件资源

2.1.1 Xilinx FPGA

Xilinx FPGA 属于 SRAM 型可编程器件，在航天领域应用较多。该系列 FPGA 具有资源大、速度快等优点，适合完成复杂的在轨算法处理和控制功能[8]。通过加载不同的配置数据可以实现相应功能。本文将 Xilinx 公司生产的 Virtex－4 系列芯片 XQR4VSX55 选作星上算法实现芯片。

2.1.2 ACTEL 反熔丝 FPGA

FPGA 配置电路的稳定性会直接影响配置成功与否，并关系到整个系统功能的实现。目前采用 ARM 或 CPLD 作为 FPGA 配置电路和状态监测的设计较多，然而由于星上系统所处的宇宙空间环境较为复杂，需要考虑到低温、抗单粒子翻转等问题。ACTEL 公司的 FPGA 基于反熔丝结构，具有良好的抗辐射性能，而且掉电后配置数据不会丢失。本文将 ACTEL 公司的 AX2000 反熔丝 FPGA 用作 Xilinx Virtex－4 的配置控制芯片，以保证良好的稳定性并确保配置的成功实现。

2.1.3 Xilinx PROM

Xilinx 公司为其 FPGA 配备了专用的配置 PROM。该系列 PROM 没有地址线，只需连接好时钟端、数据端和使能端；在 FPGA 上电后，就会自动加载 PROM 中的目标文件来进行配置操作。每一个时钟周期的上升沿到来时，PROM 输出一组数据，同时内部的地址计数器就会自动加 1，直到完成所有的配置操作为止[9]。选用 Xilinx 公司的 XQR17V16 型 PROM 来存储默认配置数据。

2.1.4 EEPROM

专用 PROM 器件虽然操作方便，但是由于 PROM 的特性，只能进行一次性数据写入而无法修改。为了实现重配置操作，需要随时修改配置数据，同时又要确保配置数据的稳定性。3D Plus 公司的 EEPROM 属于宇航级芯片，对于空间环境下的抗辐射等需求都有专门的加强设计。EE8M08VS8190 型 EEPROM 具有 8 Mbit 的大容量存储空间，因此本文将其用于存储重配置数据。

2.2 配置数据及压缩

随着在轨处理算法复杂度的增加，对 FPGA 资源和速率的要求越来越高。随之而来的问题就是配置文件数据量的增加。过大的配置数据不利于星载设备的存储和地面测控的上注，因此对配置数据的压缩也十分重要。

Xilinx 公司产 Virtex 系列 FPGA 的配置数据大小由器件型号决定。不同的器件有着不同的配置寄存器空间。Virtex－4 系列 FPGA 的配置寄存器空间的最小可寻址范围以帧为单位，其中每一帧由 41 个 32 bit 的字组成[3]。本文所使用的 XQ4VSX55 型 FPGA 具有 17304 个配置帧，其配置数据大小约为 21.65 Mbit。

Xilinx 公司在自己的 ISE 开发软件中集成了一种配置数据压缩功能。通过在 BitGen 里选择“-g compress”选项，可以在生成配置数据的同时实现压缩操作，最终导出压缩后的.bit 配置数据。这种压缩方式的具体原理是利用 FPGA 配置寄存器的多帧写特性（Multiple Frame Write，MFWR）来实现的。

未压缩的配置数据在进行配置操作时，首先通过命令给出首地址，然后不断写入配置数据，直到配置完成为止。图 3 所示为未压缩的配置数据。其中数值“AD358”转为十进制是 17304，表示之后需要不断写入 17304 帧配置数据。

```
00001260h: 00 00 00 00 30 00 80 01 00 00 00 01 20 00 00 00
00001270h: 30 00 40 00 50 0A D3 58 00 00 00 00 00 00 00 00
00001280h: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
```

图 3 未压缩的配置数据

而压缩后的配置数据则是对于 41 个 32 bit 字均为相同值的帧。先发送帧地址，接着发送 MFWR 指令和 32 bit 的配置字；FPGA 会自动使用这 32 bit 数据来填满整个帧空间。图 4 所示为配置步骤。压缩操作只需在 BitGen 里设置好参数即可，而解码则由 FPGA 内部的配置寄存器自动完成，无需添加额外的解码电路。

假如 Xilinx 自带的压缩功能达不到预期要求，则可使用其他一些无损压缩算法。但这就需要在星载设备上配备解码电路，进而占用额



图 4 压缩后的配置数据配置过程

外的硬件资源。文献[10]给出了几种不同的无损压缩算法对 FPGA 配置数据的压缩效果。基于这些算法的解码电路设计简单有效，应用广泛。其中针对 Virtex-4 系列 FPGA 的压缩效果如表 2 所示。

表 2 不同资源占用率下三种压缩算法的压缩比对照表

资源占用比/%	LZW 算法的压缩比	VLZW 算法的压缩比	ZRL-VLZW 算法的压缩比
10	21.0	22.6	24.5
20	11.4	12.3	13.0
31	7.9	8.5	8.9
41	6.2	6.6	6.9
51	5.2	5.6	5.8
62	4.5	4.8	5.0
70	4.1	4.3	4.5
80	3.6	3.9	4.0
90	3.3	3.6	3.9
99	3.1	3.3	3.4

2.3 重配置流程

系统上电后，默认加载 PROM 内的程序对 FPGA 进行配置，从而实现原定功能。若要更新和修改 FPGA 内部电路，则根据图 5 所示的步骤进行重配置操作。

具体的重配置过程如下：

(1)根据新的任务需求，重新生成配置数据，并且在地面测试系统中完成测试验证，确保程序的功能实现。

(2)对新生成的配置数据进行拆分打包，并将其加工成符合航天器件遥控上注的格式。其中每包数据最后都需要校验位。通过星地链路将数据包上传至卫星，卫星则对接收到的数据进行解析和校验。若校验正确，则按顺序将其存入 EEPROM 内；若校验失败，则返回错误信号，而且地面测控系统在接收到错误信号

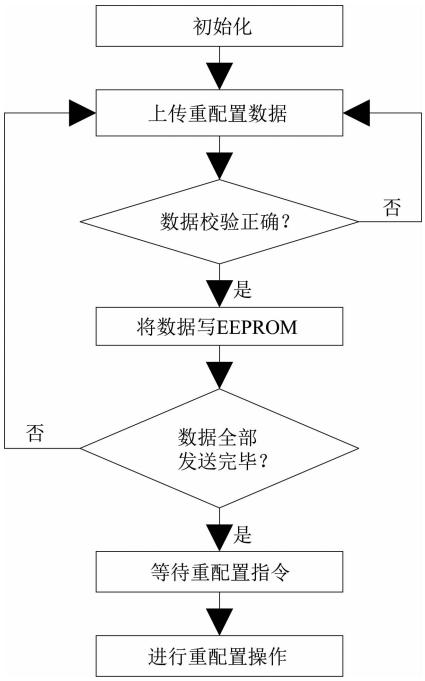


图 5 重配置流程图

后重发这一包数据。

(3)所有重配置数据都写入 EEPROM 后，等待重配置指令。

(4)需要进行重配置操作时，通过星地链路发送重配置命令。卫星在接收到重配置指令后，通过对 Xilinx FPGA 管脚进行控制，强迫其停止工作并进入配置模式。ACTEL FPGA 选择 EEPROM 存储的配置数据，并根据图 1 所示的配置流程，对 Xilinx FPGA 进行重配置操作。

(5)地面终端接收 FPGA 数据处理后的结果，并将其与预期结果进行比对，确保程序被正确加载。若重配置后 FPGA 无法正常运行，则可重新加载存储在 PROM 内的默认配置数据，以保证 FPGA 基本功能的实现。

3 实验验证及结果

根据前面介绍的重配置流程，针对基于星地链路的 FPGA 在轨可重构系统，设计了以下测试步骤：

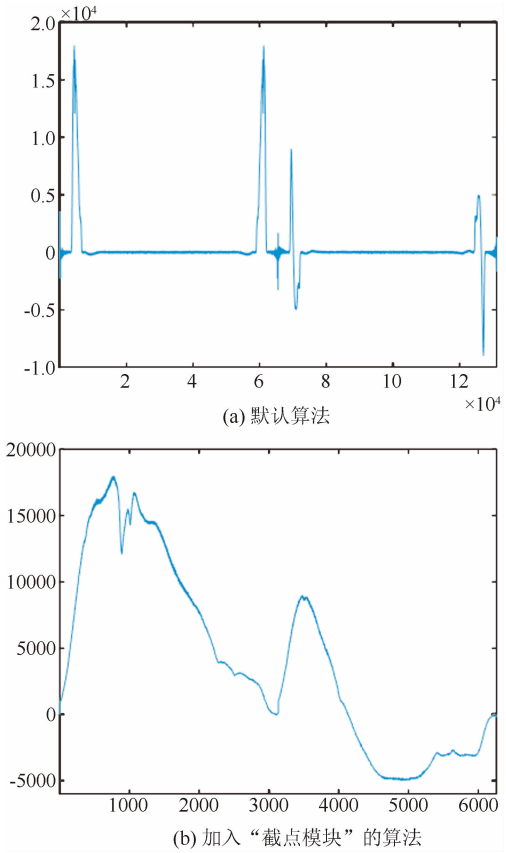
(1)在 PROM 内存储默认的 FFT 算法。FPGA 上电后，默认加载 PROM 内的配置数据。向 FPGA 发送测试用卫星干涉图数据；经过 FPGA 的算法处理后，将结果导出到地面

终端。

(2)修改算法，添加“截点模块”，使 FPGA 能够截取相应光谱范围的有效数据。生成新算法的配置数据，并通过星地链路将新的配置数据上传至在轨可重构系统，并将其存入 EEPROM 内。

(3)加载 EEPROM 内的配置数据，对 FPGA 进行重配置操作。在重配置结束后，发送同一组干涉图测试数据并对其进行处理，接着将处理结果导出到地面终端。

图 6 所示为 FPGA 在轨重构实验结果。可以看出，针对原先不完善的算法，采用经星地链路上传的新算法对 FPGA 进行了重配置操作并完成了算法更新，最终实现了新算法在 FPGA 上的成功运行。该实验验证了通过星地链路进行 FPGA 重配置的正确性，并证实了本文系统的可行性。



(a) 默认算法

(b) 加入“截点模块”的算法

图 6 FPGA 在轨重构实验结果

4 结束语

针对目前人们对于星载 FPGA 在轨可重构功能的需求，本文提出了一种基于星地链路的 FPGA 在轨可重构设计方案。该方案采用 PROM＋EEPROM＋ACTEL FPGA 的设计架构，通过星地链路上传重配置数据和配置指令。使用 PROM 存储默认的配置数据，并使用 EEPROM 存储经星地链路上传的重配置数据；通过反熔丝的 ACTEL FPGA 来控制配置数据的存储、载入和重配置操作，实现了星载 FPGA 的大规模算法可重配置功能。本文设计已在某航天器工程项目中使用，可为其他相关的航天器上 FPGA 在轨可重构设计提供参考。

参考文献

[1] 闫蕾，王强，房亮，等. 可编程逻辑器件在空间电子学设备中的应用 [J]. **空间科学学报**，2009，**29**(1)：54-58.

[2] 庞波，郝维宁，张文峰，等. 一种 SRAM-FPGA 在轨重构的工程实现方案 [J]. **航天器工程**，2017，**26**(5)：51-56.

[3] Xilinx，Inc. Virtex-4 FPGA Configuration User Guide [EB/OL]. UG071 (V1.1)，2009-06-09.

[4] 纪斌. Xilinx FPGA 上电时序分析与设计 [J]. **电讯技术**，2012，**52**(4)：591-594.

[5] 王文华，韩双丽，张宇，等. 航天应用 FPGA 配置可靠性研究 [J]. **空间科学学报**，2011，**31**(1)：106-111.

[6] 史江博，郝鑫. 基于 FPGA 的小卫星通信系统在轨可重构技术研究 [J]. **遥测遥控**，2017，**38**(6)：40-43.

[7] 李吉锋，杨刚，王戈，等. 星载环境 FPGA 软件在轨重加载的一种方法 [J]. **现代电子技术**，2012，**35**(9)：87-90.

[8] 袁素春，璩泽旭，邵应昭. 一种低成本高可靠 FPGA 在轨可重构加载管理方案 [J]. **空间电子技术**，2017，**14**(3)：92-96.

[9] Xilinx，Inc. QPro XQR17V16 Radiation Hardened 16Mbit QML Configuration PROM [EB/OL]. DS126 (V1.0)，2003-12-18.

[10] 徐勇，李珂，冯国平，等. 一种 FPGA 在轨重构配置数据压缩算法 [J]. **航天器工程**，2015，**24**(6)：75-78.