文章编号：1672-8785(2018)04-0027-06

面向深空探测的 CCD 多像元合并设计与验证

周　博[1,2]　李春来[1]　李飞飞[1]　王礼庆[1,2]

（1. 中国科学院上海技术物理研究所，上海　200083；
2. 中国科学院大学，北京　100049）

摘　要：在火星矿物光谱分析仪中采用模拟 4 像元合并，可以使仪器应对深空探测中的复杂环境，从而达到高信噪比与高动态范围的要求。提出了一种新型 CDD 片上 2×2 像元合并的驱动方法，并验证了其输出的合理性。针对 e2v CCD 47-20 芯片，研究了 CCD 结构并设计了行方向与列方向 2 像元合并的方法，使之可以通过 FPGA 控制生成驱动波形。基于 CCD 片上放大器的结构，通过仿真其行方向两元输出模拟信号模型，得到了四阶梯模型。均匀光照射实验结果表明，得到的 4-binning 模式下 CCD 输出信号与仿真结果一致，验证了理论的正确性。其输出电压在 600 mV 以下范围内表现出了良好的线性变化趋势，证明该方案的合并结果是精确可靠的。

关键词：电荷耦合器件；像元合并；片上放大器

中图分类号：TN362　**文献标志码**：A　**DOI**：10.3969/j.issn.1672-8785.2018.04.006

Design and Verification of CCD Multi-pixel Binning for Space Exploration

ZHOU Bo[1,2], LI Chun-lai[1], LI Fei-fei[1], WANG Li-qing[1,2]

(1. *Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China*;
2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: The use of analog 4-binning mode in Mars mineral spectrum analyzers enables the instruments to deal with the complex environment in deep space and hence to meet the requirements of high signal-to-noise ratio and large dynamic range. A new on-chip 2×2 pixel binning driving method is proposed and the rationality of its output is verified. For an e2v CCD 47-20 chip, the CCD structure is studied and the 2-binning methods both in horizontal direction and in vertical direction are designed so that the driving wave can be controlled by FPGA. On the basis of the structure of a CCD on-chip amplifier, a four-stage model is obtained by simulating the 2×1-horizontal output analog signal model. The result obtained in the uniform light illumination experiment shows that the CCD output signal in the 4-binning mode is the same as the simulation result. This confirms the CCD amplification theory. The output voltage presents a linear trend when the value is than 600 mV,

收稿日期：2018-03-04

作者简介：周博(1991–)，男，河北保定人，硕士，主要研究方向为空间用 CCD 的硬件及逻辑设计。
E-mail：zhou2015@mail.ustc.edu.cn

which proves that the combined results of the scheme are accurate and reliable.

Key words: charge coupled device; pixel binning; on-chip amplifier

0 引言

电荷耦合器件(Charge-coupled Device, CCD)以噪声低、动态范围大和量子效率高等特点，被广泛应用于航天、医学、工业等领域[1,2]。随着应用的广泛，CCD 器件也出现了许多新功能，例如行丢弃功能、像元合并功能等。其片上像元合并功能以能提高信噪比的优点，在很多工程中得到应用。在火星探测活动中，由于火星距离太阳较远，辐射量较弱，在椭圆轨道上对其进行观测时明暗变化明显，这对探测器的动态范围和信噪比提出了较高的要求；同时在椭圆形轨道的近火星点，卫星速度快，对 CCD 探测器提出了高帧频的要求。

目前，CCD 产品正在朝着面阵越来越大的趋势发展。像元合并在读出速率固定的情况下可以有效地提高帧频；同时在光谱采集应用中，在不降低分辨率的条件下可以提高光谱利用率。像元合并的原理类似于增大芯片的势阱深度，可减轻散弹噪声和放大噪声[3]。像元合并包括模拟像元合并和数字像元合并。其中，数字像元合并指的是将对应像元依次读出后，借助外围逻辑电路与存储器对像元 DN 值进行数值相加的操作。模拟像元合并是将需要合并像元的电子通过驱动波形的转移在 CCD 片内进行累加。常震[4]在对紫外光谱仪的研制中，对比了采用数字合并与模拟合并进行行合并时的信噪比差异，证实了模拟合并具有信噪比更高的优点。在保证分辨率足够的前提下，列合并同样能保证信噪比的提高。周健康等人对帧转移 CCD 片上 2×2 合并的方式进行了探讨，并以多种行合并模式进行了成像[5]。基于以上基础，在火星矿物光谱分析仪的设计中，对 CCD 器件采用了片上 2×2 的 4 像元合并操作。由于使用的器件可以将像元电子在移位寄存器输出前合并，模拟信号的输出与非合并输出信号模型相同。但对于不同的器件，当放大器缺少寄存器时，能得到一种新的模拟信号模型，并对其进行了验证。

1 CCD 合并设计与分析

1.1 像元合并设计

CCD 47-20 芯片是一款帧转移 CCD，其最基本工作模式的工作周期由两个部分组成：帧转移部分和曝光读出部分。帧转移部分是将感光区的电荷转移到存储区的过程，曝光读出部分是感光区阵列积累电子和存储区电子向下转移并读出同时进行的过程。

在帧转移部分，感光区帧转移控制信号 I1、I2、I3 和行转移控制信号 S1、S2、S3 分别具有相同的周期和相位。此时读出时序为无效状态，左右两端均没有信号输出。

在曝光读出部分，感光区帧转移控制信号 I1、I2、I3 保持无效状态，光源照射感光面上的光电二极管，电荷贮存在 MOS 结构中。曝光期内，电荷一直在势阱内积累。与此同时，上一周期帧转移至存储区的电荷在行转移控制信号 S1、S2、S3 控制下，逐行转移到器件底部的移位寄存器中，通过读出控制信号 R 将电荷经过放大器输出。对于整帧输出，每进行一次行转移就转移一行信息，随后读出一行信号，两个动作交替完成，直至将所有行信号读出。等所有信号读出完毕后，开始进行下一周期帧转移。对于开窗 4-binning 模式，需要将开窗区域以外的电子转移至移位寄存器并通过 DG 信号使能予以消除；对于开窗区域内需要合并的电子，每一次转入多行电子的信息，然后通过移位寄存器读出。值得注意的是，e2v 47-20 NIMO 芯片的移位寄存器的满阱电荷数量是感光区满阱电荷量的 4 倍。所以 binning 过程中合并的像元数不应该大于 4。

在实际使用过程中要实现开窗和像元合并

的操作。对于行丢弃命令，只需在执行行转移命令的同时，使能 DG 信号、行丢弃转移的周期与正常行转移的时间相同；当丢弃行结束时，DG 信号使跳变到低电平无效状态。

本工程需求为 2×2 的 4 像元合并，由于 CCD47-20 芯片移位寄存器的势阱深度是感光区和存储区像元深度的 4 倍，所以采用模拟合并的方式。该合并过程分为垂直方向和水平方向的合并。在行转移阶段，垂直方向行转移命令完成两个周期，将两行电子从存储区向移位寄存器转移，电子在移位寄存器中累加，完成垂直方向的两行合并，其原理如图 1(a)所示。水平方向合并，即在读出阶段移位寄存器将两个像元转移至放大器输出，每出现一次复位信号，放大器就可以输出移位寄存器中一个像元的电子。列合并时，每隔一个周期出现一次复位信号，实现输出放大器对横向两个像元积累电子的放大输出，如图 1(b)所示。

在 ISE 中按照要求写好驱动波形后，利用软件自带仿真软件进行仿真，得到的结果如图 2 所示。

1.2　CCD 片上放大器输出

CCD 47-20 采用选通积分型输出[6]，示意

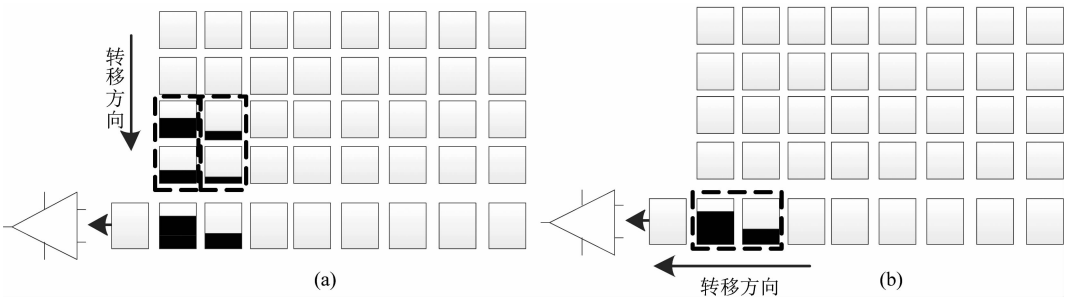


图 1 像元合并的示意图

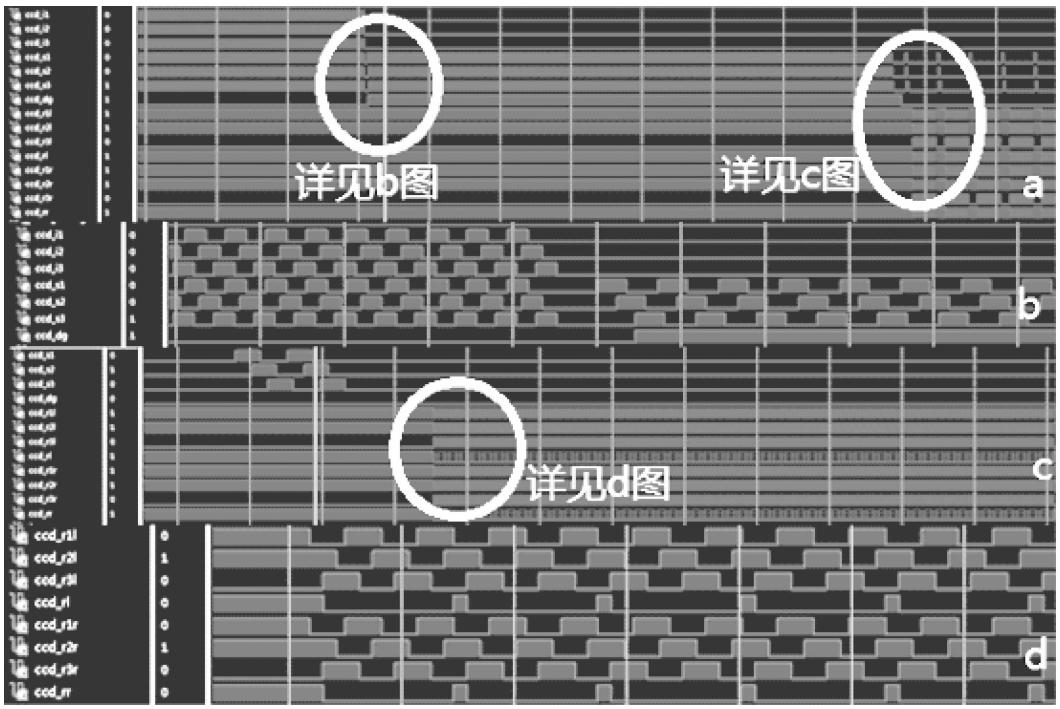


图 2 驱动波形的示意图：(a)开窗和四像元合并的驱动波形，包括帧转移、行转移、丢弃信号、移位寄存器转移信号和复位信号；(b)在行丢弃时产生的丢弃信号；(c)在行合并过程中，两行电子信息转移到移位寄存器并被读出；(d)移位寄存器转移信号转移过程中，复位信号每隔一个周期出现的位置关系

图如图 3 所示，包括复位 MOS 管 M_r、一级放大管 M_1、一级负载管 M_c 和二级放大管 M_2。复位管的源级、一级放大管的栅极与 CCD 输出浮置节点(Floating Diffusion，FD)相连，FD 等效为浮置二极管与节点电容。该电容与 CCD 转换因子息息相关[7]。一级放大管和二级放大管的漏极接电源电压 VD，一级放大管的源级、负载管的漏极与二级放大管的栅极连接，负载管对该电压进行存储，且二级放大管将其放大输出，负载连接在二级放大管的源级。当 RG 处于高电平时，复位 MOS 管导通，节点电容充电至电源电压，一级放大管栅极电压也为电源电压。当 RG 处于低电平时，复位管 M_r 截止，但一级放大管仍为导通状态，此时点荷包被转移到节点电容，产生放电；一级放大管的栅极电压下降，其源级输出随之下降，负载管将电压值存储；该下降值正比于点荷包的容量。同理二级放大器的源级输出下降，该电压提供给负载。

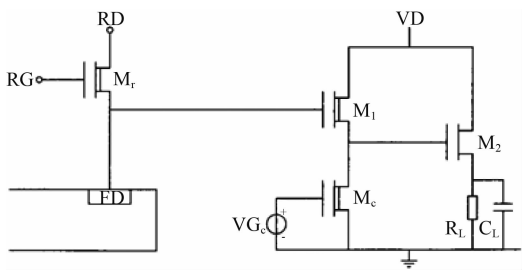


图 3 CCD 片上放大器的双放大管输出结构

基于对 CCD 放大器结构的了解，在 PSpice 中对 CCD 单元输出和两元输出进行仿真。电路如图 4 所示，其中 C1 为等效节点电容，D1 为浮置二极管，X1 等 MOS 管与图 3 中的 MOS 管相同，不做赘述，R1 为负载。RG 复位信号脉冲高电平为典型电压，其值为 12 V；RD 为复位晶体管电源电压，其值为 17 V；OD 为输出晶体管电源电压，其值为 29 V；V2 为衬底电压，其值为 9 V。12 V 脉冲电压源代表复位信号，脉冲电流源仿真电子转移，电流源的大小由点荷包的电子数量决定。在负载端测试输出的电压信号。在 CCD 移位寄存器中，R3 下降沿产生时，单元势阱升高，电子转移到节点电容。根据脉冲波形中的移位寄存器部分，电流源的产生比电压源的产生延迟 140 ns。当单元输出时，即同一周期中，电压产生一个脉冲，电流产生一个脉冲。当两元输出时，电压源每隔一个周期出现一次，输出电压的仿真结果如图 5 所示。从仿真结果中可以看出，当第一个电荷包转移放大输出后，模拟信号出现第一个像元引起的电压降。由于没有复位信号，输出电平保持不变。当第二个点荷包被转移至节点电容时，节点电容放电，引起一级放大管栅极电压下降，从而导致输出再次下降，使输出电压呈现四阶梯模型。

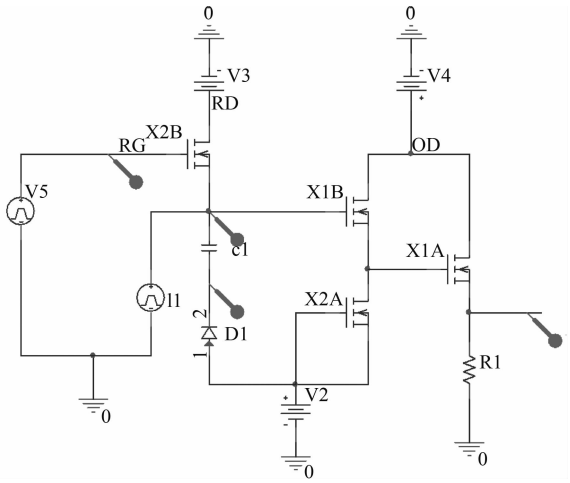


图 4 PSpice 仿真电路

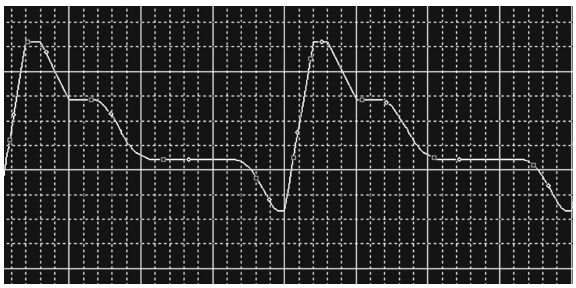


图 5 PSpice 仿真输出

2 实验建立

针对该驱动电路和波形，为验证其功能的良好特性，设计了验证试验，如图 6 所示。

在密闭无光条件下，断绝所有干扰光源。通过积分球产生均匀光进行测试。在 CCD47-

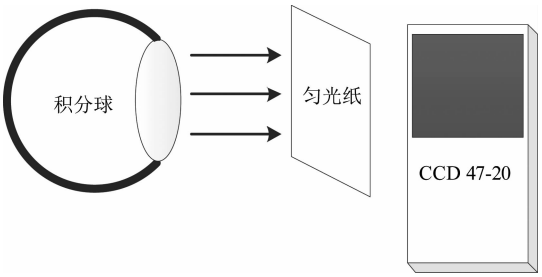


图 6 CCD 均匀光探测实验图

20 芯片表面覆盖一层匀光纸，将 CCD 安装在正常工作的驱动硬件电路上，其输出分别经隔离后在示波器上显示波形。CCD 的驱动模式由 PC 控制，通过串口命令实现与 FPGA 的通信，从而选择驱动的工作模式。

积分球光源的强度通过电压控制，与电压的变化成正相关，因此通过电压变化输出连续变化的光强度。为保证 CCD 接收到的光均匀性良好，将 CCD 安装在距离积分球 4～5 倍积分球出光口径之外[8]，使光近似垂直照射匀光纸。此时认为积分球产生的光均匀照射在 CCD 表面，从而认为 CCD 感光区相邻像元接收到等亮度的光。

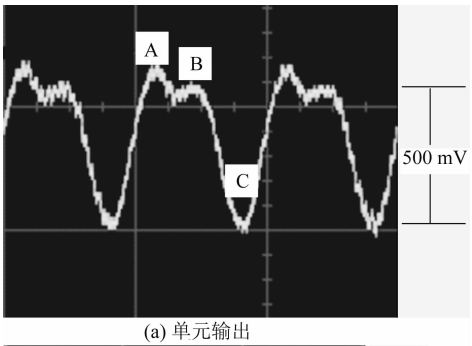
3 实验结果分析

3.1 模拟信号输出

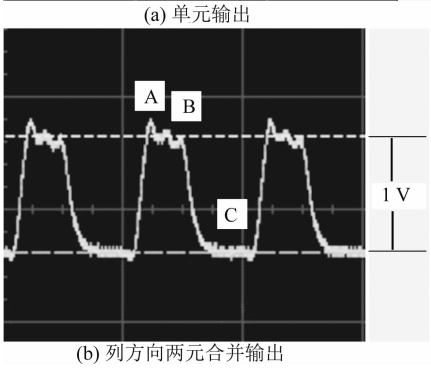
在 CCD 47-20 以往的应用中[9,10]，未进行像元合并操作时，移位寄存器单元输出的结果如图 7(a)所示。其输出的模拟信号呈三阶梯模型，三阶梯信号中 B、C 两个电平值的差值代表该像元所存储的电子量水平，经过调节积分球电压增大光强，移位寄存器输出频率为 5 MHz，电压幅值约为 500 mV。当设置 CCD 驱动为行方向两元合并时，调节积分球至 CCD 输出电压最大，移位寄存器的输出频率为 5 MHz，电压幅值最大为 1 V 左右，如图 7(b)所示。

模拟信号输出：A 处是复位信号的位置，B 处是复位电平位置，C 处是输出极将电子输出至放大器，导致输入电压降低，造成放大器输出电平降低。

在此次设计中，使用了行方向的两元合并操作，在输出端经过隔离后得到图 8 的模拟信号。



(a) 单元输出



(b) 列方向两元合并输出

图 7 CCD 输出模拟信号

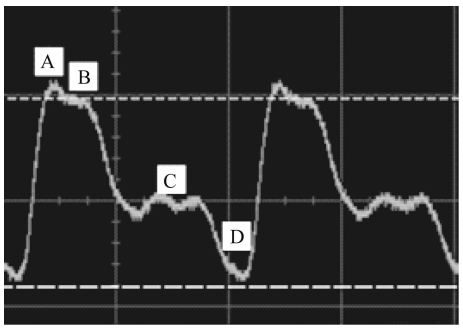


图 8 CCD 2×2-binning 输出模拟信号

输出信号呈现了四阶模型，与仿真结果模型近似。其中，A 代表复位信号的位置；B 代表复位电平位置；C 位置代表第一次转移出的电子产生的电势差，此后电压不发生改变；当第二次转移的电子到达时产生的电压降即为 D 位置的电平。记 B 位置与 C 位置的电势差为 V1，C 位置与 D 位置的电势差为 V2。在该实验条件下，两次转移电子产生的电势差近似相同，即 V1＝V2。将 D 位置电平与 B 位置电平的差值作为两像元合并的模拟值输出，记这个电压值为 V3，理论上该输出值为 V1(或 V2)的两倍。

3.2 线性程度

设置 CCD 工作在 4-binning 模式，调节积分球电压，在不同光强条件下测量 V1、V2 和

V3。由于积分球的光强不随供电电压的变化而发生线性变化，将 V1 值作为衡量光强的标准，以 V1 为横坐标，V2、V3 为纵坐标，得出的结果如图 9 所示。

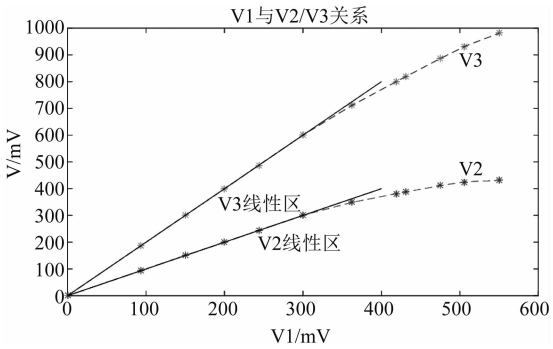


图 9 不同光强下的 V1、V2、V3 对照走势

图 9 显示了第二次转移电子产生的电势差与合并电子产生的电势差的变化趋势。理论状态下，V1 曲线的线性区间斜率为 1，V2 曲线的线性区间斜率为 2，如图 9 中的两条实线所示。在 V1 小于 300 mV 时，两条曲线拥有非常好的线性区间；当 V1 大于 300 mV 时，两条曲线与直线偏离较大。

在线性区间内，V2 的值与 V1 相同，说明同等光强下，第二次转移电子产生的电势差与第一次转移电子的电势差相同，符合成像规律。V3 的值是 V1 的两倍，证明将 V3 作为两次转移电子之和的测量值是正确的。在非线性区，曲线斜率发生变化的原因有两个：第一，在漏极与源极电压固定时，由于电容放电导致两级放大 MOS 管栅极电压降低，栅源电压降低导致源极电流的线性程度变化，从而导致了输出电压的线性程度变化，这一点属于元件固有的非线性[11]；第二，由于输出系统没有在足够快的时间达到稳定状态，第二个点荷包的转移在未达到稳定状态时就被复位电平强制复位，导致信号不完整，这一点来源于硬件设计及驱动波形的影响。

4 结论

通过仿真推导出了 2×2 四元合并的理论模型。经实验验证，CCD 输出模拟信号模型满足理论推导。验证了推导的正确性，也提出了一种实际的 CCD 输出信号模型。为了评价 4-binning 工作模式，将第一次转移点荷包产生的电压降作为标准，测量了第二次转移电荷包产生的电压降和两次电压之和。绘制曲线时，发现在 V1 电压小于 300 mV 范围内，第二次转移点荷包产生的电压降与第一次转移点荷包产生的电压降的值相同，且线性程度良好，同时电压值之和也表现出极好的线性程度，证明在该工作模式下 CCD 可以正常且精确地工作。

参考文献

[1] 李春来，刘建军，任鑫，等. 嫦娥一号图像数据处理与全月球影像制图 [J]. **中国科学:地球科学**，2010，**15**(3)：294-306.

[2] 赵葆常，杨建峰，汶德胜，等. 嫦娥二号卫星 CCD 立体相机设计与验证 [J]. **航天器工程**，2011，**20**(1)：14-21.

[3] 王煜，陆亦怀，赵欣，等. 星载差分吸收光谱仪 CCD 成像电路的设计及实施 [J]. **激光与红外**，2015，**45**(6)：663-668.

[4] 常振，王煜，司福祺，等. CCD 数字像元合并的方法及其应用 [J]. **光学精密工程**，2017，**25**(8):2204-2211.

[5] Zhou J，Chen X，Zhou W，et al. Frame Transfer CCD Driving Platform Using Flexible Integral Time and Pixel Binning [C]. *SPIE*，2009，**7156**：715637.

[6] Centen P. CCD on-chip Amplifiers：Noise Performance Versus MOS Transistor Dimensions [J]. *IEEE Transactions on Electron Devices*，2002，**38**(5)：1206-1216.

[7] 张坤. CCD 片上放大器的设计与仿真 [J]. **半导体光电**，2005，**26**(s1):4-8.

[8] Labsphere. A Guide to Integrating Sphere Theory and Application [EB/OL]. [2015-06-10]. http://www.labsphere.com.

[9] 路美娜，洪津，陈迪虎，等. 一种典型的科学级 CCD 驱动时序的 FPGA 设计 [J]. **大气与环境光学学报**，2012，**7**(3)：220-226.

（下转第 42 页）